



行政院所屬各機關因公出國人員出國報告書

(出國類別：其他)

赴德國柏林參加第十九屆 IEEE 訊號
及電源完整性國際研討會心得報告

服務機關：經濟部標準檢驗局

出國人職稱姓名：技士林明山

出國地點：德國柏林市

出國期間：中華民國 104 年 5 月 8 日至 5 月 15 日

報告日期：中華民國 104 年 7 月 9 日

行政院研考會/省(市)
研考會編號欄

目 錄

壹、	前言與目的.....	7
貳、	活動行程簡述.....	7
參、	參加專業論壇.....	10
肆、	心得與建議.....	58
一、	心得.....	58
二、	建議事項.....	61

圖目錄

圖 1、研討會舉辦會場	8
圖 2、研討會舉辦會場內部	8
圖 3、SPI 2015 研討會主席 Ivan Ndip.....	9
圖 4、手機平台上多晶片展示	12
圖 5、高速驅動器(driver)的概要展示	12
圖 6、驗證之測試平台	13
圖 7、測試平台驗證結果：供應之電流及電壓模擬，利用電晶體層級的網表(netlist)及分段線性電流源($icc(t)$ 法).....	14
圖 8、驗證結果：電晶體層級網表(netlist)及 Mpilog 巨集模型	14
圖 9、SI 及 SI/PI 共模擬驗證平台	16
圖 10、系統層級訊號及電源完整性共模擬的結果	16
圖 11、在 CA 及 CLK 線的 SSN 效應	17
圖 12、手機平台內 PMIC 與 AP 之間的一般連接.....	18
圖 13、晶片-封裝-電路板共模擬，運用 CPM 及線路 S 參數	19
圖 14、CPM 最重要的切換電流曲線(上半部)及模擬的 V_{CPU} 波形(下半部)，在 CPU 的凸塊側探測所得，X 軸為時間(秒)，Y 軸上半部為電流(A)及下半部為電壓(V)	19
圖 15、5 種去耦合電容之 PDN 線路阻抗.....	20
圖 16、典型的差動回饋線路，佈線在 PMIC 與電路板的電源/接地平面之間.....	21
圖 17、在 AP 封裝及電路板上的 FB 線、 V_{CPU} 及 V_{SS} 佈網 3D 圖	23
圖 18、模擬的 V_{CPU} 波形，(a)Case-A1:電壓在 AP 凸塊側探測，(b)Case-A1:電壓在 PMIC 之 V_{FB+} pin 與 V_{FB-} pin 之間探測，(c)Case-A2: 電壓在 PMIC 之 V_{FB+} pin 與 V_{FB-} pin 之間探測，(d)Case-A3: 電壓在 PMIC 之 V_{FB+} pin 與 V_{SS} pin 之間探測，(e)Case-A4: 電壓在 PMIC 之 V_{FB+} pin 與 V_{SS} pin 之間探測，X 軸單位為時間(秒)，Y 軸單位為電壓(V)	24
圖 19、在 AP 凸塊供模擬的 V_{CPU} 及在 PMIC 側不同調整的 V_{PMIC} ，(a)Case-4a, (b)Case-4b, (c)Case-4c, (d)Case-4d, (e)Case-4c, (f)Case-4f。X 軸為時間(秒)，Y 軸為電壓(V)	25
圖 20、聯發科技公司陳南璋博士發表論文	26
圖 21、直角彎折差動傳輸線，(a)上視圖，(b)剖面圖	27
圖 22、直角彎折差動傳輸線時域模擬架構	28
圖 23、直角彎折差動傳輸線之模擬與量測 TDT 共模雜訊比較.....	28
圖 24、直角彎折差動傳輸線電路照片	29
圖 25、彎折差動傳輸線使用補償電感及電容	30

圖 26、使用補償電感及電容之彎折差動傳輸線時域模擬架構.....	31
圖 27、使用補償電感及電容之彎折差動傳輸線的模擬與量測 TDT 共 模雜訊之間的比較.....	31
圖 28、使用補償電感及電容的彎折傳輸線的製作電路相片.....	32
圖 29、直角彎折差動傳輸線的差模至共模轉換、使用補償電感及使 用補償電感及電容之間的比較.....	33
圖 30、使用補償電感及電容直角彎折差動傳輸線的電流分佈.....	33
圖 31、台科大王蒼容教授發表論文.....	34
圖 32、“Wireless Network on Board”架構的範例.....	35
圖 33、測試結構：Vivaldi 天線幾何圖.....	36
圖 34、測試結構：電磁模擬之網路架構.....	36
圖 35、測試結構：被實現的測試元件照片.....	36
圖 36、2 個面對面天線之間的模擬傳輸係數 S_{21} ，對有不同距離 D 之 4 Vivaldi 天線網路.....	37
圖 37、2 個相鄰天線之間的模擬傳輸係數 S_{31} ，對有不同距離 D 之 4 Vivaldi 天線網路.....	37
圖 38、電路板上的 2 個 Vivaldi 天線之間插入結構障礙物：a)沒有任 何障礙物，b)有一積體電路障礙物，c)有一金屬線垂直於傳播方 向軸，d)有一金屬線平行於傳播方向軸.....	39
圖 39、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S_{21} ，天 線之間沒有任何障礙物.....	39
圖 40、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S_{21} ，天 線之間放置一積體電路.....	40
圖 41、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S_{21} ，天 線之間放置一對傳播方向軸垂直的線.....	40
圖 42、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S_{21} ，天 線之間放置一對傳播方向軸平行的線.....	40
圖 43、出現金屬條紋格的 4 Vivaldi 天線.....	41
圖 44、出現金屬棋盤格的 4 Vivaldi 天線.....	41
圖 45、對不同的傳播路徑，量測的 S_{21} 傳輸係數.....	42
圖 46、BCI 測試基本概念.....	44
圖 47、自偏壓 DLL 區塊圖.....	44
圖 48、副本反饋(Replica-feedback)電流源偏壓電路.....	44
圖 49、BCI 探環，(a)實體尺寸及(b)等效電路模型.....	45
圖 50、電路板雜訊傳遞由上層至下層的線路分段.....	46
圖 51、電路板線路模型與量測結果之 S 參數相關性.....	46
圖 52、在 SPICE 模擬的 BCI 測試的完整等效電路模型.....	47
圖 53、個別測試區塊的插入損耗(S_{21})比較.....	47

圖 54、整個等效電路的 V_{DD} 與 DLL 的輸出之間的 Z 參數(Z_{21}).....	47
圖 55、大電流注入法的測試環境	49
圖 56、在 5 dBm 及 0 dBm 的模擬與量測結果之眼圖分析，(a)峰到峰的抖動及(b)眼高	50
圖 57、DLL 輸出時脈波型在 75 MHz 注入 5 dBm 雜訊的眼圖，(a)模擬及(b)量測	51
圖 58、Ansys HFSS 3 種 TSV 架構模型，(a)4 個返回電流 Via，(b)1 個返回電流 Via，(c)8 個返回電流 Via	53
圖 59、對 2 種不同矽導電度進行 4 個返回電流 via TSV 結構全波模擬	53
圖 60、3 種 TSV 架構的 Ansys HFSS 模擬，(a)穿透，(b)反射	55
圖 61、有 0.5 μm (紅)、1.0 μm (藍)及 1.5 μm (綠)厚度 SiO_2 層之 4 返回電流 via 架構，(a)穿透，(b)反射	56
圖 62、量測的 TSV 結構(4 TSV 架構)的邊剖面圖	56
圖 63、單一返回電流 via TSV 結構之模擬及量測比較，(a)穿透，(b)反射	57
圖 64、全部 3 種 TSV 返回電流架構的量測結果，(a)穿透，(b)反射	58
圖 65、不同國別發表論文數佔整體論文數之比例	60

表目錄

表 1、不同模型的暫態模擬所需時間及其所對映的加速倍率	15
表 2、在 AP 凸塊側探測之最低 V_{CPU} ，固定 $V_{PMIC}=1V$ ，在 AP 封裝 及電路板內不同的去耦合電容置配	20
表 3、在 PMIC 側的模擬電壓 V_{FB+} 匯整，含差動及單端回饋線	22
表 4、在 PMIC 側的模擬電壓 V_{FB+} 匯整，含差動及單端回饋線	25
表 5、不同國別發表論文數	60
表 6、不同主題發表論文數	61
表 7、論文發表型式及受邀講座統計	61

壹、前言與目的

第十九屆 IEEE 訊號及電源完整性國際研討會(19th IEEE Workshop on Signal and Power Integrity 簡稱 SPI 2015)，今年在德國柏林市舉行，研討會重要議題包含：電磁相容(EMC)、量測、訊號完整性(SI)、電源完整性(PI)、晶片(IC)、封裝、電磁波理論與模擬等 18 項主題，全世界在 EMC、SI 及 PI 領域的專家學者將參加此項會議，於會中發表相關領域最新的研究成果與技術趨勢。

本局於 IC-EMC 領域已進行多年科專計畫並建置 IC-EMC 專業試驗中心，於本次研討會期間，指派林技士明山出席蒐集國際 EMC 標準最新檢測與驗證技術資料，與國際 EMC 領域之專家與學者進行技術交流，建立連絡管道，以利後續科專、科發計畫之執行。

貳、活動行程簡述

參加研討會行程：

- 5 月 8~9 日(星期五、六)：桃園機場搭機赴德國柏林。
- 5 月 10 日(星期日)：「柏林 SPI 2015 國際研討會」會場(柏林市 Seminaris Campus Hotel/ Dahlem Cube 如圖 1 及圖 2 所示)辦理報到手續及領取會議相關資料，之後開始研讀會議相關資料與了解會場環境，並快速瀏覽各 session 的論文題目，以安排準備聆聽的會議場次。下午 3 點開始有 3 場來自工業界及學術界的專家演說，晚上 6 點為研討會為所有參加者舉辦之歡迎會。



圖 1、研討會舉辦會場



圖 2、研討會舉辦會場內部

- 5月11日(星期一): 上午9點開幕典禮由SPI2015研討會主席Ivan Ndip主持(如圖3所示), 上午參加1場Keynote Speech、3場有關數值模擬及3場有關電源分配網路之專業技

術論文發表會。下午 2 點開始參加 1 場有關電磁相容/電磁干擾/訊號完整性之演說，之後參加 3 場有關高速電路連接分析與設計之專業技術論文發表會，1 場有關電路板上電磁干擾遮蔽及減輕之演說。晚上 6 點主辦單位安排全員於柏林 Postdamer Platz 著名的 Lindenbräu 店家品嚐啤酒，體驗德國人的生活。

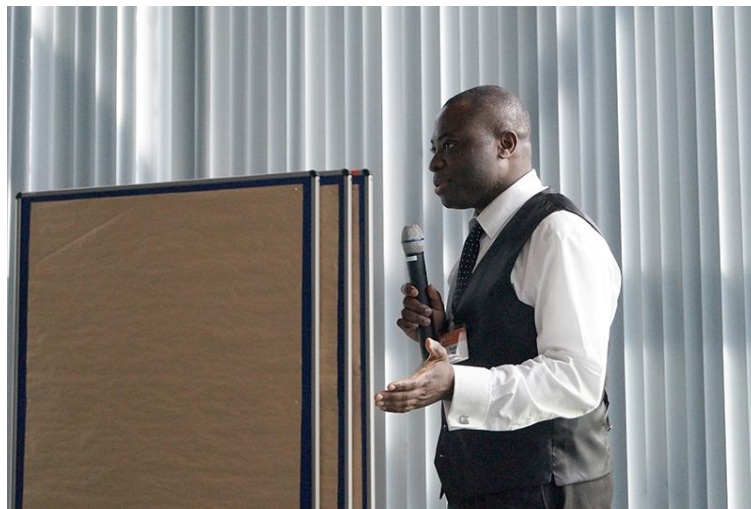


圖 3、SPI 2015 研討會主席 Ivan Ndip

- 5 月 12 日(星期二)：上午 9 點開始參加 1 場 Keynote Speech、3 場接續前一天有關高速電路連接分析與設計之專業技術論文發表會，3 場有關數值模擬之專業技術論文發表會。下午 2 點開始參加 1 場特邀專家演說、3 場接續前一日之電源分配網路之專業技術論文發表會。下午 3 點半開始在展場有貼海報的論文發表，讓與會者與論文作者深刻溝通交流。下午 6 點開始主辦單位安排平底船沿 Spree 河導覽柏林市的社交活動。
- 5 月 13 日(星期三)：9 點開始參加 2 場特邀專家演說、4 場有關數值模擬之專業技術論文發表會。11 時 50 分由明年 SPI 2016 研討會主辦單位簡報明年將於義大利杜林舉辦之投影片

簡介，之後於中午舉辦研討會結束典禮，由大會主席 Ivan Ndip 主持。

- 5月14~15日(星期四、五)從德國柏林搭機回台北。

參、參加專業論壇

本次研討會主要主題為：訊號及電源完整性(Signal and Power Integrity)，投稿的論文主要分下列幾個領域，包含：

- Innovative schemes for Signal Integrity and Power Integrity
- Noise reduction techniques
- High-speed link design and modeling
- Power distribution networks
- Electronic packages and microsystems
- 3D technologies for IC and packages
- RF, microwave, mixed signal packaging
- Nano-interconnects and nano-structures
- Electromagnetic theory and modeling
- Transmission line theory and modeling
- Macro-modeling, reduced order models
- Simulation tools for SI and PI
- Electromagnetic Compatibility
- Design methodology/flow
- Measurements
- Jitter and noise modeling
- Chip-package co-design
- Novel CAD concepts

研討會主辦單位為了安排會議流程，除了邀請相關領域研究有成的專家學者演說時段及論文海報展示時段之外，將投稿

的論文口頭發表場次大略分為有關數值模擬、電源分配網路分析與設計及高速電路連接分析與設計等三大類，其中數值模擬相關論文口頭發表有 3 個發表時段，電源分配網路分析與設計相關論文口頭發表有 2 個發表時段，高速電路連接分析與設計相關論文口頭發表有 2 個發表時段，全部有 7 個發表時段，每個時段安排 3~4 個口頭論文發表。

此報告每個發表時段儘量選一篇論文作簡單介紹。第一個論文發表時段有關數值模擬主題第一場，下列為發表之論文擇一內容簡介：

題目：Power and Signal Integrity co-simulation via compressed macromodels of high-speed transceivers

作者：G. Signorini^{1,2}, C. Siviero³, S. Grivet-Talocia^{3L}, I. S.

Stievano³(¹Intel Corporation, Munich, Germany; ²Dept. Information Engineering, University of Pisa, Pisa, Italy;

³Dept. Electronics and Telecommunications, Politecnico di Torino, Torino, Italy)

現代記憶體的介面設計特別具挑戰性，尤其是在低價高度整合的手機平台中。如圖 4 所示為了在電路板上較小尺寸中容納多個晶片，採用複雜的連接架構及技術。尤有甚者，持續的降低成本及減少使用材料，使得任何系統都沒有超越原需求設計的空間。隨著資料傳輸速率的增加，因著電源分配網路(PDN)未能最佳化，同步切換雜訊(Simultaneous Switching Noise, SSN)變得愈來愈顯著，SSN 抖動加上訊號失真(distortion)、反射及串音干擾(crosstalk)使得時序餘裕(timing margin)大幅下降。

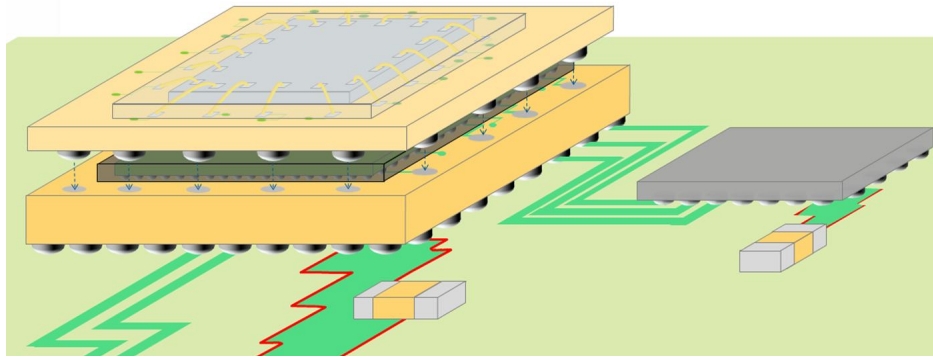


圖 4、手機平台上多晶片展示

高速晶片當需要將運算結果傳到晶片之外時，此時便需要驅動器(driver)，因為晶片內部電路電流、電壓均較小，無法直接驅動晶片外部的電子元件或另一顆晶片，此時 driver 用來將電流或電壓放大以驅動輸出埠連接的電子元件/晶片接腳，圖 5 為高速 driver 的概要(schematic)展示，driver 需要核心電壓源 VDD_{core} 及輸入/輸出電壓源 VDD_{IO} 提供電壓及電流，一般 VDD_{IO} 均比 VDD_{core} 來得大，需外送的訊號由 IN 埠輸入，控制訊號由 CTRL 埠輸入，最後將訊號由 OUT 埠輸出。

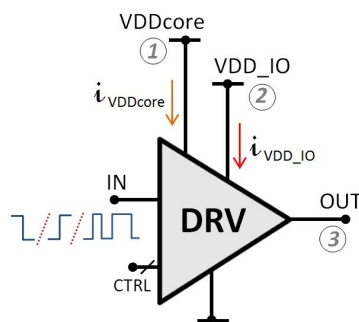


圖 5、高速驅動器(driver)的概要展示

電源完整性之模擬主要是研究當元件操作時供應電壓的變化，這些變動是導源於動態電流消耗及電源分配網路(PDN)寄生電容或電感的交互作用。此分析操作時一般都將元件以等效分段線性(PWL)電流源來表示(一般表示為 $icc(t)$ ，參見圖 6b)。

PWL 電流源的曲線是由模擬元件(DUM)在特定的負載下驅動由 High(1)到 Low(0)及 Low(0)到 High(1)模擬而得，此方法只是近似因為沒有考慮模擬元件(DUM)的完整動態行為。圖 7 顯示此項方法的缺點，電晶體層級的模擬及利用 PWL 電流源($i_{cc}(t)$)模擬結果之比較，利用 PWL 電流源估算供應電流/電壓的雜訊並不準確。

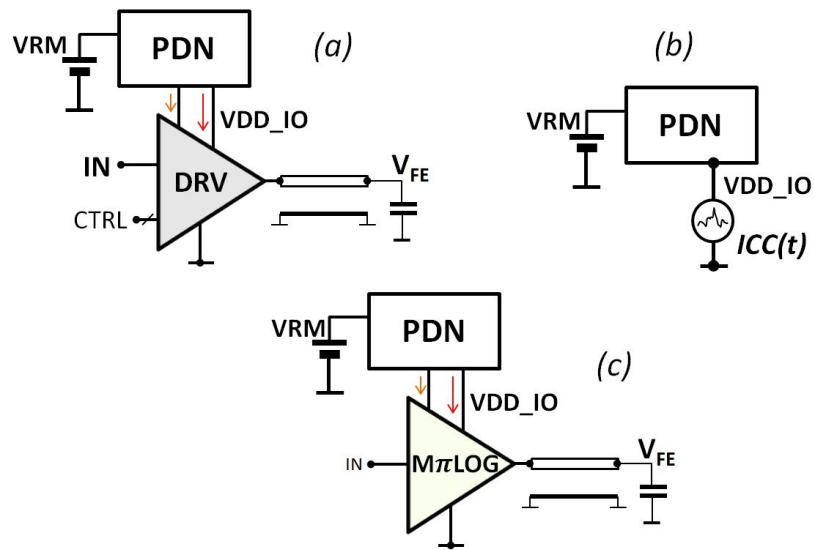


圖 6、驗證之測試平台

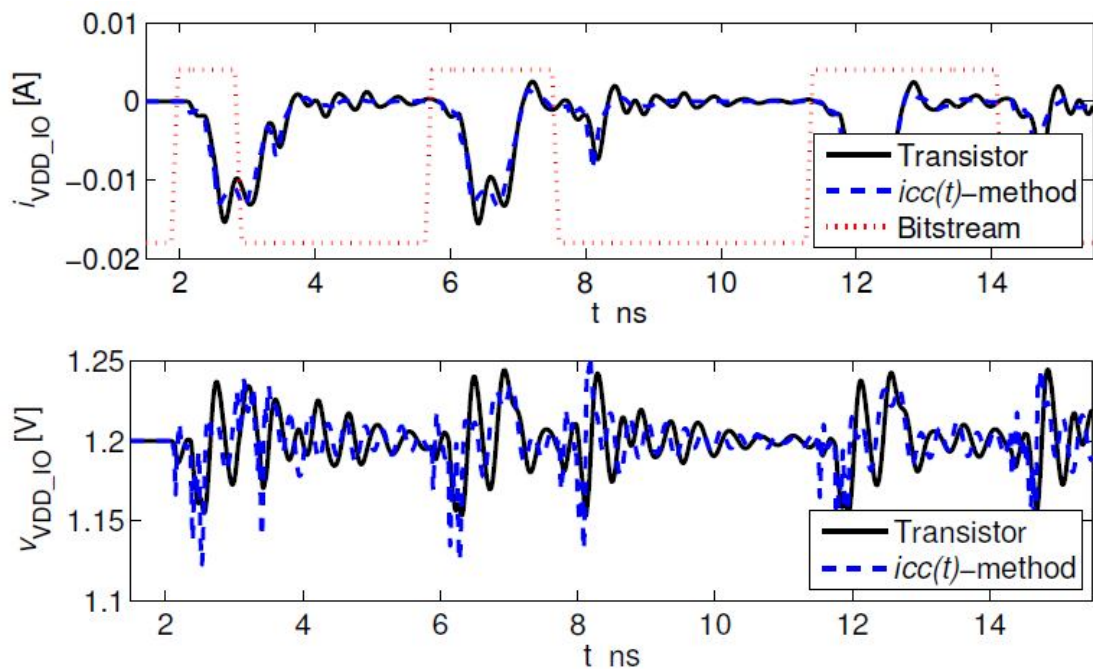


圖 7、測試平台驗證結果：供應之電流及電壓模擬，利用電晶體層級的網表(netlist)及分段線性電流源($icc(t)$ 法)

本篇論文提出一縮減的巨集模型，名為 Mpilog，來取代 PWL 電流源法，如圖 6c 中所示，因為其數學較為複雜，在此不加贅述。圖 8 顯示供應的電壓/電流在電晶體層級網表(netlist)及 Mpilog 巨集模型的模擬有高度吻合，圖中 V_{FE} 為驅動器的輸出電壓兩者模擬結果亦有高度吻合。

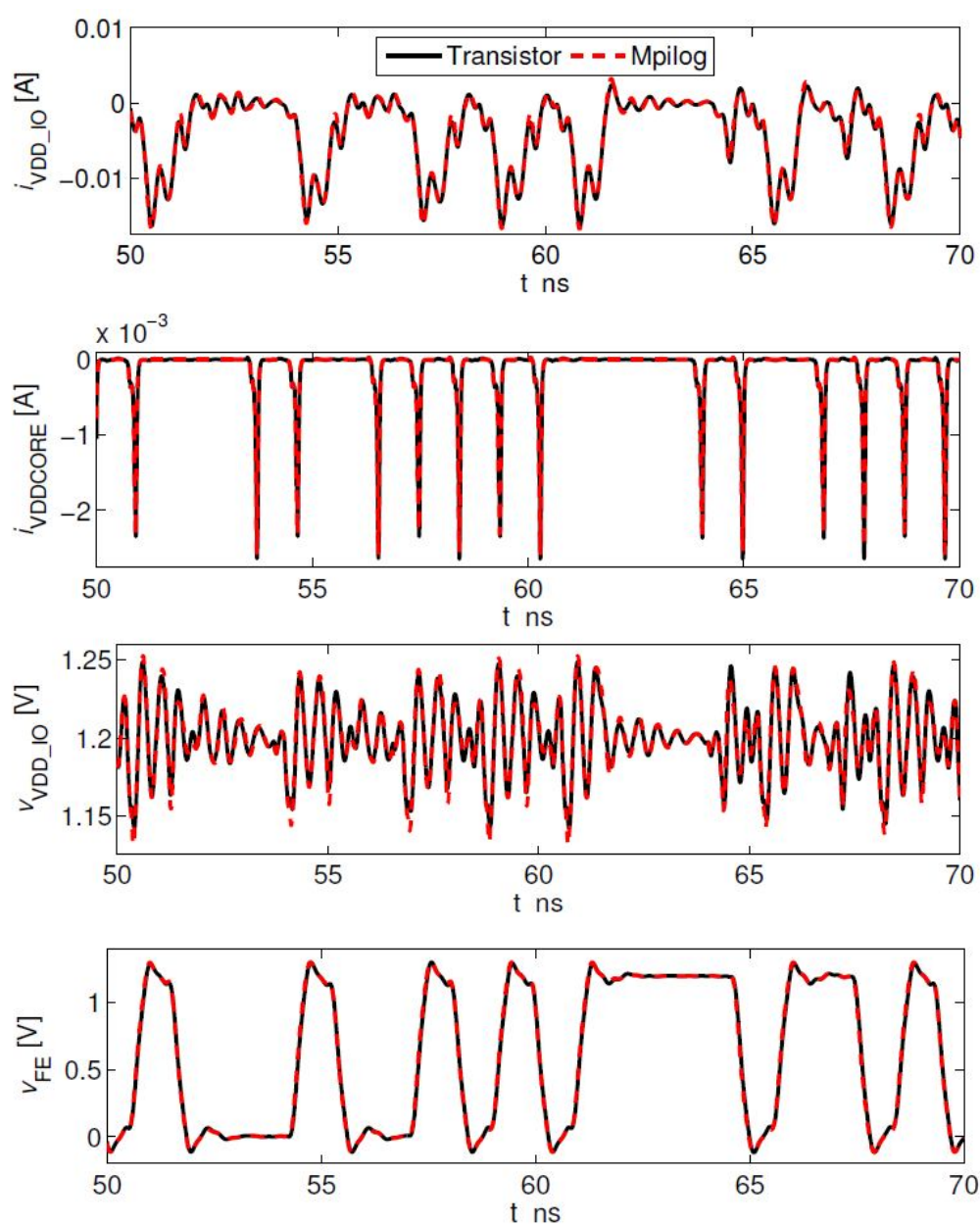


圖 8、驗證結果：電晶體層級網表(netlist)及 Mpilog 巨集模型

表 1 顯示 Mpilog 巨集模型提供非常大的模擬加速，最快可達 311 倍，此項數值是驗證平台以 200 bit 長的 01 訊號之模擬取得的，在 Intel 3.3 GHz Xeon CPU 使用 Synopsys Hspice 2014 年版模擬而得。

表 1、不同模型的暫態模擬所需時間及其所對映的加速倍率

Device Model	TRAN	CPU Time	Speed-up
Transistor	6451.83s	6467.28s	—
Mpilog Spice	92.89s	94.13s	68.7x
Mpilog Verilog-A	19.33s	20.74s	311x

圖 9 顯示 LPDDR3 記憶體指令/位址(CA)匯流排的模擬，共有 10 個 CA 驅動器及獨立的偽隨機位元序列(Pseudorandom binary sequence, PRBS)，另有一個 clock 訊號，只有在 SI 及 SI/PI 共模擬驗證平台被提出。圖中上半部給驅動器的供電是理想的電壓/電流源，下半部供電是由電源分配網路提供。圖 10 確認 Mpilog 巨集模型模擬的準確性，即使電源供應存在很大的擾動時，仍然相當準確，圖 11 為 64~68 ns 的波型放大，當供應電壓 V_{VDD_IO} 由最大值轉變到最小值時，比較 SI/PI 共模擬結果及相對映只有 SI 分析的結果，SSN 的效應非常明顯，隨著供應電壓的變化，CA 線及 CLK 的電壓有大的變化或時間延遲(超過 100 ps)，這對系統時序餘裕(timing margin)有明顯的不利。

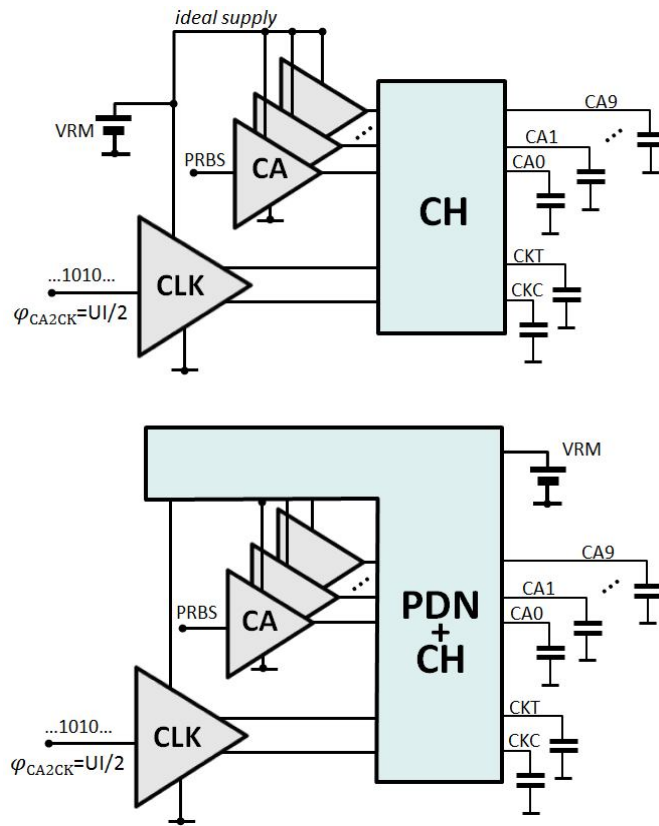


圖 9、SI 及 SI/PI 共模擬驗證平台

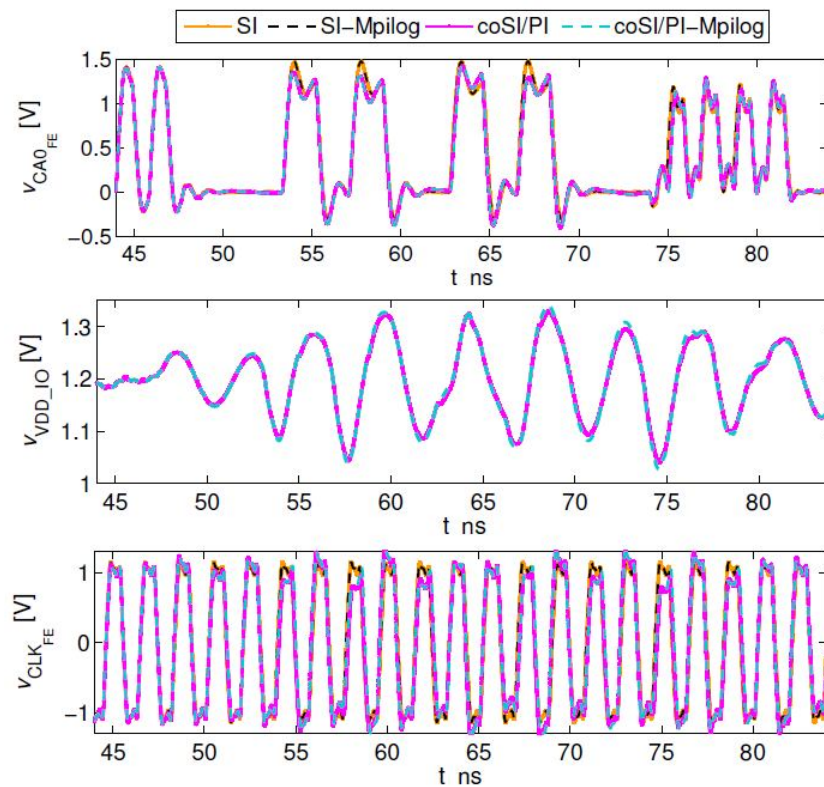


圖 10、系統層級訊號及電源完整性共模擬的結果

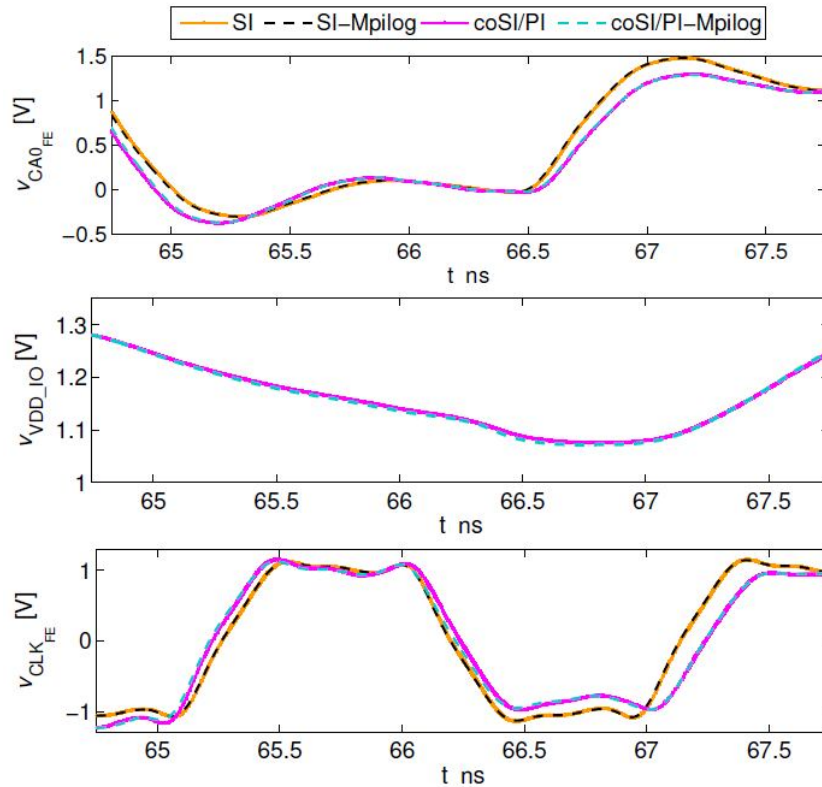


圖 11、在 CA 及 CLK 線的 SSN 效應

第二個論文發表時段有關電源分配網路主題，下列為發表之論文擇一內容簡介：

題目：Designs of Power Distribution Network for Octa-Core Mobile Application Processor

作者：陳南璋博士(家庭娛樂產品事業部, 聯發科技, 新竹, 臺灣)

此篇論文的目的是於 8 層之單面元件放置(SSCP)電路板上 8 核處理器(CPU)的電源分配網路(PDN)的設計並使用晶片-封裝-電路板共模擬來分析其電源完整性，分析條件為假如應用處理器(AP)由閒置模態轉換至最高速度運算仍能正常工作。

在 4G 手機平台上有 5 個主要的電源網路，包括 CPU、GPU、Vcore、Vsram 及 LTE 如圖 12 所示，所有的電力均是由電池提供，透過電源管理積體電路(PMIC)供電至 AP。在 PMIC 及 AP 之間有 2 個必要的連接，一個是電壓回饋線路，

其用來感應 AP 端的電壓變化及由 PMIC 補償下降的供應電壓，另一個是串列資料匯流排，譬如串列週邊介面(SPI)或 inter-integrated circuit(I²C)，其提供資料傳輸來執行動態電壓頻率調變(Dynamic Voltage Frequency Scaling, DVFS)演算法，用以省電延長電池使用時間。

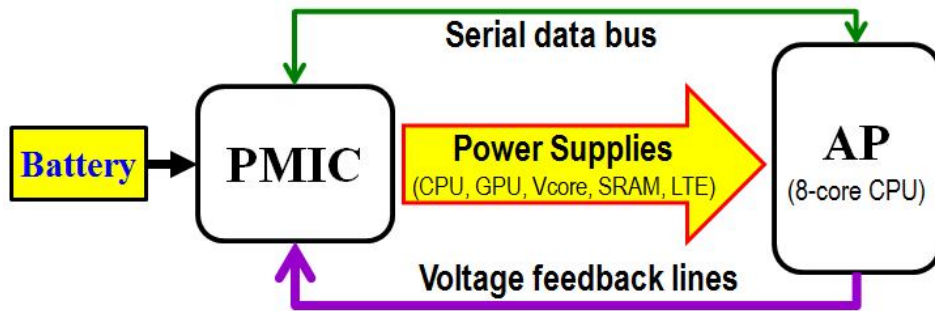


圖 12、手機平台內 PMIC 與 AP 之間的一般連接

如圖 13 所示，8 核 CPU 晶片電源模型(CPM)與線路模型串接，線路模型包含 AP 封裝、電路板及去耦合電容等所有的 S 參數，以及在 PMIC 這邊的電路板上有一個理想的 1V 電壓源。CPM 是一精簡或縮簡規模的 SPICE 等效電路模型，其萃取全晶片的切換電流曲線及該晶片電源網路的寄生電路元件。考慮最重要的切換電流曲線，被稱為閒置至最大 (Idle-to-Max) 模式，其模擬當 CPU 於閒置狀態(睡眠模式)於 600 ns 時間內突然將處理器全部 8 核啟動，該處理器操作在 1.7 GHz。圖 14 顯示閒置至最大模式切換電流曲線以及在 CPU 凸塊側探測的模擬 V_{CPU} 波形，其最低電壓為 840 mV，與 1V 供電電壓相比掉了 16%。

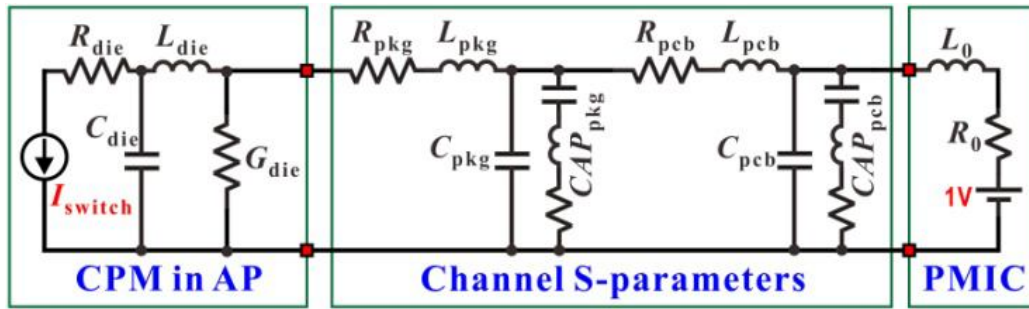


圖 13、晶片-封裝-電路板共模擬，運用 CPM 及線路 S 參數

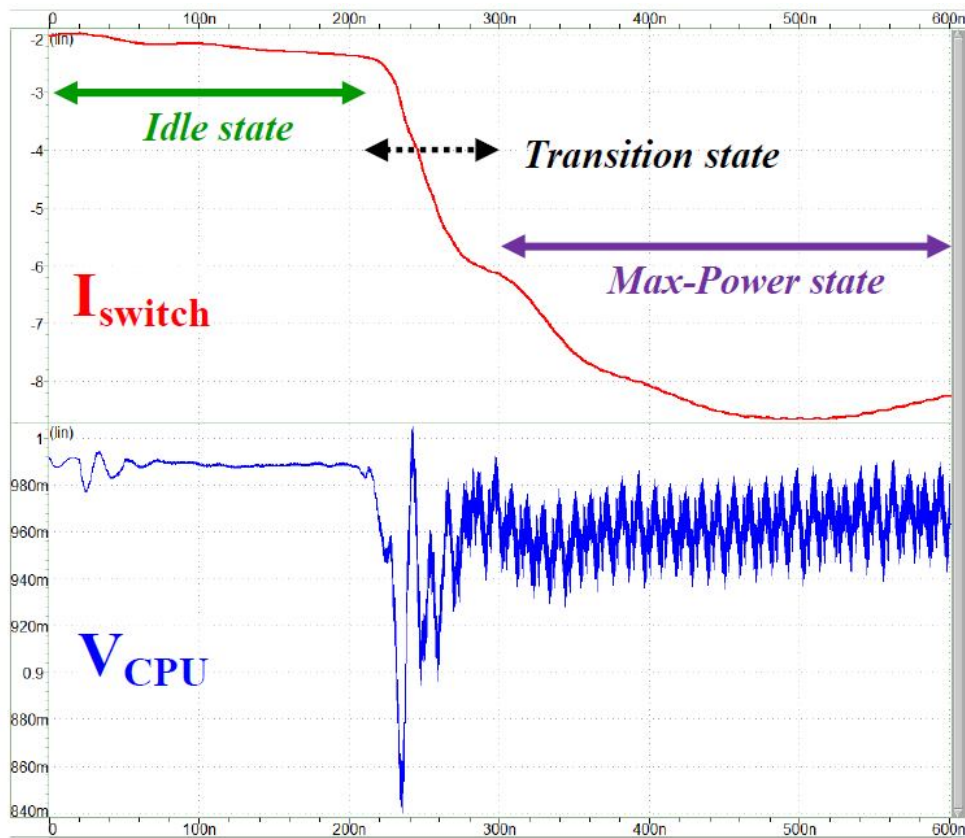


圖 14、CPM 最重要的切換電流曲線(上半部)及模擬的 V_{CPU} 波形(下半部)，在 CPU 的凸塊側探測所得，X 軸為時間(秒)，Y 軸上半部為電流(A)及下半部為電壓(V)

為了探究去耦合電容的效率，設計及模擬 Case 0 到 4 共 5 種去耦合電容配置。圖 15 顯示模擬的全線路阻抗，包含在 AP 封裝、SSCP 電路板及去耦合電容的所有效應，在 ANSYS 公司 SIwave 軟體下所作模擬。Case-0 是原始的設計，其中 $0.1 \mu\text{F}$ 電容主宰了去耦合電容的效應，它在凸塊側探測的最低 V_{CPU} 是

840 mV 如圖 14 所示。在時域所有的暫態分析使用 HSPICE，基於 PMIC(V_{PMIC})固定 1 V 的輸出。根據表 2，很明顯地，1 μ F 電容是更有助益於改善 V_{CPU} 的降低，因為 Case-2、Case-3 的 V_{CPU} 降低的較少。比較時域的電壓下降與頻域的自我阻抗，在 3 到 10 MHz 由 1 μ F 電容所貢獻的阻抗值下降，也能夠改善 V_{CPU} 的降低。如果考量降低在電路板的去耦合電容的成本，Case-4 比起原設計有 37% 的成本降低，其改善 V_{CPU} 降低有 12 mV(840 mV 上昇至 852 mV)。

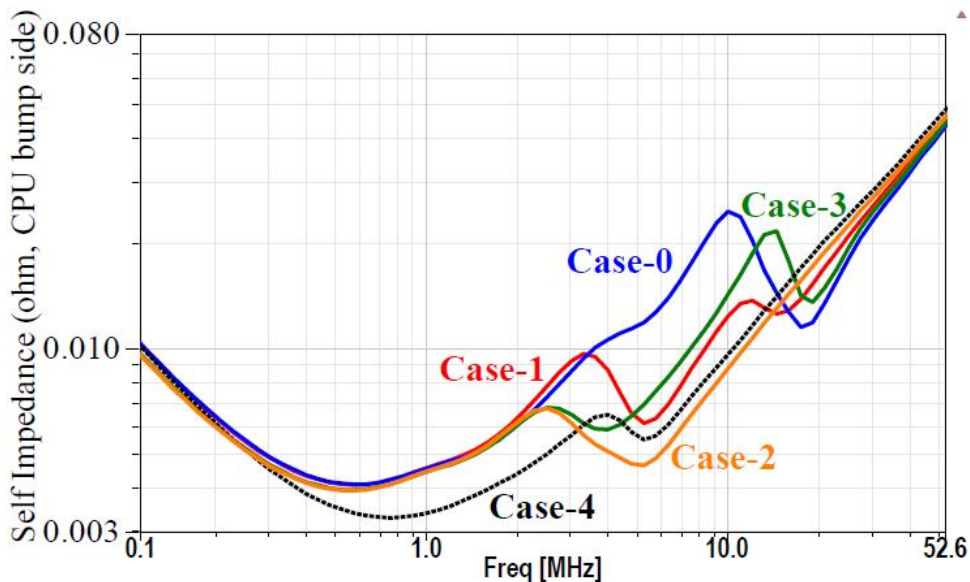


圖 15、5 種去耦合電容之 PDN 線路阻抗

表 2、在 AP 凸塊側探測之最低 V_{CPU} ，固定 $V_{PMIC}=1V$ ，在 AP 封裝及電路板內不同的去耦合電容置配

Case	Cap PKG (μ F)		On PCB (μ F, top layer)							Min. V_{CPU} (on bump side)		Cost ratio for caps on PCB
	0.1	1.0	0.1	1.0	2.2	4.7	10	22	47	(mV)	Drop ratio	
0	3	0	12	0	2	0	0	2	2	840	16.0%	1.00
1	0	3	12	0	2	0	0	2	2	850	15.0%	1.00
2	0	3	0	12	2	0	0	2	2	855	14.5%	1.03
3	3	0	0	12	2	0	0	2	2	845	15.5%	1.03
4	0	3	2	2	0	2	2	5	0	852	14.8%	0.63

圖 16 顯示了在手機平台上 PDN 佈線拓撲，其為了傳輸 CPU 電力(1 V)由 PMIC 的 V_{CPU} 接腳到 AP 的 V_{CPU} 接腳。在 SSCP 電路板上有 2 條 4 mil 寬回饋(FB)線路， V_{CPU} 及 V_{SS} ，由 PMIC 的 FB+及 FB-腳位分別連接到近 AP 側的電源及接地平面。請注意 V_{SS} 連接到電路板上的接地。基於表 2 中 Case-1 的去耦合電容配置，有 4 種設計 Case A1 到 A4 如下列及圖 17 所示。

Case-A1: 差動回饋線(FB+及 FB-)連接到 SSCP 電路板的內層中 V_{CPU} 及 V_{SS} 平面。

Case-A2: 差動回饋線(FB+及 FB-)分別連接到在 AP 封裝的 V_{CPU} 及 V_{SS} 不同錫球 pin 腳。

Case-A3: 單端回饋線(只 FB+)連接到在 AP 封裝中 V_{CPU} 的不同錫球 pin 腳。

Case-A4: 與 Case-A3 相同，但是在 AP 封裝中融合各別 V_{CPU} 錫球與其他 V_{CPU} 錫球。

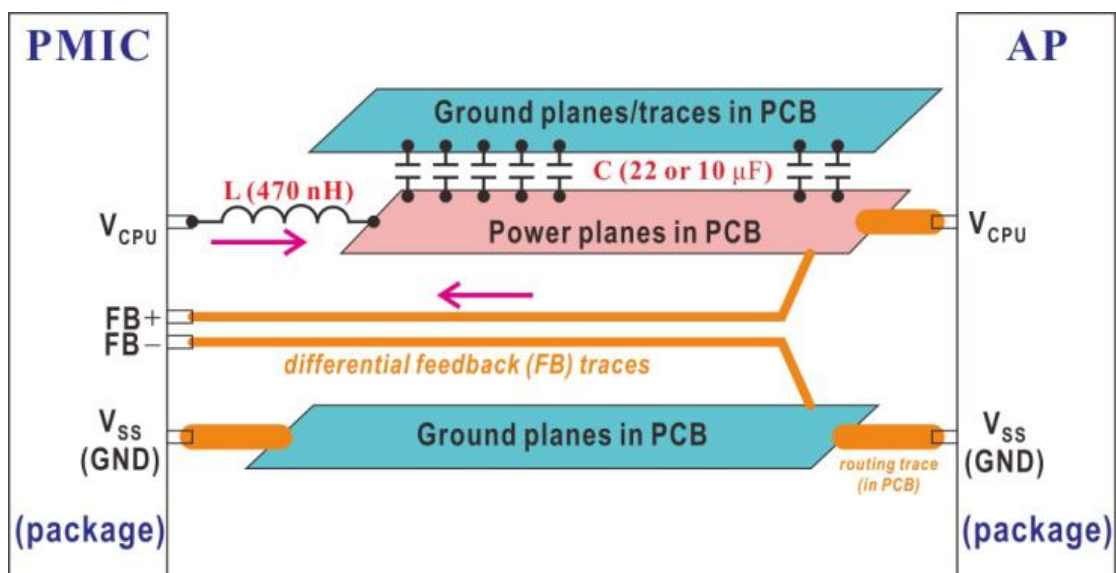


圖 16、典型的差動回饋線路，佈線在 PMIC 與電路板的電源/接地平面之間

使用 ANSYS SIwave 所有 5 種電源網路包含 CPU, GPU, Vcore, Vsram 及 LTE 均被同時模擬並萃取線路達 10 GHz 的 S 參數。所以在所有電源網路、接地平面及回饋線路之間的耦合均被考量。線路 S 參數有 11 埠，包含 AP 封裝、SSCP 電路板及所有去耦合電容。第 11 埠被設定到 PMIC 的錫球端，對 Case A1 及 A2 而言，第 11 埠的正及負端分別被連接到 PMIC 錫球 pin 腳的 FB+及 FB-。對 Case A3 及 A4 而言，第 11 埠的正及負端分別被連接到 PMIC 錫球 pin 腳的 FB+及 VSS。所有埠的參考阻抗值均為 0.1 Ω 。利用 CPM 的晶片-封裝-電路板共模擬在 Synopsys HSPICE 下被操作使用。在時域的所有被模擬波形如圖 18 所示且結果彙整在表 3。注意表 3 中 ΔV 是在 PMIC 及 AP 側量測到的電壓差值。比較在 PMIC 側量測到的最低 V_{CPU} ，Case-A1 是最樂觀的，因為接近電路板電源平面的去耦合電容通過最短路徑補償了電壓下降，然而 Case-A2 是最悲觀的，因為最長的返回路徑。這項評估發現單端回饋線路，Case-A3 及 A4，在 AP 凸塊側感測到最準確的 V_{CPU} (也就是最小的 $|\Delta V|$)，如此將使 PMIC 供應 AP 準確的電壓，對每個電源網路而言，使用單端回饋線路的另一項好處是維持在電路板上的更穩固的接地或電源平面，此是因為少了負回饋線。

表 3、在 PMIC 側的模擬電壓 V_{FB+} 匯整，含差動及單端回饋線

Case	Measured location	Min. V_{CPU}	ΔV	Drop ratio
A1	AP CPU bump side	852 mV	N/A	N/A
A1	PMIC pins, V_{FB+} to V_{FB-}	867 mV	+15 mV	+1.8%
A2	PMIC pins, V_{FB+} to V_{FB-}	829 mV	-23 mV	-2.7%
A3	PMIC pins, V_{FB+} to V_{SS}	844 mV	-8 mV	-0.9%
A4	PMIC pins, V_{FB+} to V_{SS}	844 mV	-8 mV	-0.9%

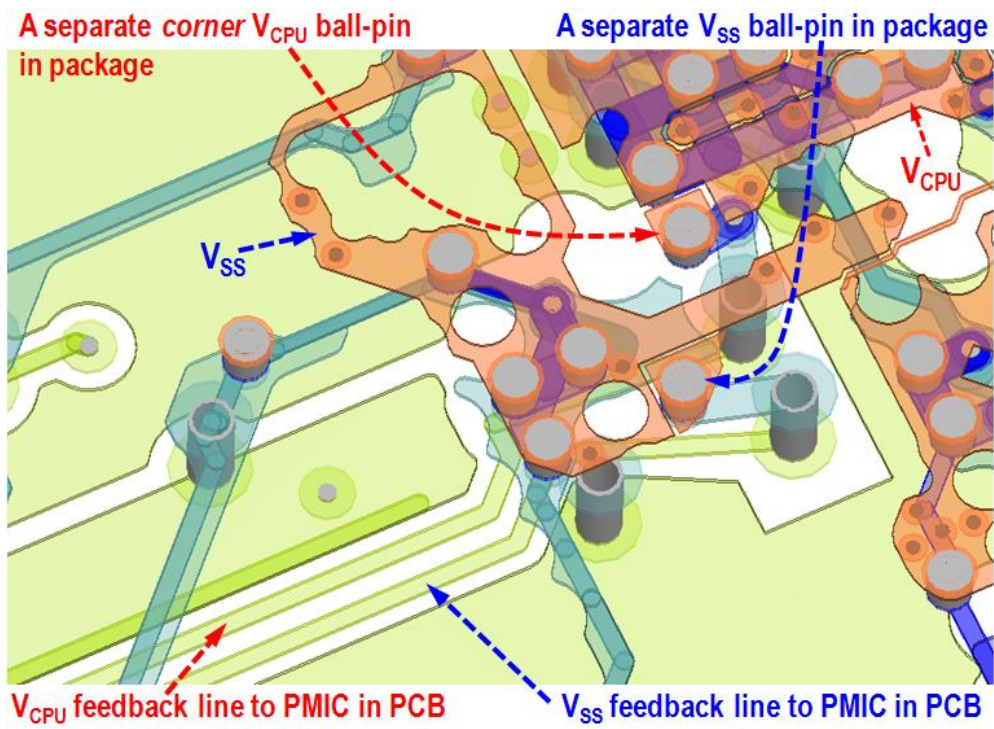


圖 17、在 AP 封裝及電路板上的 FB 線、 V_{CPU} 及 V_{SS} 佈網 3D 圖

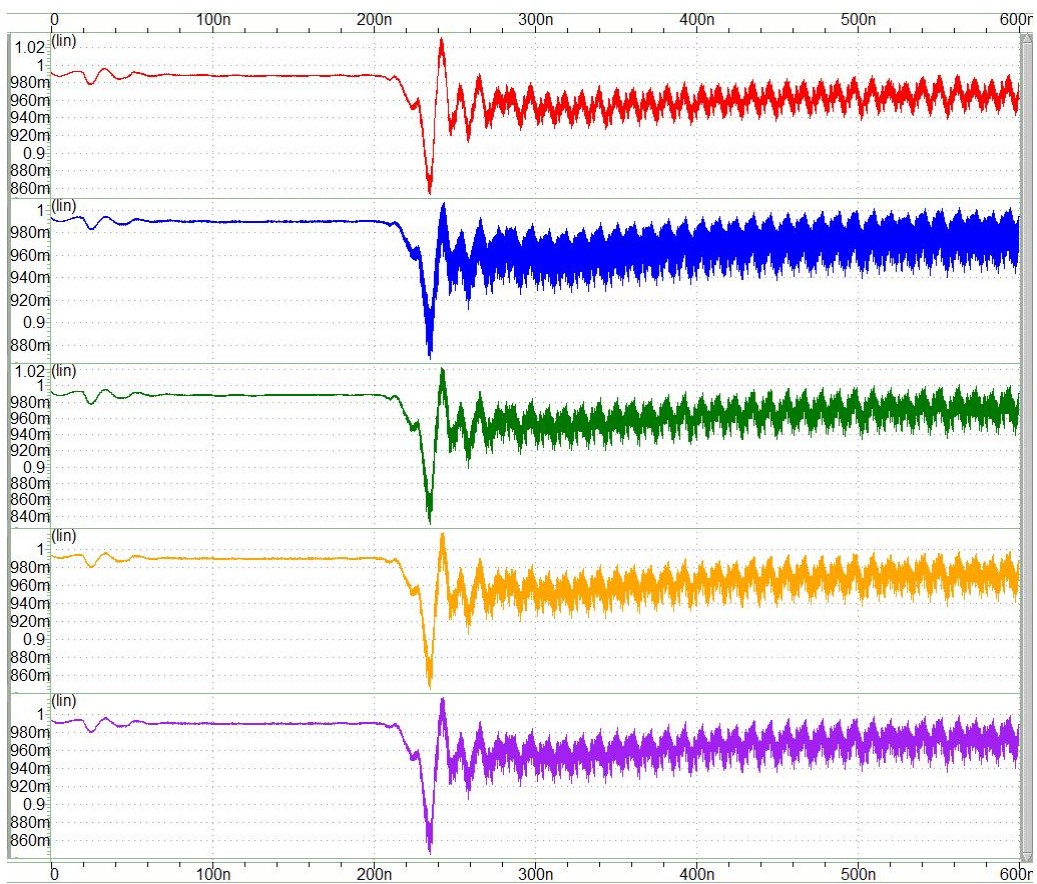


圖 18、模擬的 V_{CPU} 波形，(a)Case-A1:電壓在 AP 凸塊側探測，(b)Case-A1:電壓在 PMIC 之 V_{FB+} pin 與 V_{FB-} pin 之間探測，(c)Case-A2: 電壓在 PMIC 之 V_{FB+} pin 與 V_{FB-} pin 之間探測，(d)Case-A3: 電壓在 PMIC 之 V_{FB+} pin 與 V_{SS} pin 之間探測，(e)Case-A4: 電壓在 PMIC 之 V_{FB+} pin 與 V_{SS} pin 之間探測，X 軸單位為時間(秒)，Y 軸單位為電壓(V)

在「閒置至最大」(Idle-to-Max)模式，雖然去耦合電容有足夠的選擇可以改善電源完整性，於表 2 所列的諸多設計依然低於規格，在 CPU 凸塊側至少維持在 880 mV。回饋線路感測到 CPU 凸塊側大的電壓降落，但是 PMIC 在短暫時間內無法增加所需的功率，該短暫時間為 22 ns 的轉態間隔，如圖 14 中描繪的，於轉態之後，在最大功率模式，沒有明顯的電壓降落(小於 8% 的下降比率)，去耦合電容就能提供所需的能量，所以早期電壓補償(EVC)技術被提出。當 AP 的 CPU 所有核心在閒置模式，一個簡單的微控制器被用來喚醒其中一核心，該核心在所有 8 個核心同時操作在最大速度之前通知 PMIC(透過串列資料匯流排)，在一個短的時間間隔(Δt)內增加電壓(V_{PMIC})，然後 V_{PMIC} 回到固定電壓(1 V)。圖 19 展示了一此範例，該等範例運用 EVC 技術在不同的 V_{PMIC} (1.05 及 1.15 V)及 Δt (120, 150, 及 400 ns)，基於表 2 的 Case-4 去耦合電容配置。模擬的結果彙整於表 4，並指出所有的去耦合電容事先充電並能有效的降低動態電壓降落，所以，8 核 CPU 可於不超過規格(880 mV)能在任何模式下操作。

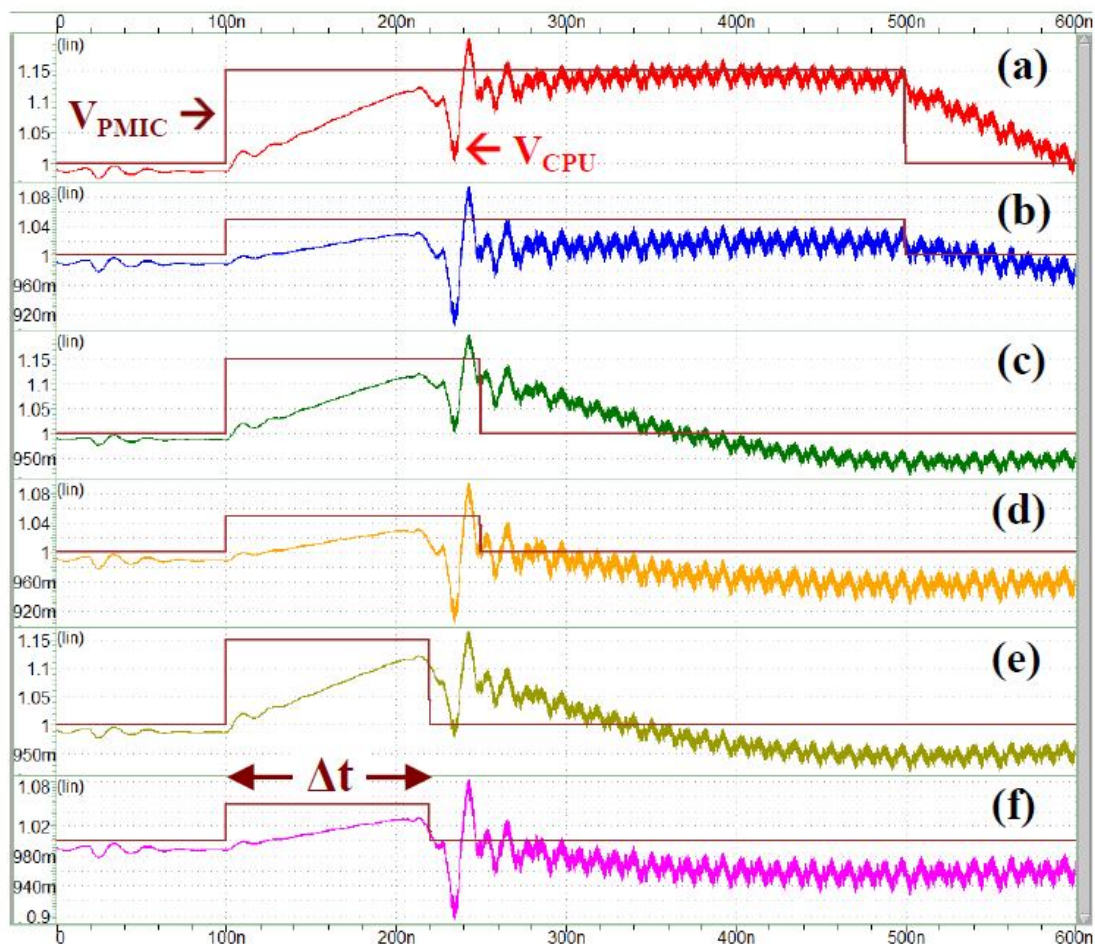


圖 19、在 AP 凸塊供模擬的 V_{CPU} 及在 PMIC 側不同調整的 V_{PMIC} ，(a)Case-4a, (b)Case-4b, (c)Case-4c, (d)Case-4d, (e)Case-4c, (f)Case-4f。X 軸為時間(秒)，Y 軸為電壓(V)

表 4、在 PMIC 側的模擬電壓 V_{FB+} 匯整，含差動及單端回饋線

Case	V_{PMIC} at $t = 100$ ns	Duration Δt	Min. V_{CPU} on bump side	
			(mV)	Drop ratio
4a	1.15 V	400 ns	1.010 V	+1.0%
4b	1.05 V		0.903 V	-9.7%
4c	1.15 V	150 ns	1.000 V	0.0%
4d	1.05 V		0.907 V	-9.3%
4e	1.15 V	120 ns	0.979 V	-2.1%
4f	1.05 V		0.895 V	-10.5%



圖 20、聯發科技公司陳南璋博士發表論文

第三個論文發表時段有關高速連接分析與設計主題第一場，下列為發表之論文擇一內容簡介：

題目：Bended Differential Transmission Line Using Compensation Inductance and Capacitance

作者：Bao-Ren Huang, Chia-Han Chang, Ruei-Ying Fang 及 王蒼容教授 (電子工程系, 台灣科技大學, 台北, 臺灣)

直角彎折傳輸線如圖 21(a)所示，剖面圖如圖 21(b)所示，該傳輸線由 3 個部分組成，即饋入線、耦合傳輸(Tx)線及直角彎折，該傳輸線的尺寸如圖 21， $W_t=2.9$ mm, $l_t=9.22$ mm, $w = 1.75$ mm, $s = 0.75$ mm, $l = 25$ mm, 及 $h = 1.6$ mm，板材是 FR4，其介電係數 $\epsilon_r = 4.4$ ，損失正切(loss tangent) = 0.02。

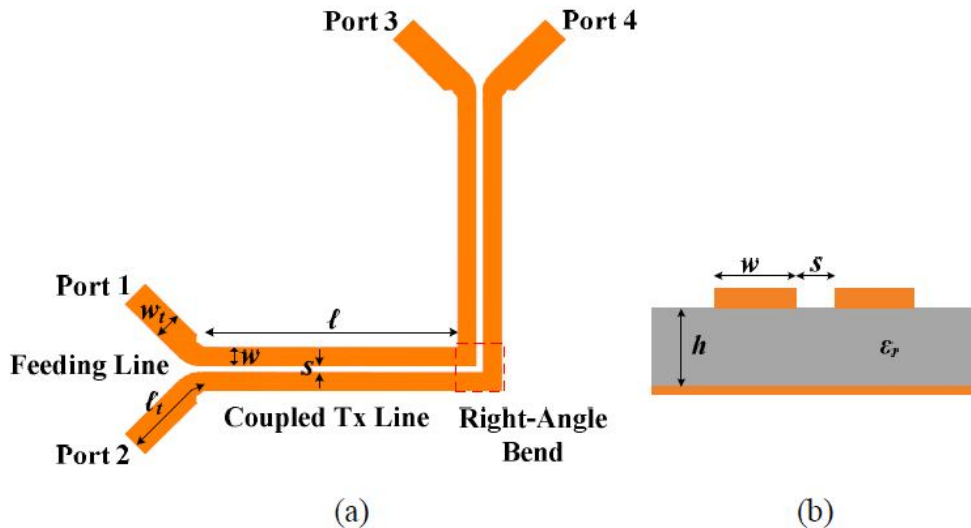


圖 21、直角彎折差動傳輸線，(a)上視圖，(b)剖面圖

對直角彎折差動傳輸線的時域模擬架設如圖 22 所示，其中驅動源為振幅 ± 0.5 V，爬昇時間 40 ps 的差動步階波形。此差動斜坡波形與內阻抗值 $50\ \Omega$ 串接，內阻抗值 $50\ \Omega$ 等同於耦合的傳輸(Tx)線之奇數模阻抗值，輸出埠 3 及 4 也與奇數模阻抗 $50\ \Omega$ 相匹配，模擬的時域傳輸 (TDT, time domain transmission)共模雜訊被標記為 Simulation(ADS Source)如圖 23 所示。

圖 23 也展示了利用機器發射源當作驅動源的模擬結果，此機器發射源是由時域反射儀(TDR, time domain reflectometry) TEK/CSA8000 產生並穿過 2 條電纜線收集而得，所以，機器發射源包含了電纜損耗，其會近似於實際的發射源。由圖 23 可見使用 ADS 及機器發射源的模擬結果有很好的吻合，其表示了 ADS 發射源能很好的代表機器發射源。

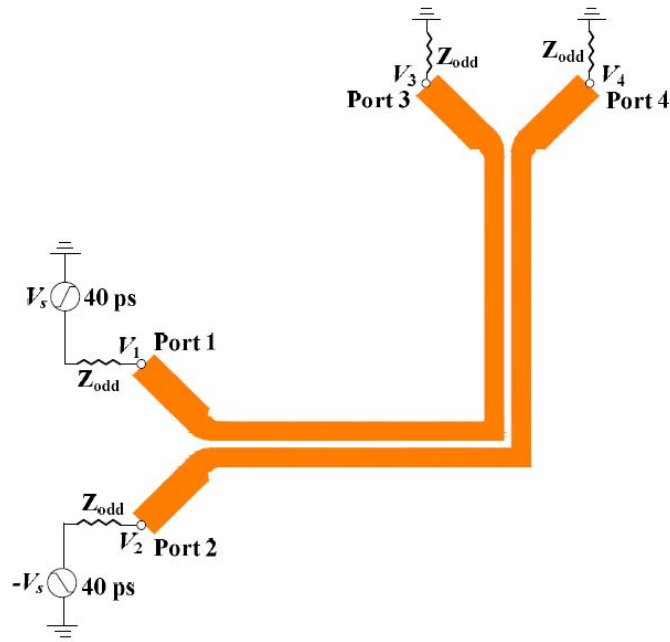


圖 22、直角彎折差動傳輸線時域模擬架構

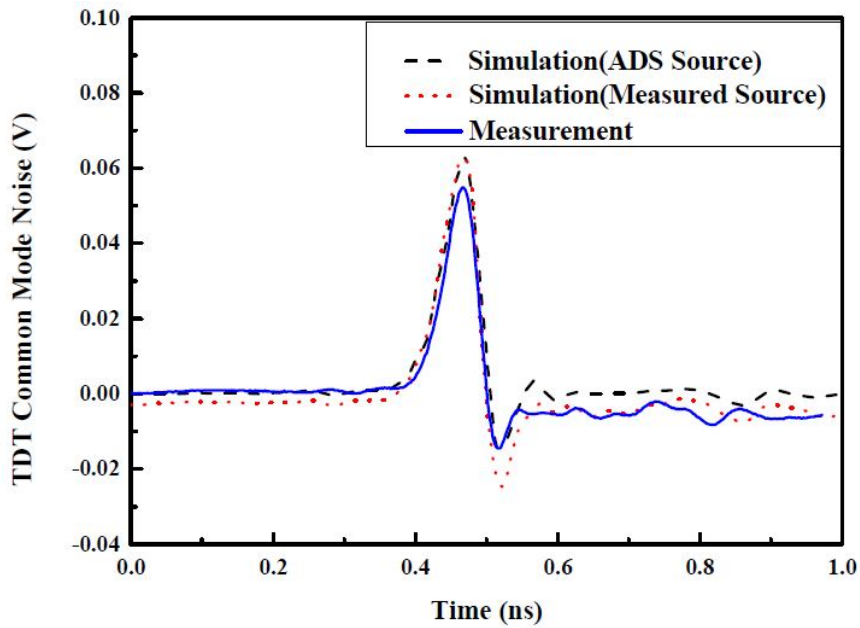


圖 23、直角彎折差動傳輸線之模擬與量測 TDT 共模雜訊比較

為了檢驗模擬結果，直角彎折差動傳輸線於 FR4 上製作如圖 24 所示，此項電路以 TEK/CSA8200 通訊訊號分析儀進行時域量測，量測結果也在圖 23 中顯示。由圖 23 中可見，模擬及

量測的 TDT 共模雜訊相當的吻合，其中模擬及量測的 TDT 共模雜訊大小分別為 0.064 V 及 0.056 V。

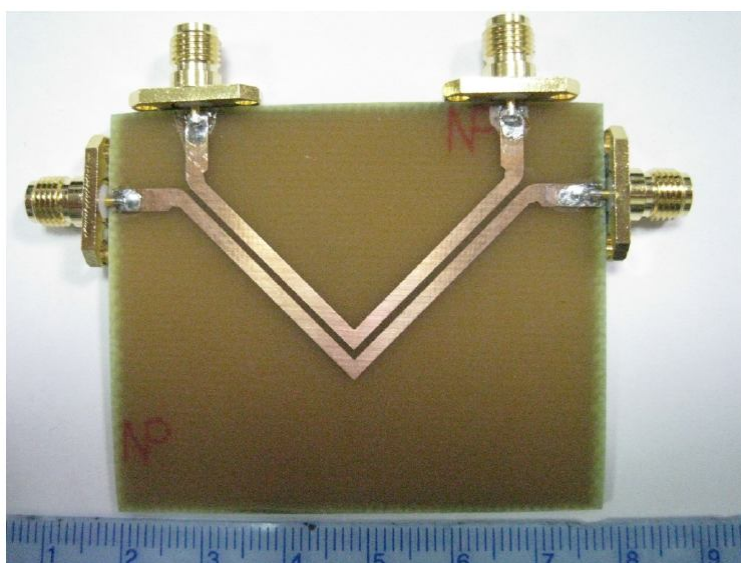


圖 24、直角彎折差動傳輸線電路照片

如圖 21(a)所示，因為直角彎折內路徑比直角彎折的外路徑短，所以內路徑的電感及電容比外路徑的電感及電容來得小。內外路徑之間的電感及電容不平衡將使得在接收端有大的共模雜訊，為了平衡內外路徑，補償電感及電容被加在內路徑上，如圖 25 所示。由圖 25 中可見，為了增加內路徑上的電感，細線被用來取代內路徑上的寬線，為了增加內路徑上的電容，2 個補償電容被配置在內路徑的直角彎折處。使用補償電感及電容的彎折差動傳輸線的尺寸為 $W_i = 0.68 \text{ mm}$, $W_o = 1.75 \text{ mm}$, $l' = 22 \text{ mm}$, $l'_i = 8.83 \text{ mm}$, $l'_m = 10.26 \text{ mm}$, $l'_o = 12.76 \text{ mm}$, $w_p = 1 \text{ mm}$, $D_v = 0.4 \text{ mm}$ 及 $s_p = 0.4 \text{ mm}$ 。補償電容的值評估約為 0.3 pF。

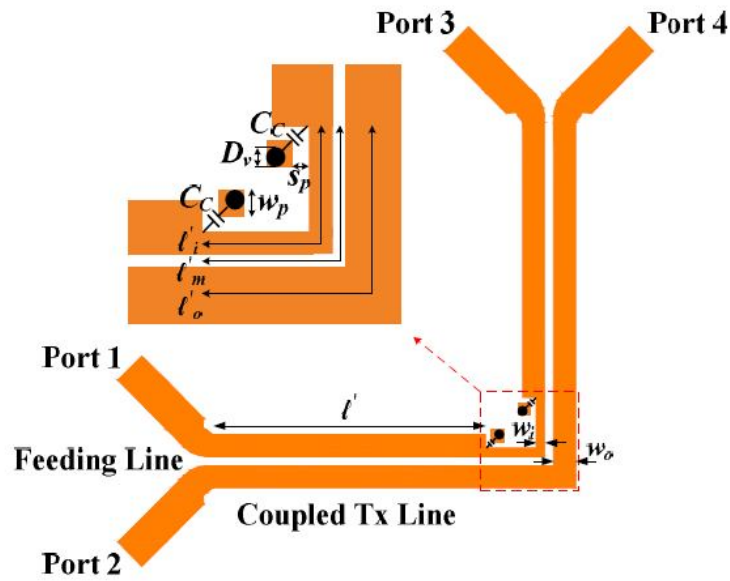


圖 25、彎折差動傳輸線使用補償電感及電容

利用補償電感及電容的彎折傳輸線之時域的模擬架構如圖 26 中所示，其中一個穩態電壓 ± 0.5 V 且上昇時間 40 ps 的差動斜坡脈衝被加諸於輸入埠 1 及 2 上。之後圖 26 中架構以 ADS 模擬，取得模擬的 TDT 共模雜訊如圖 27 所示。由圖 27 中可見，使用 ADS 及機器發射源的模擬結果有好的吻合，也就是說 ADS 發射源可以很好的表示機器發射源。

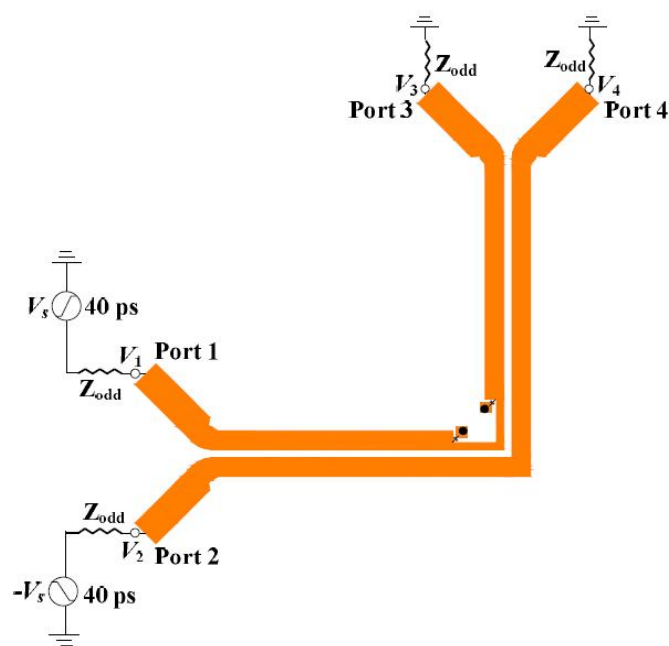


圖 26、使用補償電感及電容之彎折差動傳輸線時域模擬架構

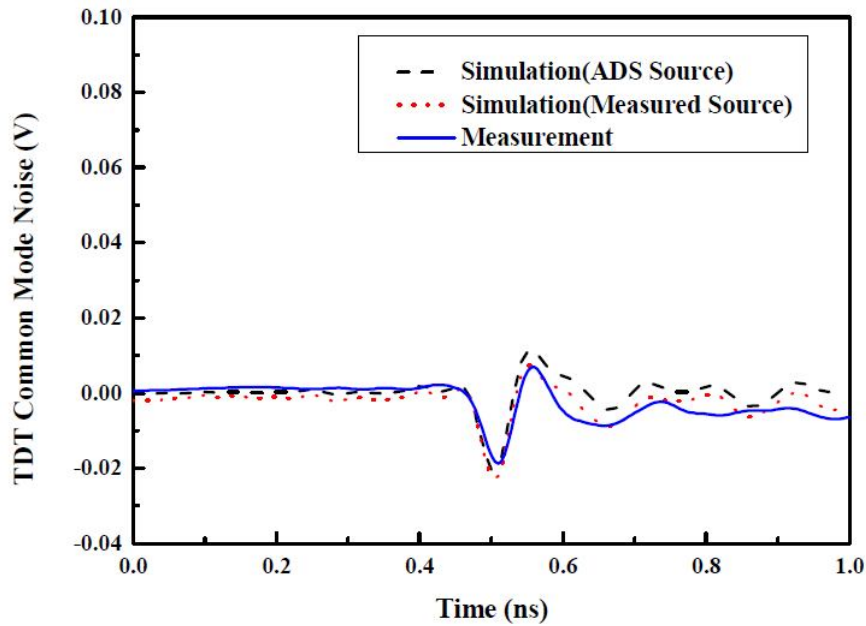


圖 27、使用補償電感及電容之彎折差動傳輸線的模擬與量測 TDT 共模雜訊之間的比較

為了驗證模擬的結果，使用補償電感及電容的彎折傳輸線被製作出來，如圖 28 中所示。之後圖 28 中架構以 TEK/CSA8200 通訊訊號分析儀時域量測，其量測結果也在圖 27 展示。由圖 27 中可見，模擬及量測的 TDT 共模雜訊有好的吻合，其中模擬及量測的 TDT 共模雜訊大小分別為 0.021 V 及 0.019 V，與圖 23 比較，量測的 TDT 共模雜訊由 0.056 V 大幅的降至 0.019 V。

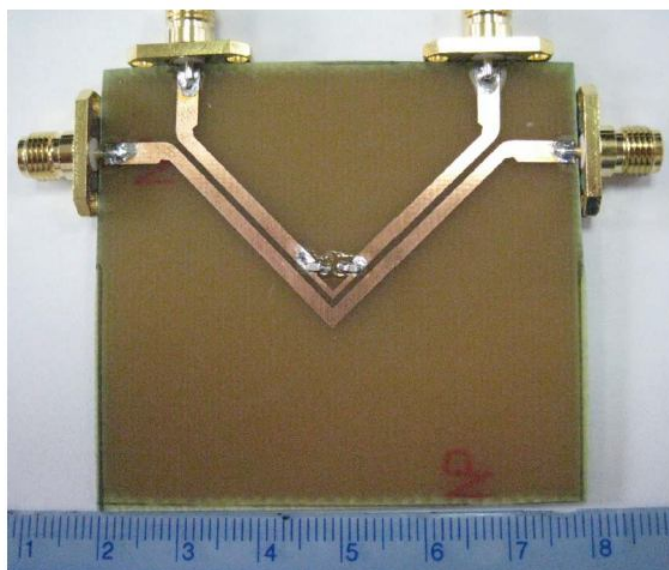


圖 28、使用補償電感及電容的彎折傳輸線的製作電路相片

為了探究差模至共模轉換，圖 21(a)以 Momentum 模擬來萃取 4 埠 S 參數，然後此 4 埠 S 參數被轉換為混合模式 S 參數。直角彎折差動傳輸線的差模至共模轉換的頻率響應如圖 29 中所示，由圖 29 中可見，模轉換的大小相當大，由 DC 至 6 GHz 其大約為 -6.91 dB。圖 29 也顯示在圖 30 中使補償電感的彎折差動傳輸線的模轉換，圖 29 中可見，當只有採取補償電感時，模轉換可以被輕微的減少，為了更降低模轉換，使用補償電感及電容的彎折差動傳輸線如圖 25 被採用，如圖 29 可見，使用補償電感及電容(π 模型)的彎折差動傳輸線的模轉換被大幅降低，圖中也可見使用補償電感及電容(T 模型)的彎折差動傳輸線的模轉換。比較 π 及 T 模型的結果，可見比起 T 模型， π 模型可以有效的降低模轉換，因為 π 位置的電流分佈比起 T 位置的電流分佈要強，如圖 30 中所示。圖 31 為此篇論文作者台科大王蒼容教授發表論文現場相片。

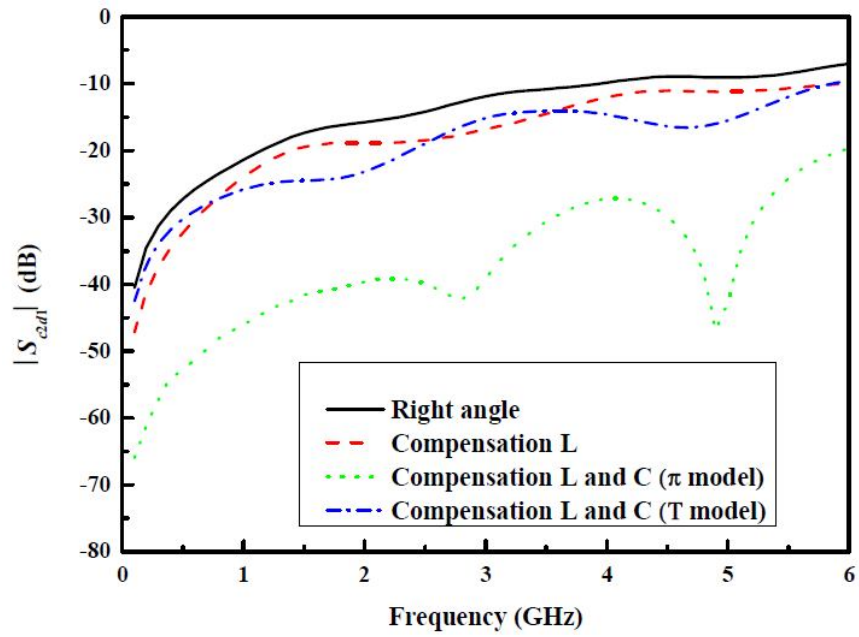


圖 29、直角彎折差動傳輸線的差模至共模轉換、使用補償電感及使用補償電感及電容之間的比較

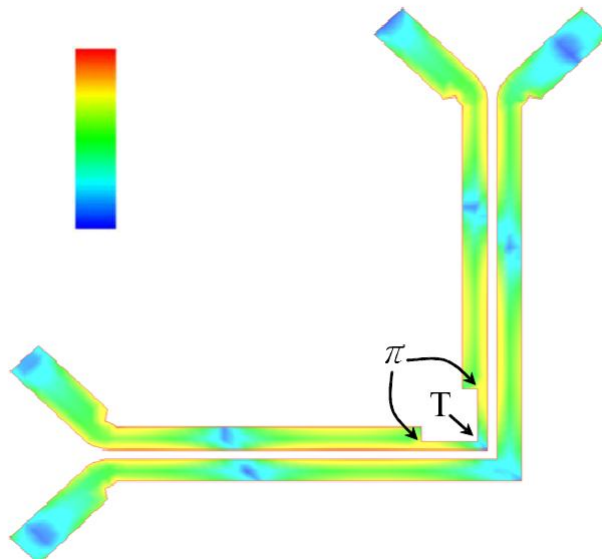


圖 30、使用補償電感及電容直角彎折差動傳輸線的電流分佈

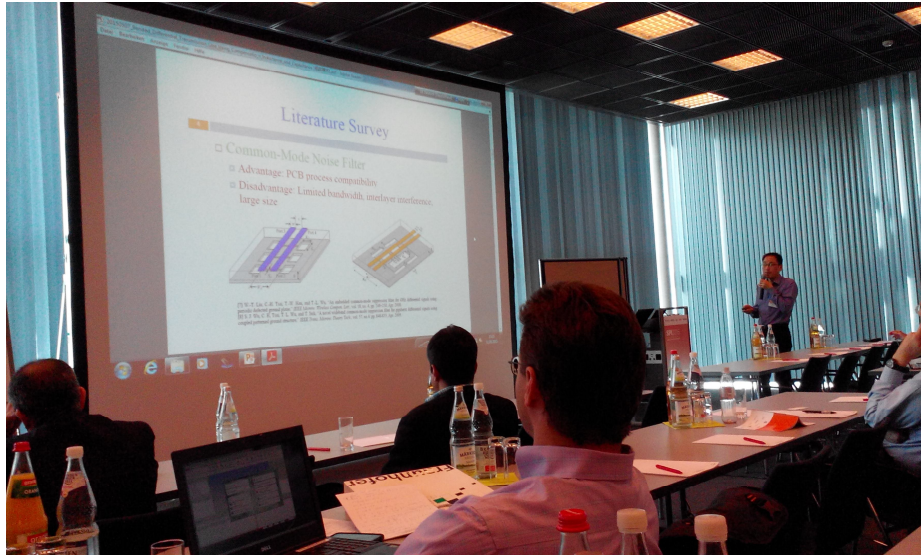


圖 31、台科大王蒼容教授發表論文

第五個論文發表時段有關有關數值模擬主題第二場，下列為發表之論文擇一內容簡介：

題目：Improvement of Transmission between Vivaldi Antennas for Inter-Chip Wireless Interconnect Network

作者：Pierre Marie MARTIN, Thierry LE GOUGUEC, Najib MAHDI(Université Européenne de Bretagne, FRANCE)

電子電路每毫米平方的功能增多且多樣化導致提昇資料速率的需求、為了增強多樣性重組系統的實現…及無可避免的導致電路板上元件之間連接及傳統金屬連接數量的增加。但是導源於這些金屬線的寄生效應，譬如電的串音干擾及傳播延遲，降低訊號完整性、傳播速度、資料位元速率、耗電…等電路效能。另一方面，電路繞線變得愈來愈複雜且被連接所佔的面積持續成長。

為了克服這些負面效應，數個解決方案已經被研究，利用 3D 堆積、光連接、射頻連接等。此處論文已經選擇評估板上網路(Network on Board, WiNoB)無線連接的效能。在圖 32 中，

此論文展示概要圖說明在電路板使用積體電路無線連接的概念。

在研究印刷電路雙極或 Vivaldi 天線在 10 GHz 低成本技術不同架構之間的無線傳輸效能，此論文展示了基於傳輸通道的調整來改進天線之間傳輸的新方法，為了此次展示，Vivaldi 天線已被選擇，但是此論文作者也有一些雙極天線的好結果。

接著，此論文展示值得注意的傳輸結構及提出數個解決方案來改善天線之間的傳輸層。

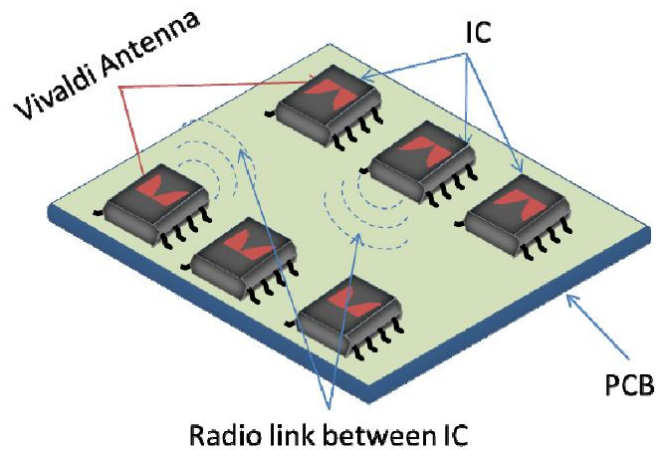


圖 32、“Wireless Network on Board”架構的範例

圖 33、圖 34 及圖 35 展示了被實現的 Vivaldi 天線幾何圖、模擬的網路架構及被實現的元件相片。天線模擬的操作使用 EM 模擬器(HFSS©ANSYS™)，此論文選擇 Vivaldi 積體天線因為它們有大頻寬來支援多址(multiple access)技術，所有天線被印刷在 RF35 基板上，厚度 $H=760 \mu m$ ，在 10 GHz 介電係數 $\epsilon_R=3.5$ 及正切損耗(loss tangent) $tg(\delta)=0.002$ ，金屬的厚度是 $T=17.5 \mu m$ ，考慮過的通訊網路由 4 個安裝在環氧樹脂 FR4 基板上的天線所組成(如圖 34)，基板的厚度 $H=780 \mu m$ ，介電係

數 $\epsilon_R=4.3$ 及正切損耗(loss tangent) $tg(\delta)=0.0025$ ，面對面的天線距離被標註為 D ，圖 35 顯示被實現的測試元件相片。

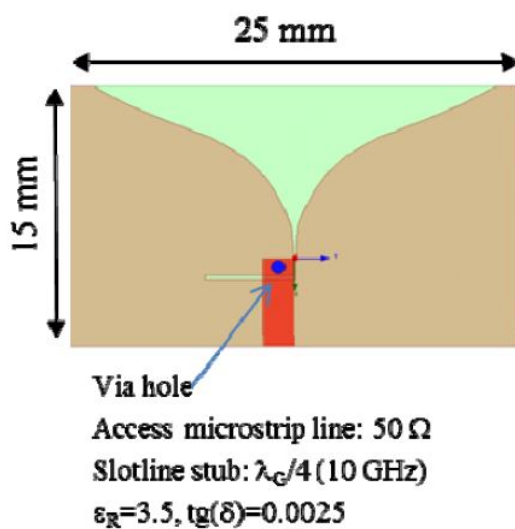


圖 33、測試結構：Vivaldi 天線幾何圖

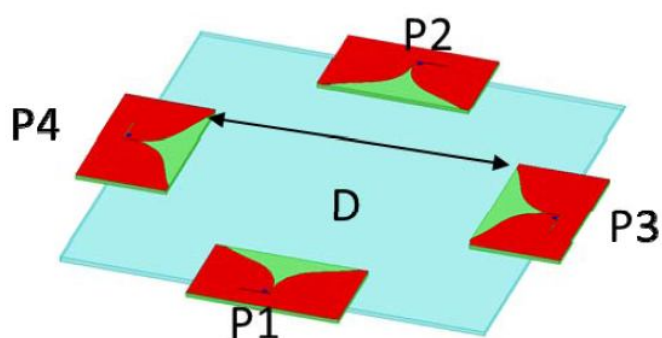


圖 34、測試結構：電磁模擬之網路架構

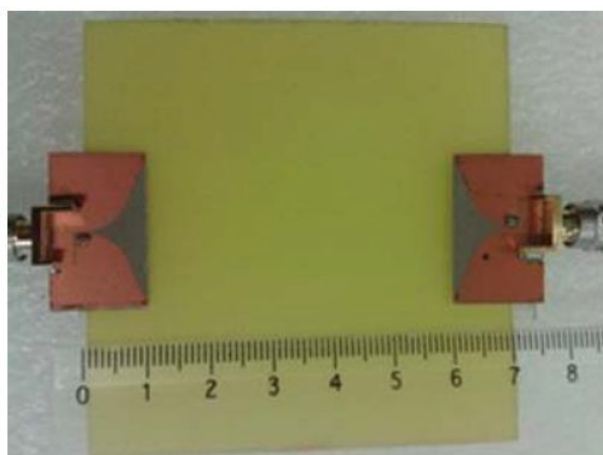


圖 35、測試結構：被實現的測試元件照片

在 0-20 GHz 頻寬中，對數個距離 D ，2 個面對面天線之間 (在圖 36 中 S_{21}) 及 2 個相鄰天線之間 (在圖 37 中 S_{31})，由 EM 模擬取得之傳輸係數被展示於下列 2 圖中。

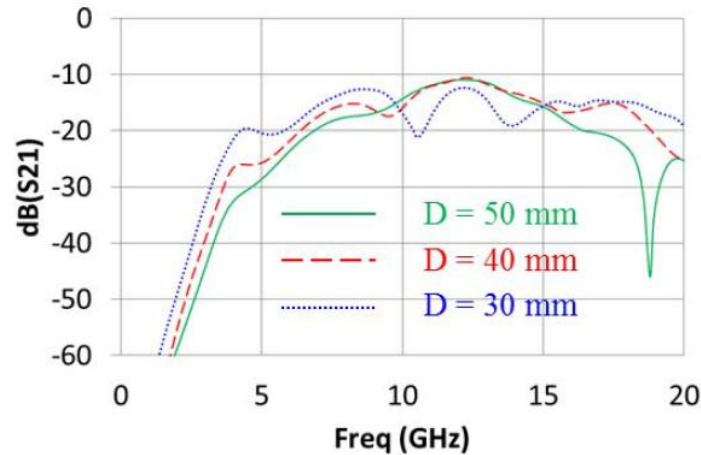


圖 36、2 個面對面天線之間的模擬傳輸係數 S_{21} ，對有不同距離 D 之 4 Vivaldi 天線網路

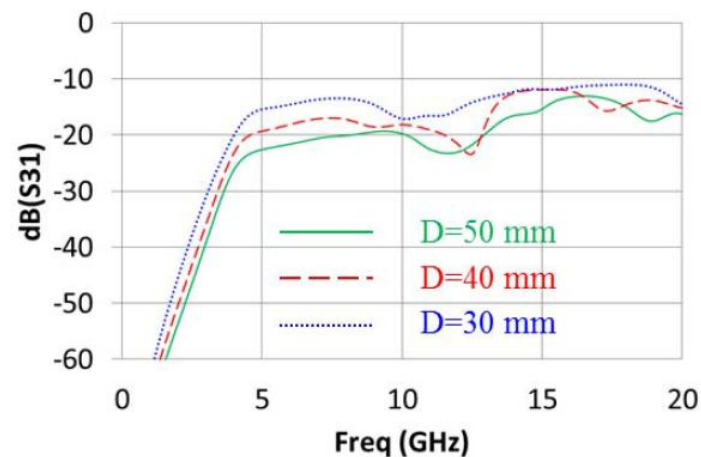


圖 37、2 個相鄰天線之間的模擬傳輸係數 S_{31} ，對有不同距離 D 之 4 Vivaldi 天線網路

對面對面或相鄰天線之間數個距離，由 30 mm 至 50 mm，我們注意到在頻寬 8 到 16 GHz，傳輸係數大小介於 -20 及 -10 dB 之間，此些結果印證該傳輸寬頻的本質，2 項架構之間大小的差異是因為該等天線的方向性。

除此之外，為了模擬量測的實際環境，該論文於 FR4 基板上 2 個面對面 Vivaldi 天線之間，安置不同的障礙物譬如一個積體電路、平行及垂直金屬線。在圖 38 中，該論文展示了被模擬與量測的 4 種障礙物架構，其中考慮：(i)在 2 天線之間不放置任何障礙物的情況；(ii)在 2 天線之間放置一積體電路的情況；線寬 $W=1.5\text{ mm}$ 的金屬線被放置在 2 天線之間，線的方向 (iii)垂直於或(iv)平行於傳播方向軸的情況。

在圖 39、圖 40、圖 41 及圖 42 中，該論文展示了對 4 種前揭傳輸結構的量測及模擬(HFSS)傳輸係數之比較，首先，我們可以看到在模擬與量測之間好的吻合，對沒有任何障礙物結構的情況(圖 39)，論文中量測到在一個 11 GHz 頻段中傳輸係數大於-20 dB，大約為 8.9 GHz 附近的 125%的一個頻段。一個 IC 出現當障礙物時，在 4~15 GHz 頻段，傳輸係數降低了平均 4 dB 左右(圖 40)。必須注意的是兩天線之間障礙金屬線出現時，看來似乎降低的量少很多，確實，在放置一條垂直於傳播方向軸的金屬線之情況下，該論文注意到只衰減了 1 dB(圖 41)，論文甚至發現到在放置一條平行於天線傳播方向軸的金屬線之情況下，傳輸平均上昇了約 1 dB(圖 42)。此現象可以下列實際情況加以解釋，金屬線在所需要的方向導通電磁波有所貢獻，所以其將天線之間的傳輸最大化。

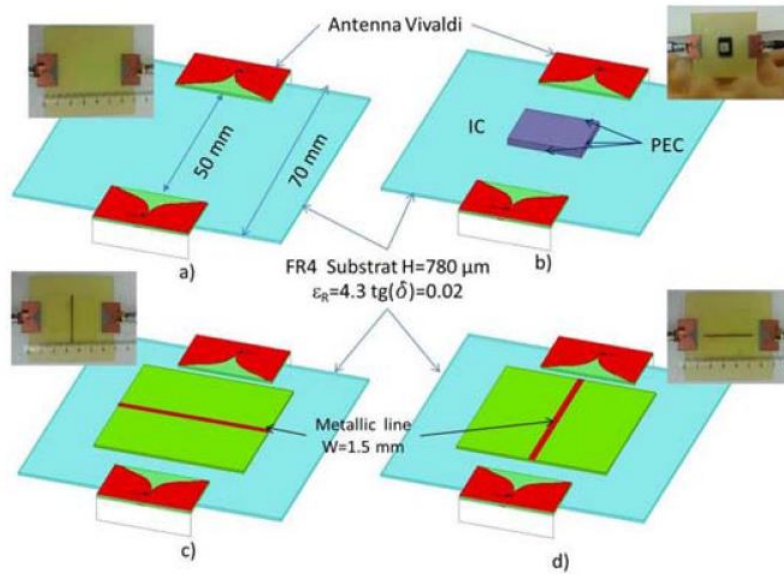


圖 38、電路板上的 2 個 Vivaldi 天線之間插入結構障礙物：a)沒有任何障礙物，b)有一積體電路障礙物，c)有一金屬線垂直於傳播方向軸，d)有一金屬線平行於傳播方向軸

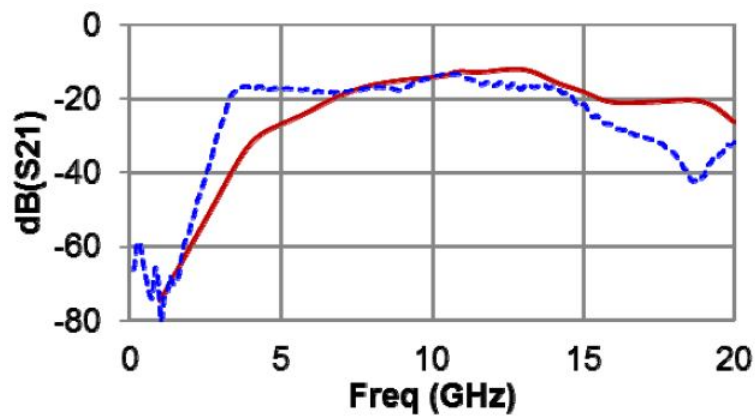


圖 39、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S21，天線之間沒有任何障礙物

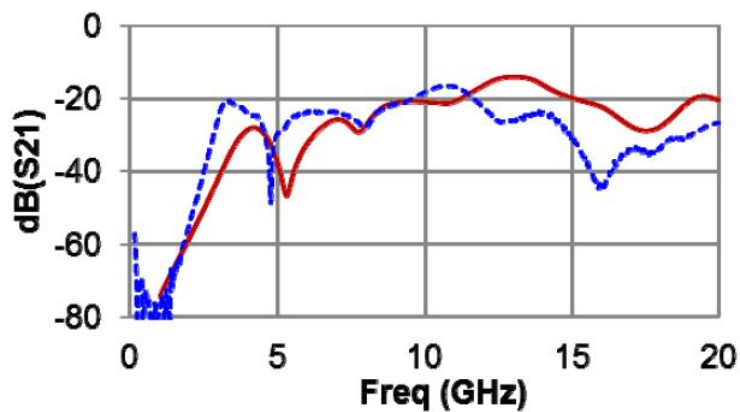


圖 40、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S21，天線之間放置一積體電路

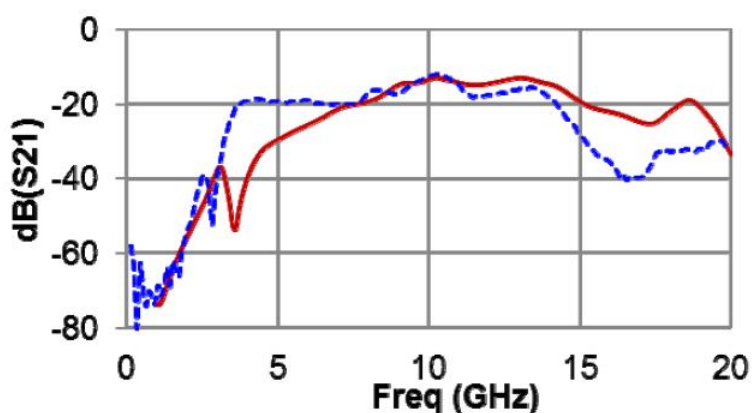


圖 41、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S21，天線之間放置一對傳播方向軸垂直的線

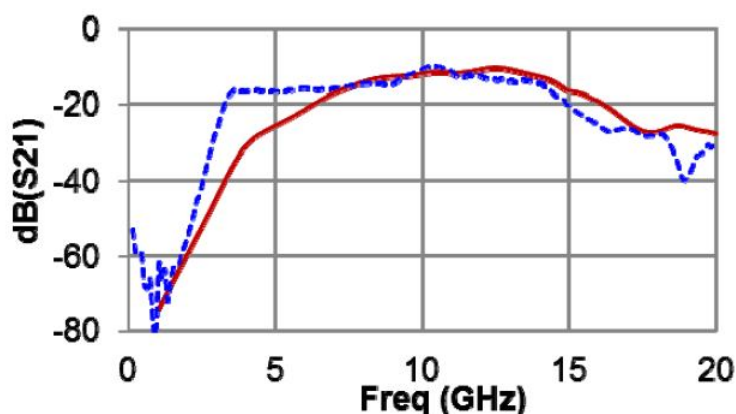


圖 42、Vivaldi 天線對連結之模擬(紅線)及量測(藍虛線)傳輸 S21，天線之間放置一對傳播方向軸平行的線

基於先前的研究成果及以改善 2 個面對面的 Vivaldi 天線之間的傳輸量為目標，此論文在 2 個天線之間首先加入了金屬平行線條紋格及其次周期變化棋盤格金屬結構。圖 43 及圖 44 展示此 2 結構，條紋格及棋盤格尺寸的最佳化(元件的數量、線的寬度及間隔)，透過大量的 EM 模擬來實現，且論文中取得如下的模擬成果：2 天線以 $D=50\text{ mm}$ 來分隔，最佳化的條紋格是由 11 條線組成，長度 $L_{GRID}=40\text{ mm}$ ，寬度 $W_{GRID}=2\text{ mm}$ 及間隔

$S_{GRID}=2\text{ mm}$ ，最佳化的棋盤格由 121 金屬塊組成，每個金屬塊尺寸為 $2\times 2\text{ mm}^2$ ，間格 2 mm 。

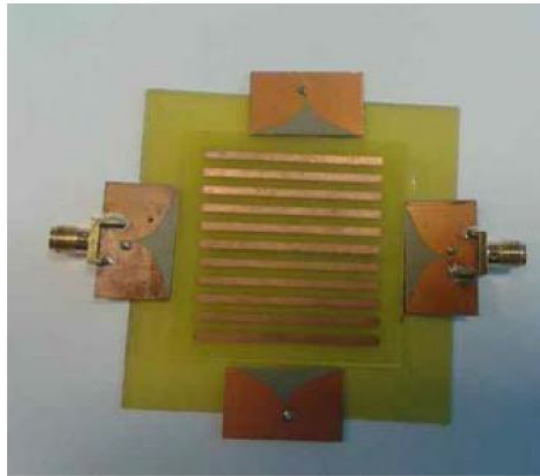


圖 43、出現金屬條紋格的 4 Vivaldi 天線

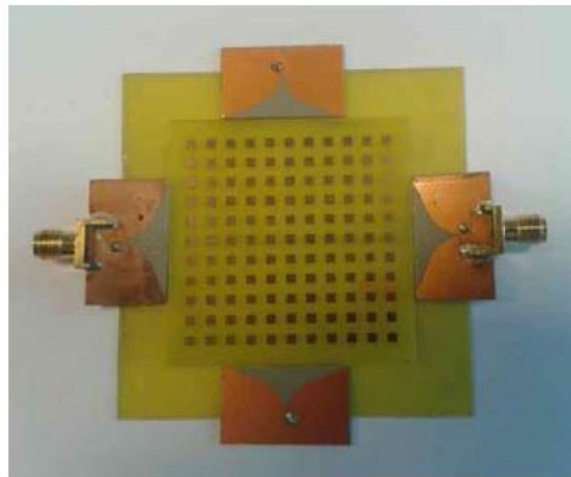


圖 44、出現金屬棋盤格的 4 Vivaldi 天線

在圖 45 中，論文展示了在 $0\sim 20\text{ GHz}$ 頻寬下列幾個情境的傳輸係數之間的比較，(i)在 2 天線之間沒有任何障礙的情境；(ii)在 2 天線之間放置有金屬條紋格，條紋格平行於輻射傳播軸的情境及(iii)金屬棋盤格被放置於 2 天線之間。應該注意的是與沒有障礙物相比，平行條紋格的出現，在 $5\sim 12\text{ GHz}$ 頻寬，傳輸增加了大約 8 dB 被實現，此現象可以被下列現實所解

釋，條紋格之金屬條紋在需求的方向上有貢獻於電磁波的導通，因此將 2 天線之間的傳輸最大化，圖 45 也顯示與無障礙物相比，在天線之間插入棋盤格，於 5~12 GHz 頻寬，增加傳輸大約 2 或 3 dB，所以，棋盤格的使用對傳輸的改善小於條紋格的使用，但是與沒有障礙物情境相比已足引起發興趣，甚且，由達成 Vivaldi 天線網路的觀點而言，棋盤格依然引發人們的興趣，因為它可以改善面對面通訊傳輸，而且在其它情境，譬如相鄰天線的情境，其不會干擾面對面通訊傳輸。

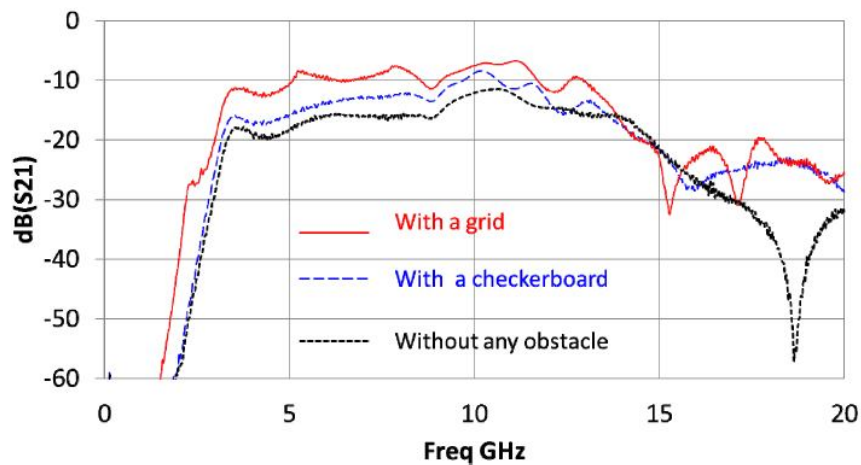


圖 45、對不同的傳播路徑，量測的 S_{21} 傳輸係數

第六個論文發表時段有關電源分配網路分析與設計主題第二場，下列為發表之論文擇一內容簡介：

題目：Noise Immunity Modeling and Analysis of Delay-Locked Loop

作者：InYoung Park^{1,2}, IkChan Jang¹, WonJoo Jung¹, and SoYoung Kim¹ (¹College of Information and Communication Engineering, Sungkyunkwan University, Suwon, Korea; ²DRAM Solution Team, Memory Division, Samsung Electronics, Hwasung, Korea)

IC 的電磁相容(EMC)測試方法已被妥適的定義在國際工程技術學會(IET)電子量測手冊及國際電工委員會(IEC) 62132 標準中，本篇論文選擇大電流注入法(Bulk Current Injection, BCI)來量測 IC 的抗擾。圖 46 展示 BCI 電流抗擾測試的基本實驗架設，當射頻訊號由 RF Generator 產生後，經過方向耦合器(Directional Coupler)進入 BCI 探環中，在探環中心的導電線路上產生感應電流($I_{RF_disturb}$)注入 IC 的 V_{DD} 接腳，探環中心的導電線路左方有支持性電路，IC 由控制電路控制，IC 的 V_{SS} 腳位與支持性電路均有接到參考接地平面，方向耦合器主要用來將射頻訊號導出一小比例電流並連接功率計，用以量測入射波及反射波的功率大小。BCI 測試的目的是評估當磁耦合雜訊電流傳送到 IC 時，有多大的雜訊電流對 IC 形成衝擊。

延遲鎖定迴路(Delay-locked Loop, DLL)主要配置在記憶體 IC 為了消除晶片上時脈放大及緩衝延遲來改善 I/O 介面時序餘裕(timing margin)，甚且，記憶體系統的大部分構成區塊是由 DLL 產生的時脈所驅動。所以，為確保整個系統的適當運作，了解及分析 DLL 的電磁耐受性(Electromagnetic Susceptibility, EMS)是很關鍵的。

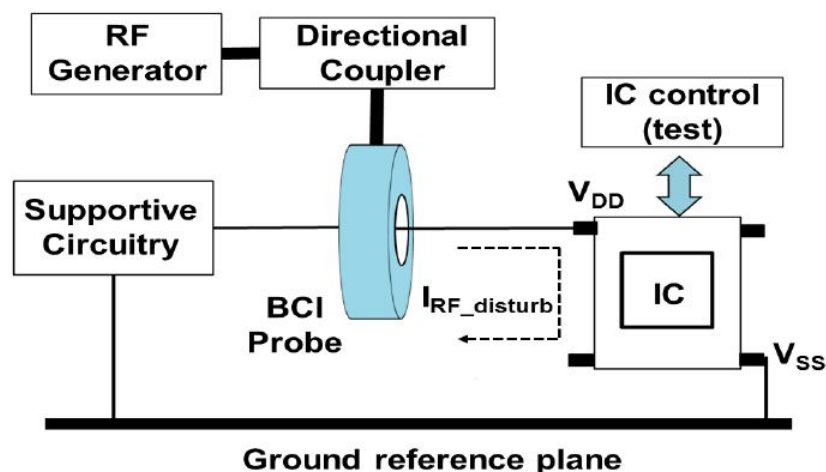


圖 46、BCI 測試基本概念

DLL 被廣泛運用在數位電路的 I/O 介面，用來移除時脈延遲並改善時序餘裕，傳統的 DLL 由數個區塊組成：1)相角偵測器(phase detector)、2)電荷泵送(charge pump)、3)環路濾波器(loop filter)及 4)電壓控制延遲線(VCDL)如圖 47 所示。此篇論文使用自偏壓技術來增加 DLL 的頻寬。假如在參考時脈及輸出時脈有相角差產生，偏壓產生電路產生偏壓 V_{BP} 及 V_{DN} 來調整 VCDL 的延遲時間，如圖 48 所示。DLL 電路是以 $0.18\ \mu\text{m}$ CMOS 製程來實現，其操作頻率涵蓋範圍由 350 至 550 MHz。

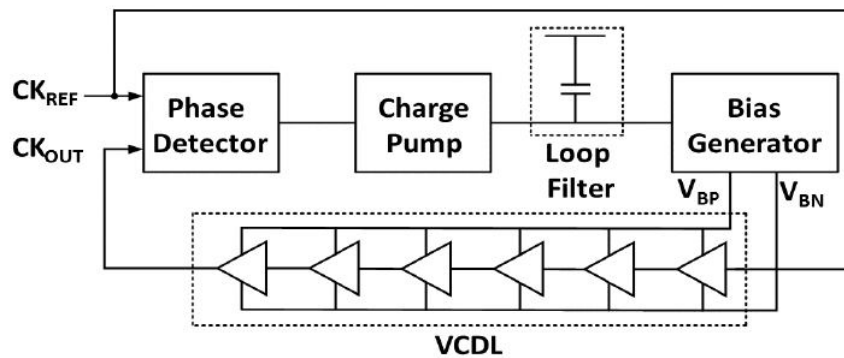


圖 47、自偏壓 DLL 區塊圖

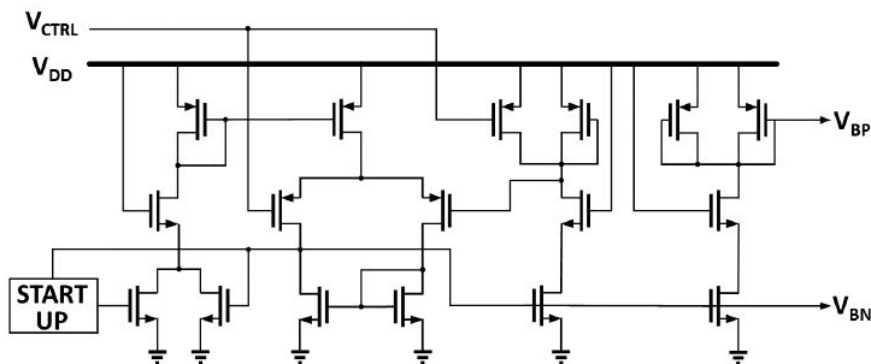


圖 48、副本反饋(Replica-feedback)電流源偏壓電路

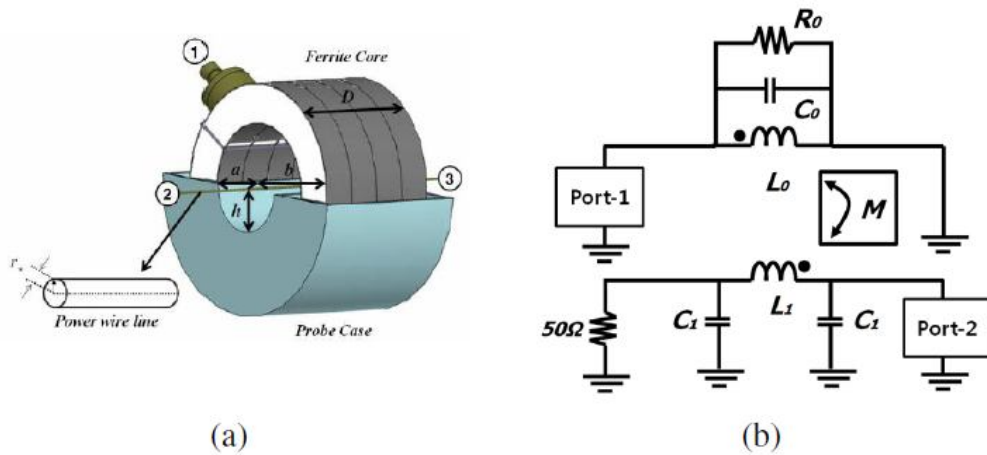


圖 49、BCI 探環，(a)實體尺寸及(b)等效電路模型

為了模擬 BCI 測試環境，模擬由 BCI 提供之射頻雜訊傳輸之整條路徑的等效電路是必需的，此論文展示了如何發展此等效電路模型及顯示其正確性。

為了電磁耐受性測試，此論文使用 F-130-1 BCI 探環模型當作注入射頻雜訊至電源線的方法，等效電路模型是由如圖 49(a)所示的 BCI 探環尺寸參數推導而得，且其展示在圖 49(b)。由 BCI 探環製造商所提供的包含 S 參數之規格，此提出之等效電路模型經確認可與此項模擬相容。

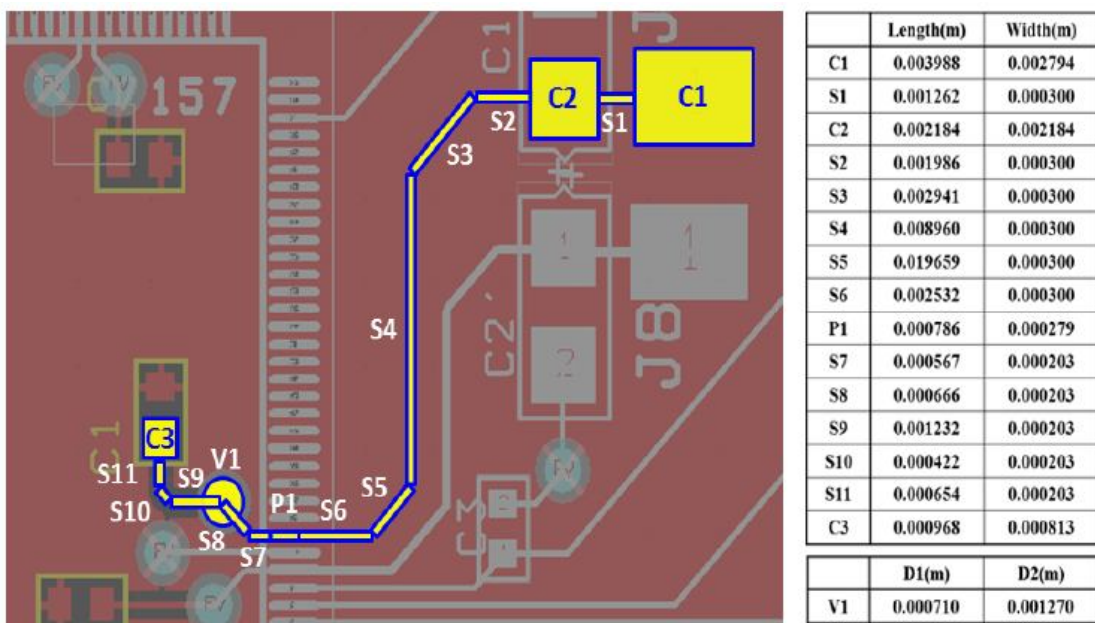


圖 50、電路板雜訊傳遞由上層至下層的線路分段

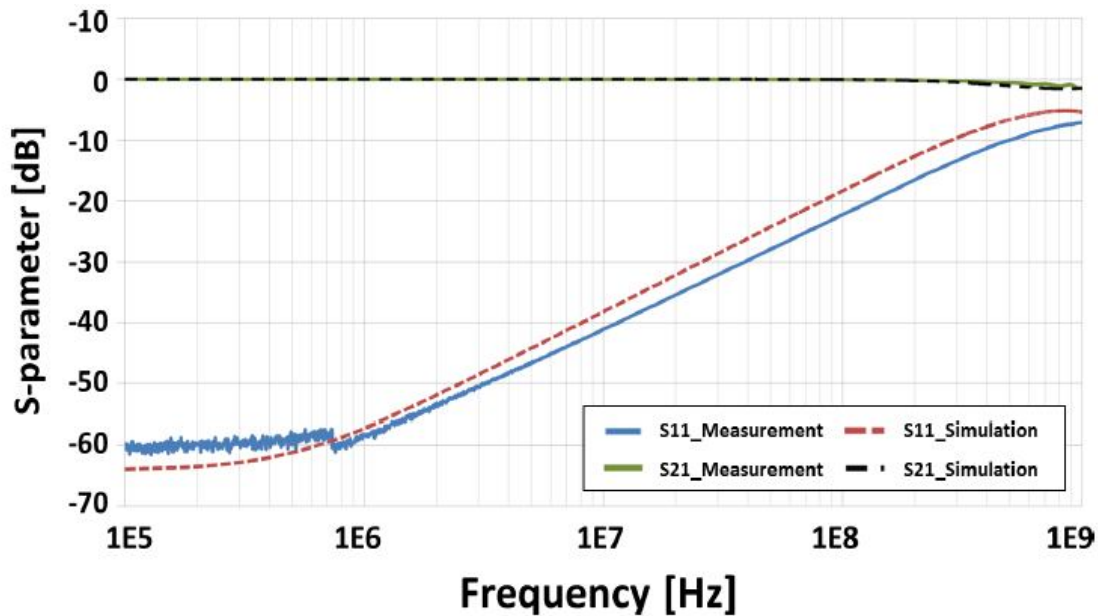


圖 51、電路板線路模型與量測結果之 S 參數相關性

輸入電壓(V_{DD})及由 BCI 探環產生的射頻雜訊藉由電路板 (PCB)及封裝被提供至 DLL，測試用的電路板是 2 層的設計，電路板線路等效電路模型可藉由將該線路分割成數個區段而獲得，如圖 50 中所示，每個區段的分散式電路模型 RLGC 元件的大小值可由 PCB 的規格，譬如板材種類、厚度及區段的尺寸，而獲得。為了更正確的模擬，該論文使用分散式 RLGC 模型來模擬傳輸線，且 RLGC 區段的數量是基於經驗法則而決定，經驗法則如下：

$$\text{區段數量} \geq 10(x/T_r v)$$

其中 x 是線長， v 是傳輸線的傳播速度， T_r 是上昇(或下降)時間。

為了確認前述模型的正確性，該論文利用網路分析儀 (VNA)量測單純板子的反射係數 S11 及穿透係數 S21，圖 51 顯

示了收集自分散式等效電路模型的模擬及量測的 S 參數成果，如結果所示，理論的預測與量測結果有好的吻合，誤差在 5 dB 以內。

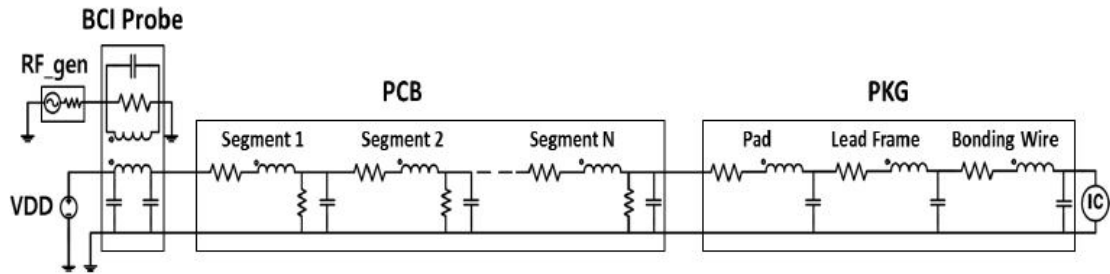


圖 52、在 SPICE 模擬的 BCI 測試的完整等效電路模型

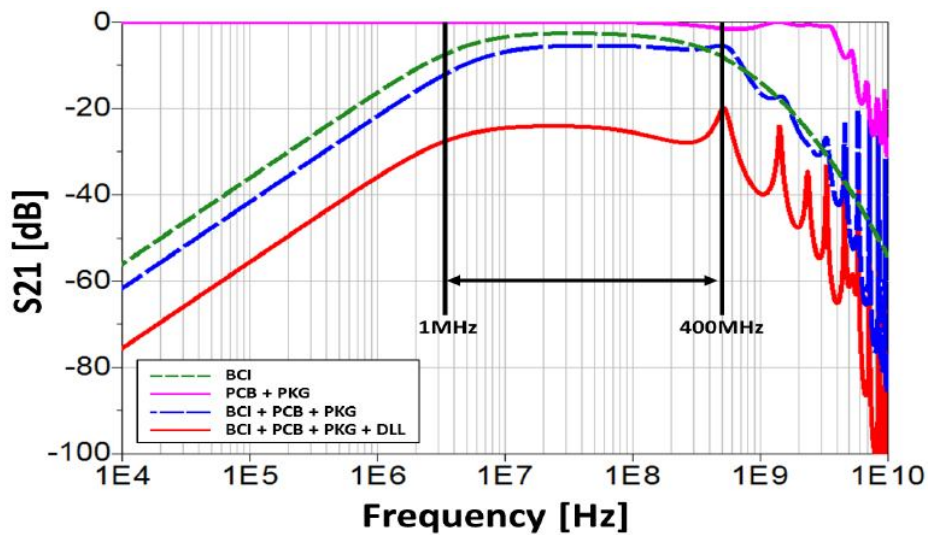


圖 53、個別測試區塊的插入損耗(S21)比較

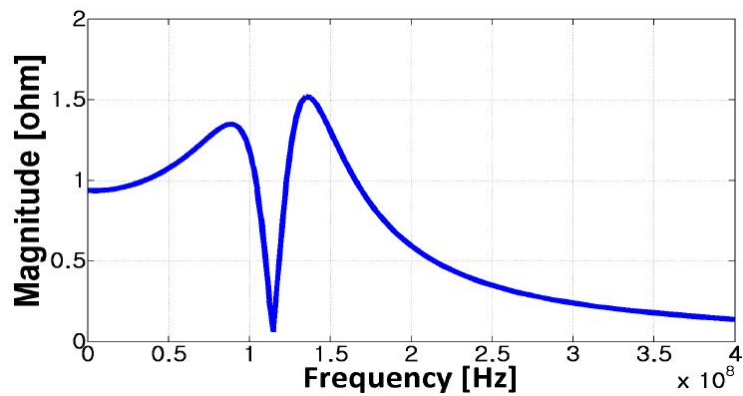


圖 54、整個等效電路的 V_{DD} 與 DLL 的輸出之間的 Z 參數(Z21)

該論文實驗製作的封裝型態為 208 pin Quad-Flat-Package(QFP)，由 BCI 探環所感應的射頻電流在流過電路板線路後，藉由鐸墊、引腳及打線被注入到 DLL，鐸墊、引腳及打線組成的部分之 RLC 元件的大小值是由封裝的幾何資訊及 X 光照片而得。

因為射頻雜訊藉由 BCI 測試設備、電路板及封裝被注入至 DLL，評估實際有多大的射頻功率被傳至 DLL 是很重要的，所以，該論文根據佈局(layout)及 Mentor Graphics 的 Calibre xRC 萃取來產出被動元件，之後，該論文將 DLL 的其他的輸入及輸出埠連接 50 Ω 中斷，並經由 SPICE 射頻模擬萃取連接至 DLL 的電源線之反射係數(S11)。

如圖 52 所示，由上述的方法該論文取得 DLL 的使用 BCI 探環射頻雜訊抗擾測試之完整等效電路模型，為了觀察個別組成元件的趨勢，進行了 4 項模擬如圖 53 所示，該論文展示了由 IEC 62132-3 標準規範的 1 MHz – 400 MHz，BCI 探環所提供的射頻雜訊相對而言並不規則，然而，BCI 雜訊甚至沒有傳送至 IC，因為 DLL 的的電源線的阻抗值不與 50 Ω 相匹配，所以，該論文分析了等效電路的電源線與 DLL 輸出之間的 Z 參數，由圖 54，該論文可預測 DLL 輸出訊號受很大衝擊的雜訊頻率。

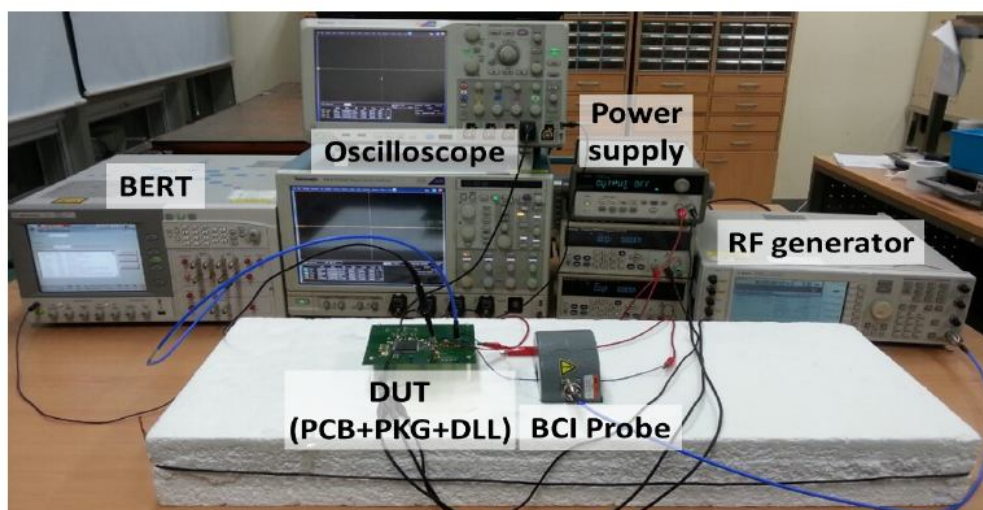
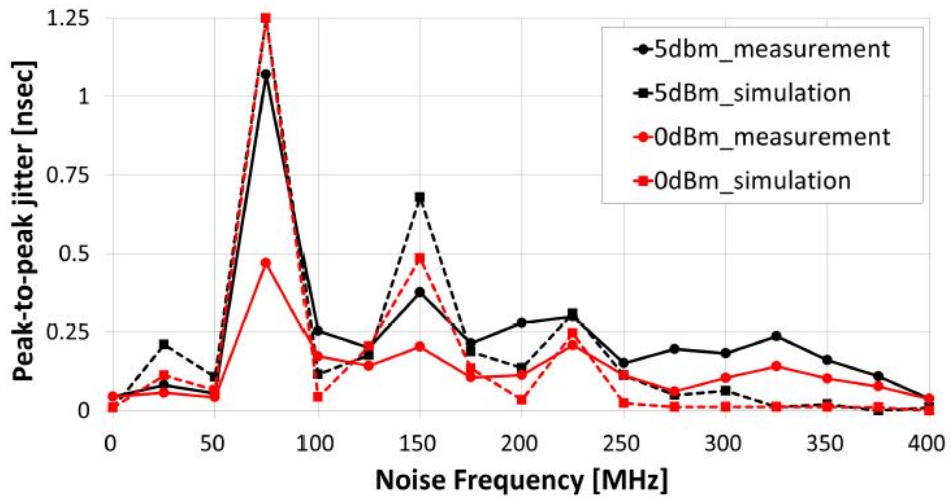


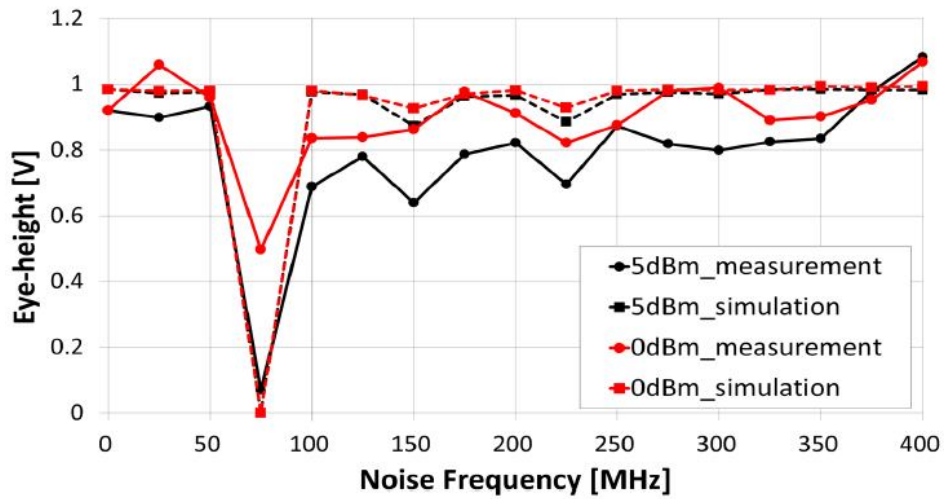
圖 55、大電流注入法的測試環境

基於 IEC 62132-3 標準，BCI 實驗架設如圖 55 所描述，射頻產生器(RF generator)被用來產生頻率範圍 1 MHz – 1 GHz 及可達 20 dBm 入射功率的傳導雜訊源，因為設計的 DLL 操作在接近 400 MHz 時脈頻率，頻寬為 1 MHz – 400 MHz 之 F-130-1 型 BCI 探環被用來測試，用來觀察 DLL 相鄰操作頻段的 DLL 輸出之擾動，DLL 的輸入電源(V_{DD})及參考時脈電壓為 1.8 V。

由射頻產生器之弦波射頻雜訊被注入到 DLL 的電源線，其是透過 BCI 探環而磁耦合，由誤碼率測試儀(Bit Error Rate Test, BERT)的輸入參考時脈驅動 DLL，源於射頻雜訊的輸入電源飄動及 DLL 的輸出可藉由示波器觀察。

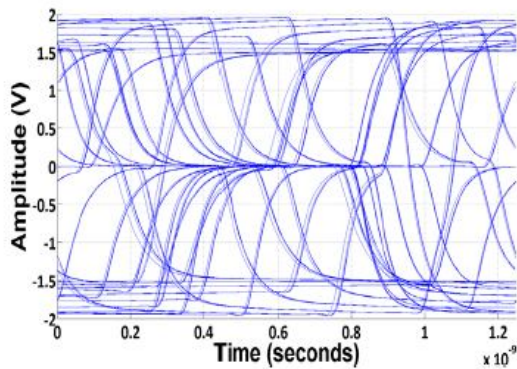


(a)

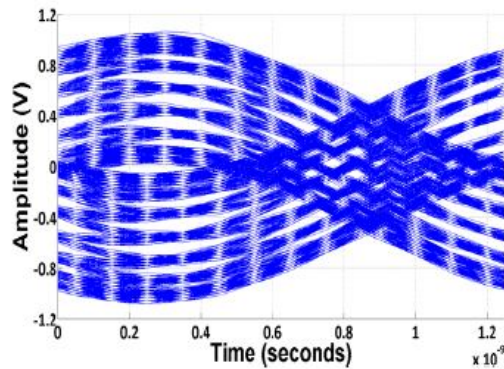


(b)

圖 56、在 5 dBm 及 0 dBm 的模擬與量測結果之眼圖分析，(a)峰到峰的抖動及(b)眼高



(a)



(b)

圖 57、DLL 輸出時脈波型在 75 MHz 注入 5 dBm 雜訊的眼圖，(a)模擬及(b)量測

BCI 測試操作在輸入雜訊頻率變動由 10 MHz 到 400 MHz 及振幅大小分別有 5 dBm 與 0 dBm。在同樣的條件下，該論文模擬前述的等效電路模型，當來自 BCI 探環的射頻雜訊電流注入輸入電源時，DLL 輸出的時脈波形被取得，如所示的眼圖有 1.25 nsec 的時間長度，可用來分析其眼高的趨勢及峰到峰的抖動變化，其可用來決定 DLL 效能。分別注入 5 dBm 及 0 dBm 雜訊之峰到峰抖動於模擬及量測之間有好的吻合，如圖 56(a)所示，量測的眼高也與模擬的結果好的匹配，模擬的結果有縮放參數，因為在輸出訊號路徑上的負載電容的存在。同時也可以注意到 DLL 效能弱化的程度會隨著耦合射頻雜訊頻率而變化，當雜訊頻率接近 DLL 的操作頻率時，DLL 的特性弱化較少，然而，DLL 的效能在接近 75 MHz 及 150 MHz 時有明顯被影響，因為在圖 54 所示這些頻率附近，BCI 雜訊電流被很好的轉換到輸出電壓。甚且，當射頻雜訊的大小由 5 dBm 變到 0 dBm 時，這趨勢似乎相類似，由圖 57，可以確認有 5 dBm 的雜訊電源，DLL 操作在 75 MHz 不可行，因為藉由時間軸暫態觀察，輸出的時脈波形同時在模擬及量測均有相當嚴重的變形。

第七個論文發表時段有關數值模擬主題第三場，下列為發表之論文擇一內容簡介：

題目：Optimization of the Return Current Paths of Interposer TSVs for Frequencies up to 110GHz

作者：Brian Curran, Klaus-Dieter Lang(Technical University of

Berlin); Ivan Ndip, Harald Pötter, Klaus-Dieter Lang(Fraunhofer Institute for Reliability and Microintegrated)

因為積體電路封裝技術目前走向將多顆裸晶立體堆疊後，再予以封裝的方向發展，也就是 3D IC 技術，其中扮演關鍵角色的就是矽穿孔(TSV)技術。TSV 主要在矽裸晶上穿孔並植入金屬，讓其成為導電通道，也就是鍍穿孔(Via)，用以電連接上下層裸晶。

本篇論文模擬 3 種 TSV 結構，用以比較此 3 種結構如圖 58 所示，在 3 種結構中上下金屬層完全相同，均是銅薄膜共平面傳輸線，這些傳輸線有 40 μm 寬度，30 μm 間距，其導致大約 50 Ω 阻抗大小，via 有 20 μm 直徑，兩相鄰返回電流 via 相距 50 μm ，所有 via 均位在傳輸線的中央，1 μm 厚度的二氧化矽層分隔所有的金屬(via 及傳輸線)及導電矽，使用 100 μm 厚度正常電阻值矽晶圓製作。

圖 58(a)顯示全波 Ansys HFSS 模型用來模擬 TSV 結構，1 號埠是佈置在上方金屬層，訊號傳播沿著共平面線，穿過 TSV 結構，及沿著另一個共平面傳輸線至 2 號埠，圖 58(a)顯示 4 個返回電流 via 架構，圖 58(b)展示單一個返回電流 via 架構之上視圖，圖 58(c)顯示 8 個返回電流 via 架構。

正常電阻值矽晶圓電阻值在典型範圍內，其範圍變化但一般介於大約 10 S/m 及 30 S/m 之間，執行對 4 返回電流 via 架構的 2 個模擬，如圖 59 所示，藍色曲線代表 30 S/m，紅色曲線代表 10 S/m，反射及穿透均有明顯的變化，模擬顯示有一個過渡區間，對較高電阻矽止於 5 GHz 附近，對較低電阻矽則止於 15 GHz 附近，在這些頻率之下，穿透係數有一個陡降，於反

射係有一個最大值，大於這些頻率後續可被預期，損耗可被分為與頻率不相關的直流損耗(導源於矽導電度)及與頻率有關的集膚效應(skin effect)及介電層偏振損耗。

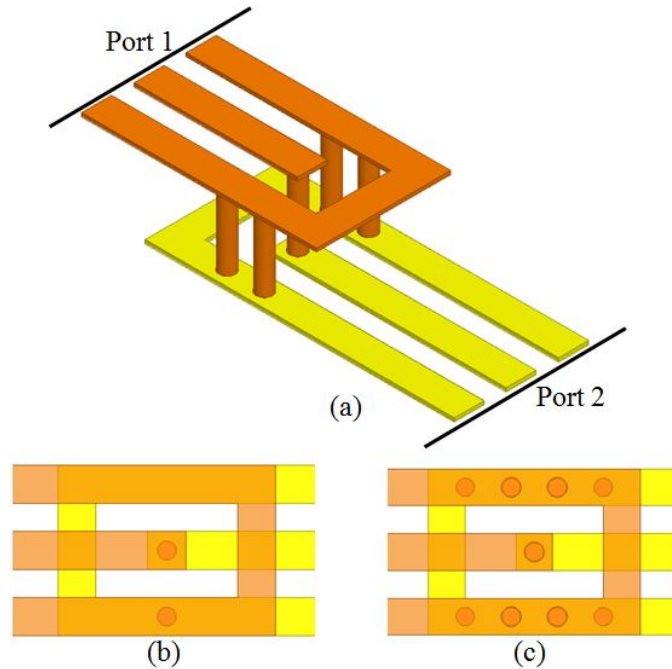


圖 58、Ansys HFSS 3 種 TSV 架構模型，(a)4 個返回電流 Via，(b)1 個返回電流 Via，(c)8 個返回電流 Via

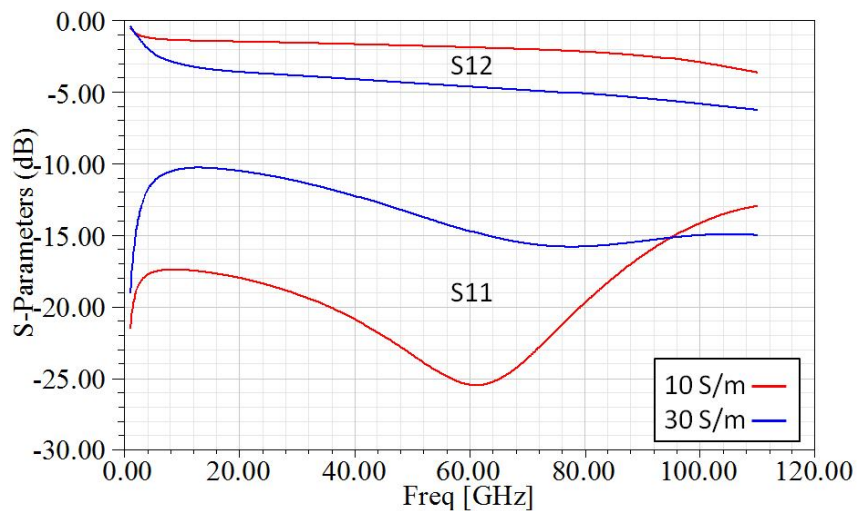
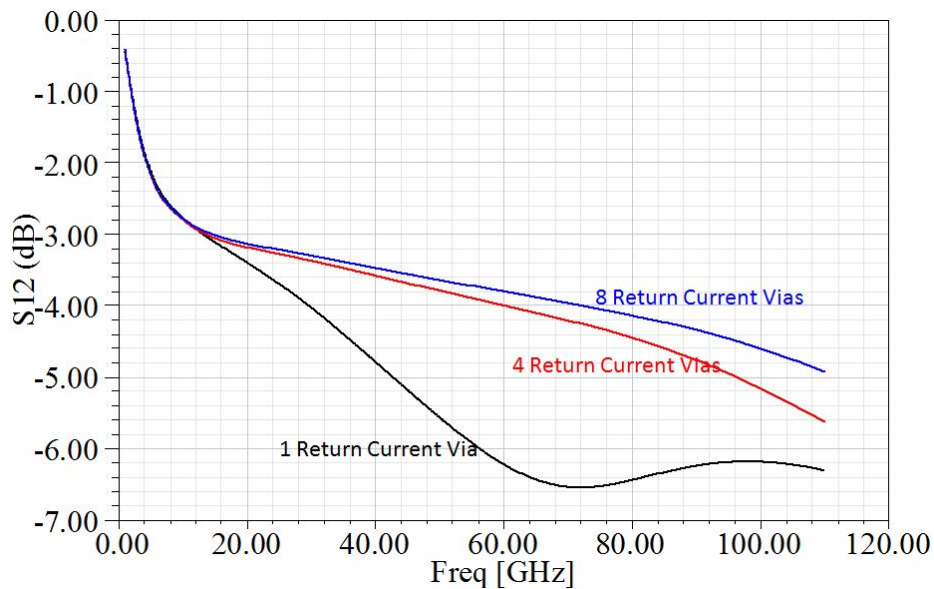
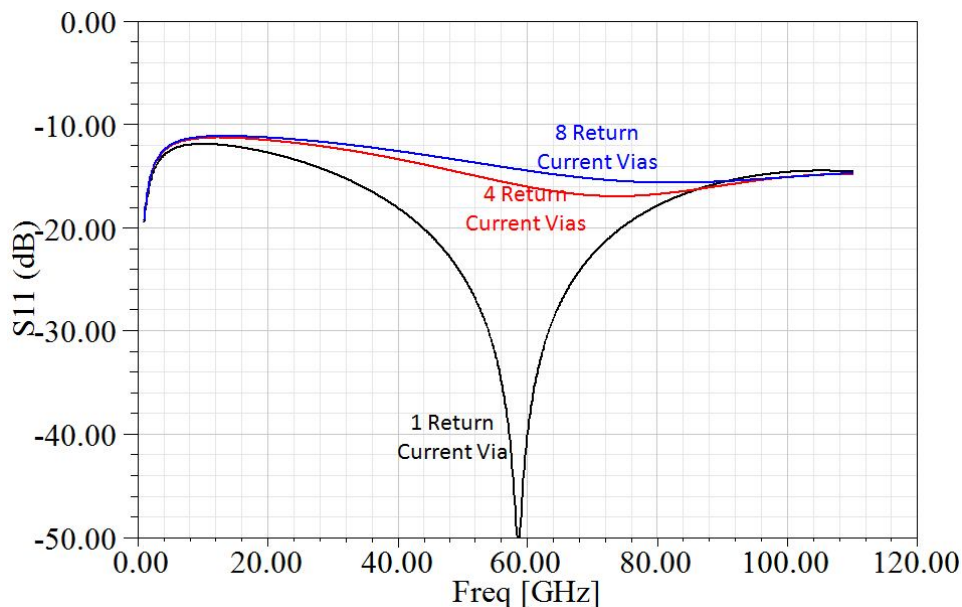


圖 59、對 2 種不同矽導電度進行 4 個返回電流 via TSV 結構全波模擬

圖 60 顯示 25 S/m 的 3 種 TSV 架構之比較，圖 60(a)顯示穿透係數及圖 60(b)顯示反射係數，一如預期，增加返回電流 via 減少一些損耗，因為返回電流導體損耗降低，然而由 4 個增加到 8 個返回電流 via 益處很少，單一返回電流 via 也顯示在 70 GHz 附近有一個共振點，其約略對映到在整個訊號路徑上有一個半波長諧振，增多返回電流 via 及使阻抗更匹配的 via 結構，將使得有 4 及 8 個返回電流 via 的 TSV 對此諧振降低敏感性。



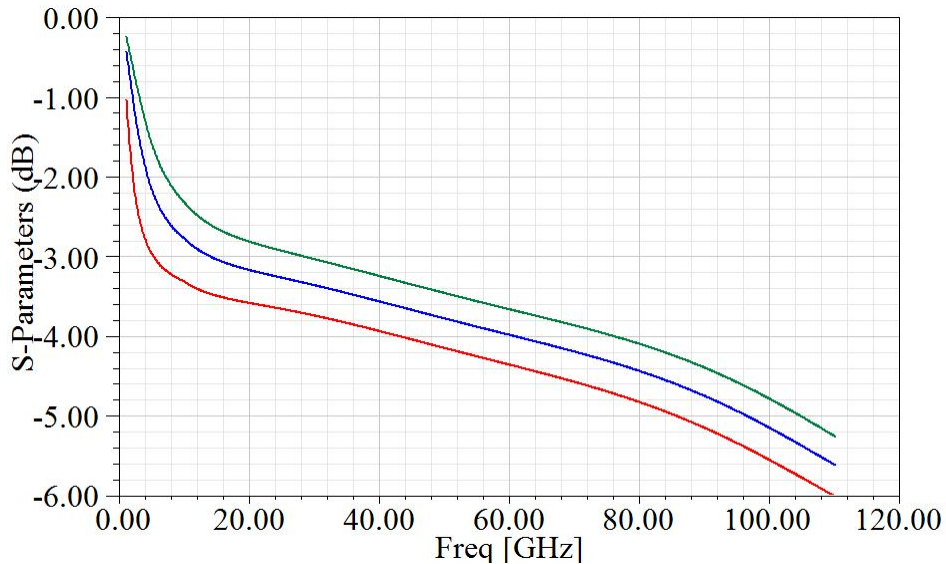
(a)



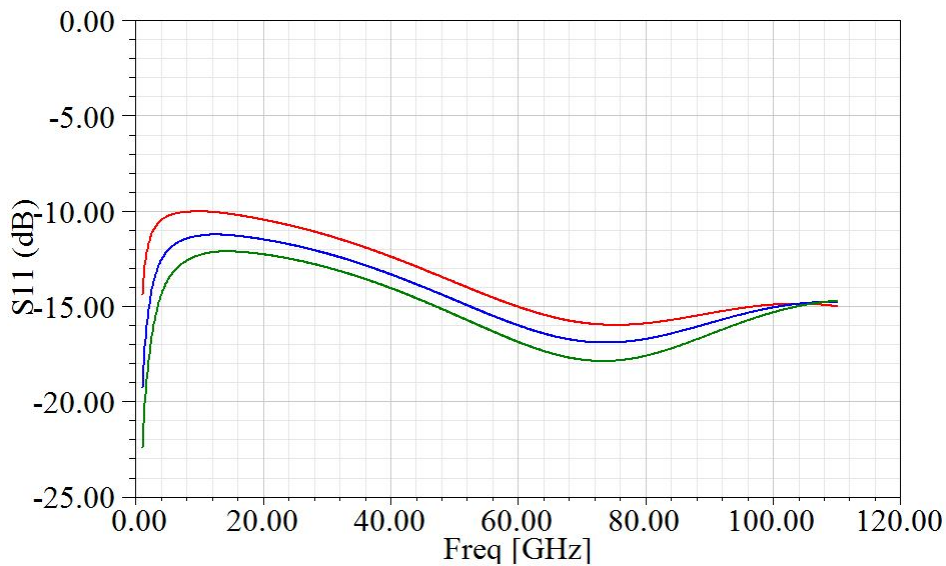
(b)

圖 60、3 種 TSV 架構的 Ansys HFSS 模擬，(a) 穿透，(b) 反射

SiO₂ 厚度的確切值變化很大，導源於製程公差，同時其也是一個很難量測的尺寸，SiO₂ 厚度大大影響介於集膚效應模式及準靜電靜磁模式之間的頻率過渡區間，在圖 61(a)中，我們可以看到 4 個返回電流 via 架構之穿透的比較及在圖 61(b)中，我們看到反射的比較，對 TSV 結構有最厚的 SiO₂ 而言，介於模式之間的過渡區間會向低頻漂移，每減少 0.5 μm 厚度的 SiO₂，漂移大約 1 GHz。



(a)



(b)

圖 61、有 0.5 μm (紅)、1.0 μm (藍)及 1.5 μm (綠)厚度 SiO₂ 層之 4 返回電流 via 架構，(a)穿透，(b)反射

結構是建置在正常電阻值之矽上，模擬結構在基板上對稱配置如圖 62 所示，量測墊是放置在埠上用以容納 Cascade 公司 100 mm GSG 探針，網路分析儀(VNA)是以 LRRM 技術校正。

該結構利用 T-deembedding 技術去耦合，以取得單一 TSV 結構之量測值。

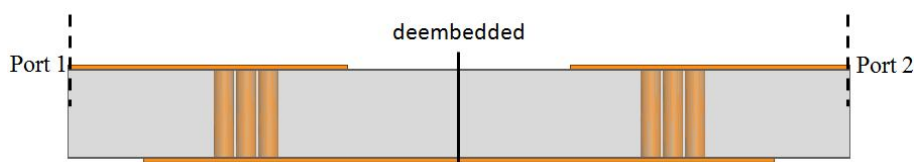
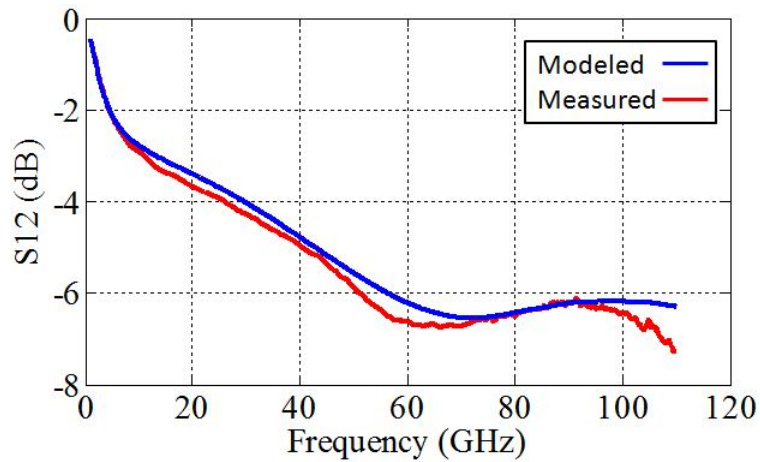


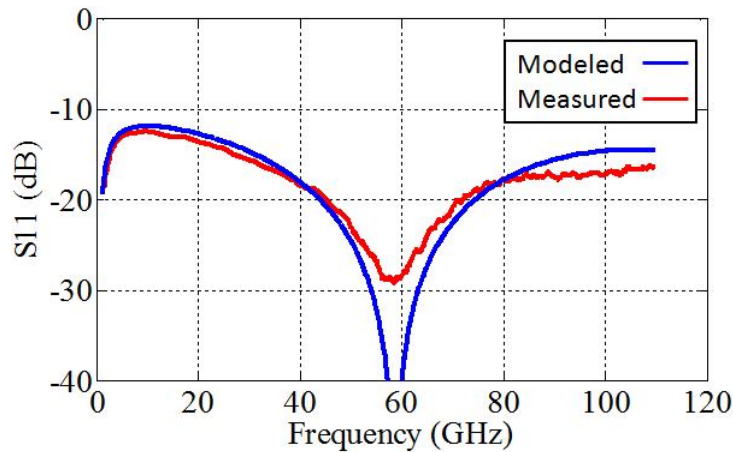
圖 62、量測的 TSV 結構(4 TSV 架構)的邊剖面圖

單一返回電流 via 架構的量測如圖 63 所示，包含穿透及反射係數於模擬及量測相互比較，在穿透係數可看到很好的相關性，只在大於 100 GHz 有偏差，反射係數也顯示好的相關性，例外的是在 60 GHz 的諧振大小及大於 90 GHz 有一個小偏差大

約 2 dB。晶圓的導電度已被確定為 25 S/m，藉由調整高頻模擬使得其在 1 GHz 與量測結果為相同數值而取得。



(a)

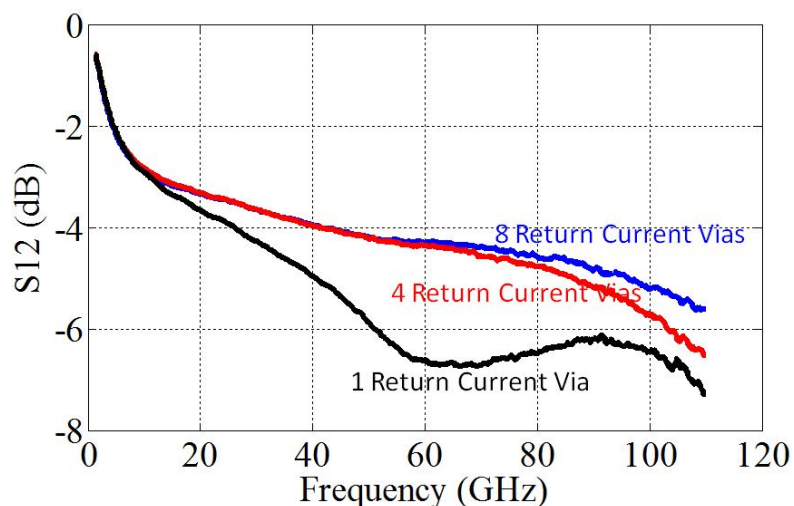


(b)

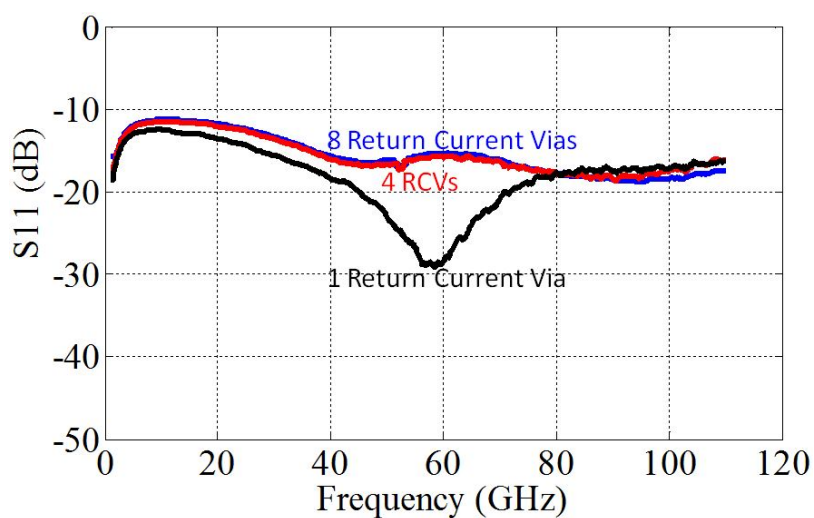
圖 63、單一返回電流 via TSV 結構之模擬及量測比較，(a)穿透，(b)反射

3 種不同返回電流路徑設計的量測結果比較，圖 64 顯示相同的趨勢如前述在模擬時已可看出，圖 64(a)顯示當增加返回電流 via 時穿透有改善，雖然量測結果也顯示同時在反射有輕微的增加。

4及8個返回電流 via 的量測結果顯示在它們的穿透有一點較高偏移，其指出較高的直流損耗，此可能是因為(1)晶圓導電度不是完全的均勻或者(2)在介電層內的偏振損耗計算不足。



(a)



(b)

圖 64、全部 3 種 TSV 返回電流架構的量測結果，(a)穿透，(b)反射

肆、心得與建議

一、心得

電磁相容為本局重要發展方向，而訊號完整性(Signal Integrity)與電源完整性(Power Integrity)本即與電磁相容息息相

關，本局辦理積體電路電磁相容科專計畫多年，並建立積體電路電磁相容量測中心，於積體電路電磁相容領域之研究為國內首屈一指之領導者，所建立相關研究成果也陸陸續續建立國家標準，本次研討會韓國成均館大學金教授有提出電磁抗擾國際標準 IEC 62132-3 大電流注入法(Bulk Current Injection, BCI)之相關研究，對本局進行相關標準之研究與後續制定國家標準有相當助益。

本次參與此研討會整體的感覺是此研討會投稿的論文數量並不多，可是發表的論文品質很好，尤其多篇論文的電磁波或電路學的數學推導均相當深入，Keynote Speech 及受邀演講的內容也相當夠水準，整體而言是小而美的盛會。本次研討會有多篇論文有關矽穿孔(Through Silicon Via, TSV)之研究，甚至量測至 110 GHz，TSV 是有關 3D IC 的核心技術，主要在同一顆積體電路中可以同時封裝多顆裸晶，並以堆疊的方式來擺置，而裸晶與裸晶之間的訊號或電源連接就是應用 TSV 的技術，其主要於裸晶的矽基板上製作穿孔，並於穿孔內部鍍上一層金屬以導通電訊號，因於裸晶的矽基板上穿孔，尺寸相當小製作難度高，為未來的晶片製作熱門技術。

今年台灣在 SPI 2015 發表的論文有 2 篇，分別由聯發科技公司陳南璋博士及台灣科技大學王蒼容教授發表，論文數量僅少於舉辦國德國、法國及韓國，排名第 4，如表 5 內容所示，其所佔所有論文的比例如圖 65 內容所示，全部發表論文數有 27 篇。

表 5、不同國別發表論文數

國別	篇數
Germany	8
France	5
Korea	3
Taiwan	2
Italy	1
Canada	1
USA	1
Belgium	1
South Africa	1
Sweden	1
Poland	1
UK	1
Portugal	1
Sum	27

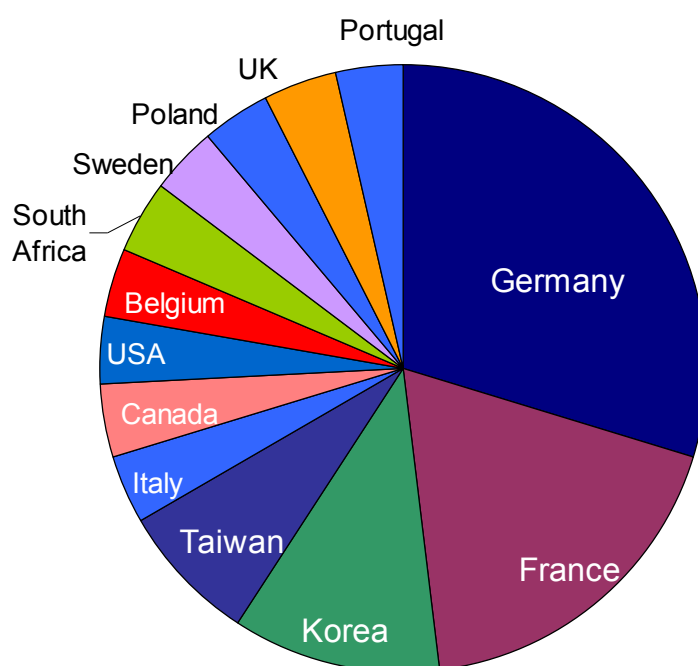


圖 65、不同國別發表論文數佔整體論文數之比率

表 6 為不同主題發表論文數，本次研討會發表的論文數量不多，所以大致上分別 3 個主題發表，有關數值模擬主題有 10

篇論文，有關電源分配網路分析及設計主題論文 7 篇，有關高速連接分析及設計主題有 10 篇，此只是大致上的分類，如果以技術領域來進行分類應該會比較清楚。

論文發表型式及受邀講座統計如表 7 內容所示，所有發表的 27 篇論文中 22 篇以口頭(Oral)發表，5 篇以海報公開閱覽方式發表(Poster)。主題演講(Keynote Speech)有 2 場，特邀演講(Invited Speech)有 5 場，個別指導(Tutorial)有 3 場。

表 6、不同主題發表論文數

Modeling & Simulation	10
Power Delivery Network Analysis & Design	7
High Speed Interconnect Analysis & Design	10
Sum	27

表 7、論文發表型式及受邀講座統計

口頭發表(Oral)	22
海報公開閱覽方式發表(Poster)	5
主題演講(Keynote Speech)	2
特邀演講(Invited Speech)	5
個別指導(Tutorial)	3
合計(Sum)	37

二、建議事項

本次參加柏林 SPI 2015 活動後有幾點建議：

1. 國際電工委員會(IEC)積體電路電磁干擾及電磁抗擾相關量測技術標準分別收納於 IEC 61967 及 62132 標準下，一些要求較高的積體電路應用情境，譬如航太、汽車、生醫等，均會要求晶片供貨商之晶片必需通過相關標準的檢測驗證，台灣晶片商慢慢切入前述領域後，已被外國廠家要求

必須通過相關標準，建議前述國際標準應加速建立相對映之 CNS 國家標準，以符合國際趨勢，並增強國內廠商競爭力。

2. IEC 61967 及 62132 國際標準項下相關量測設備，本局配合之前科技專案計畫辦理，大致上已配合購置，惟相關國際標準仍有新的技術不斷被提出，因目前科技專案計畫已結案，尚未有新積體電路電磁相容科專計畫奉核，若有新的量測設備需購買，目前並無相關預算可配合採購。建議仍應申請科專計畫推動或由其他相關科專計畫勻支。
3. 積體電路電磁干擾及電磁抗擾電路模型建立非常重要，適當的電路模型可在晶片設計階段透過模擬軟體預測未來產品實際產出時，可能發生之電磁干擾行為，在產品設計階段即可解決電磁相容問題會花費最小的成本，目前的作法均是實際產品產出，量測其電磁干擾行為，若無法符合相關標準，則在電路板上進行電磁相容對策，若仍舊無法通過相關標準檢測，產品只好作廢，其所耗損的成本甚鉅。積體電路電磁相容電路模型的建立，目前國際標準均歸納於 IEC 62433 編號下，內容尚有甚多可以補充的空間，尤其 IC EMS 的電路模型，如何能正確預測 IC 內部受傳導或輻射干擾以致出現錯誤？目前還很大改善的空間，建議在 IC EMC 電路模型的部分，應持續投注研究能量。
4. 本次參加 SPI 2015 於網頁進行報名註冊後，即可於網路上自動產生收據/發票，非常方便，建議臺灣未來主辦國際研討會時可依此範例辦理。

5. 本次研討會有安排 2 場社交活動(Social Event)行程，一場至位於柏林 Potsdamer Platz 出名的 Lindenbräu 店家品嚐啤酒，體驗德國人的生活，另一場至柏林市內搭平底觀光船沿 Spree River 導覽市內重要歷史景點古蹟等，建議未來國際研討會於臺灣主辦時可以參考辦理類似行程，促進台灣觀光，配合政府近年的重大政策。