

出國報告（出國類別：其他：國際會議）

## 基於電流再利用與變壓器回授技術 設計寬頻低雜訊放大器

服務機關：國立雲林科技大學電子工程系暨光電工程研究所

姓名職稱：許孟庭 教授

派赴國家：新加坡

出國期間：2015/6/1~2015/6/4

報告日期：2015/6/24

## 摘要

本次前往新加坡參與由 IEEE Electronic Devices Society、Rel/CPMT/ED Singapore 與 EDSSC Hong Kong Chapters 共同舉辦之 2015 IEEE Conference on Electron Devices and Solid-State Circuits (2015 IEEE EDSSC)。此國際研討會今年於南洋理工大學南洋行政中心舉辦。研討會提供 15 個不同主題之領域供論文之發表與研究交流，另外在 6 月 2 日與 6 月 3 日兩天在不同時段舉辦由六位學界人士進行之專題演講。

相對於射頻、微波領域之發表論文亦有不少，研究團隊亦把握此次機會，在研討會期間與各國相關領域內之學者相互交流研究所成。此次研討會中，本研究團隊共計 3 篇獲接受並發表(1 篇 Oral 與 2 篇 Poster)，並攜回研討會官方提供之資料以供研究團隊未來研究使用。

## 目次

一、目的-----	1
二、過程-----	4
三、心得-----	8
四、建議事項-----	9
五、附錄 攜回資料及內容-----	9

## 一、目的

本次研討會 2015 IEEE EDSSC 係 IEEE Electronic Devices Society、Rel/CPMT/ED Singapore 與 EDSSC Hong Kong Chapters 共同舉辦，研討會日期由 6 月 1 日至 6 月 4 日在新加坡 Nanyang Executive Center 舉辦。研討會橫跨許多不同領域有：

Photonics  
RF & Microwave Devices and Circuit  
Power Electronics  
Sensor and MEMS  
Memories  
Organic Devices  
Bio-medical Electronics  
Sustainable Energy  
Nanoelectronics/Spintronics  
Advanced Interconnects and Packaging  
Device and Circuit Reliability  
Communication Circuits  
Digital and Memory Circuits  
Novel Analog Circuits  
Data Processing Circuits

其中，RF & Microwave Devices and Circuit、Device and Circuit Reliability、Communication Circuits 與 Novel Analog Circuits 皆與本實驗室研究相關，本實驗室亦投稿並出席會議進行學術交流。

EDSSC 研討會提供了相關於以上領域之產學專家與會交流之平台，會議亦邀請了許多產學權威進行專題演講。本研究團隊研究領域主要在於 3.1GHz~10.6GHz 之 UWB Low Power LNA 以及 5GHz~6GHz 之 Low Power VCO，而此次本實驗室共發表三篇論文，發表之主題與摘要分別為：

[108] Phase Noise Reduction of CMOS VCO Based on Cross-Coupled Topology with Shunt Capacitor

Meng-Ting Hsu, Yao-Yen Lee and Ruei-Wun Jhong

The paper presents a low power and low phase noise voltage controlled oscillator (VCO) for IEEE

802.11a applications. The quality enhancement and reducing current architecture is designed to improve phase noise and power. The simulation results exhibited phase noise -119.166 dBc/Hz at 1MHz offset frequency and measured tuning range is about 18.6% from 5.237GHz to 6.308GHz. The power dissipation is 2.55mW under 0.8V supply voltage. The simulation of VCO is made by TSMC 0.18  $\mu$  m 1P6M CMOS standard process.

[109] Current Reused VCO Using Stacked Transformer and Self Body Bias Structure  
Meng-Ting Hsu, Ruei-Wun Jhong and Li-De Huang

This article presents a self-body-bias current reused VCO with stacked transformer. The transformer is designed to improve the output symmetry and enlarge the swing also saves more chip area by stacking the two coils. In order to extend the tuning frequency, the primary coil of the transformer has a small inductance. Since the core structure is a current reused circuit, a modified adaptive body-bias is used. The self-body-bias structure provides two different feedback swings with small voltage deviation to the core transistors. The proposed VCO is designed to achieve IEEE 802.11a application, the frequency can be tuned from 4.672GHz to 6.238GHz, where the tuning voltage is 0~2V. The phase noise is -118.524dBc/Hz and core power is 6.102mW.

[114] Design of UWB Low Noise Amplifier Based on Current-Reuse and Transformer-Feedback Technique  
Meng-Ting Hsu, Chun-Jen Chan and Ching-Hao Lin

This paper presents an ultra-wide band CMOS common source low noise amplifier using the current-reuse and transformer-feedback technique. Implementation of a voltage-voltage feedback enables the neutralization of the miller capacitance and the achievement of flat gain at high frequency. The simulation results show that the peak gain is 14.07 dB and that input and output return losses were less than -12dB and -10dB, respectively. The noise figure was 3.69 dB, the  $IIP_3$  was -8 dBm and power consumption was 14.2mW with 1.45V supply.

其中，[114]為 Oral Paper、[108]及[109]為 Poster Paper。

此外，研討會中與本研究團隊相關之論文有：

Session 1 T1-1: RF IC

Date/Time Tuesday, 02 June 2015 / 02.00 – 03.30

[137] 2.4-GHz Band Ultra-Low-Voltage LC-VCO IC in 180-nm CMOS

Xiao Xu, Xin Yang and Toshihiko Yoshimasu

An ultra-low-voltage low phase noise LC-VCO IC has been demonstrated using 180-nm CMOS technology. The LC-VCO IC includes a cross-coupled pMOSFET pair, a symmetric three-port

spiral inductor, MOS varactors and buffer amplifiers. The LC-VCO IC is designed, fabricated and fully tested on wafer. The VCO IC exhibits a phase noise of -118.9dBc/Hz at 1 MHz offset from the 2.29 GHz carrier at a supply voltage of only 0.5 V. Moreover, minimum operation voltage of only 0.25 V has been achieved.

[379] Design of 3-Stage High Frequency CMOS Voltage Controlled Oscillators

Binsu J. Kailath and Abhay Kumar

This paper suggests a three stage voltage controlled oscillator designed using 0.18  $\mu$ m CMOS process with maximum oscillation frequency up to 4.7GHz. Suggested VCO have high tuning range, linear frequency voltage characteristics, low power consumption and have low phase noise. A tail current improvement technique is applied to reduce the discharging time. Oscillation frequency varies from 4.7GHz - 0.500GHz when the controlled voltage varies from 1.8V to 0.5V respectively. Prototype was designed in Cadence Virtuoso environment and implemented using gpdk180nm library with power supply at 1.8V. The measured phase noise for the circuit is -147.11dBc/Hz at a 1- MHz offset from a 3.9 GHz centre frequency. Simulated Power consumed by the design is 0.949 mW at 3.38 GHz.

Session 3 R3-1: VCO

Date/Time Thursday, 04 June 2015 / 09.00 - 10.15

[039] Design of High-Q Sub-nH Inductor for Wideband VCO

Zhixiong Ren, Cong Li, Kefeng Zhang, Zhenglin Liu and Xuecheng Zou

Poor quality (Q) of the monolithic inductor limits the design of CMOS voltage controlled oscillator (VCO), especially the wideband ones operating beyond GHz frequency, which a small-value inductor is usually used to resonate with large capacitors and varactors. In this paper, we proposed a high Q factor 0.59-nH inductor using two parallel paths to suppress the skin and proximity effects. The differential Q of this inductor reaches to 24.4 at 2.8GHz and the variation is only from 24.1 to 22.2 covering 3.2GHz frequency span (2.8-6GHz), which is beneficial to the design of a wideband low phase noise (PN) VCO design with 72.73% tuning range (2.8-6GHz).

除以上幾篇論文外，還有許多篇論文相關於射頻、微波領域。

本研究團隊把握此次研討會，進行學術交流，將研究心得與成果在國際研討會發表，行銷雲林科技大學，並且與其他研究人員討論，增廣見聞、了解趨勢。透過深度交流對實驗室未來研究多有助益。

## 二、過程

圖一為會議地點 Nanyang Excusive Centre (NEC)之外觀，圖二為報到現場之看板。另

外本研究團隊發表的 Poster Paper[108]與[109]於圖三。發表過程順利，期間亦有許多人對於研究內容提出問題，本研究團隊亦細細解說，圖四為海報發表時解說的概況。圖五是前往新加坡期間與本系周榮泉教授與周學韜副教授合影。圖六與圖七為研討會發表現場之狀況。

研討會第一天下午，本研究團隊即出席 Session 1：RFIC，本場次發表的論文題目如下：

[444] N-path Filters for Flexible RF-Channel Selection

INVITED Eric Klumperink

[114] Design of UWB Low Noise Amplifier Based on Current-Reuse and Transformer-Feedback Technique

Meng-Ting Hsu, Chun-Jen Chan and Ching-Hao Lin

[176] TITO-Type Current-Mode Universal Filter with One Active Element

Montree Kumngern and Piya Supavarasuwat

[137] 2.4-GHz Band Ultra-Low-Voltage LC-VCO IC in 180-nm CMOS

Xiao Xu, Xin Yang and Toshihiko Yoshimasu

[379] Design of 3-Stage High Frequency CMOS Voltage Controlled Oscillators

Binsu J. Kailath and Abhay Kumar

其中 Eric Klumperink 為邀請講者，其餘作者皆發表了 RFIC 相關文章，其中與本研究團隊高度相關的有論文[137] 與[379]，此兩篇論文皆發表高頻 VCO 之研究成果，而論文[176]對於 Filter 領域有深入之研究，在 RF 領域概念之增強有不錯的效果。

在發表結束後，有來自會場主席與來賓針對發表之論文進行交流，此處列出部分問答內容如下：

主席提問：變壓器在輸入端對輸入阻抗的全頻段之影響

答：在設計電路時，先使用一般電感(無耦合係數)來模擬，接著使用變壓器代入模擬，由於變壓器有互感  $M$  與耦合係數  $k$  所產生回授之效應，進而對輸入阻抗產生影響。由推導的  $Z_{in}$  輸入阻抗公式所示，學生比較後發現有變壓器回授的電路性能與一般電感相比，輸入阻抗匹配比起使用一般電感有較佳的  $S_{11}$  參數與較寬的頻寬。

來賓提問：電路之輸入阻抗式，調整公式內哪些參數對電路進行優化。

答：輸入阻抗公式所示，在設計輸入匹配時，首先決定了變壓器的尺寸和回授量已達到良好的增益與雜訊係數後，接著輸入匹配由調整電感  $L_1$  與電晶體寬度來達到良好的輸入匹配。

來賓提問：FOM 公式在  $F$  為何需要減 1？

答：雜訊指數 (noise figure) 是用來量測接收系統或是放大電路中雜訊的重要參數。雜訊指數為輸入端訊號雜訊比除以輸出端訊號雜訊比。輸入信號  $S_i$  輸入雜訊  $N_i$ ，經過一個增益為  $G$  的放大電路，產生輸出信號  $S_o$  及輸出雜訊  $N_o$ ，在輸出端雜訊，除了輸入信號經放大的雜訊之外，放大器本身也會產生雜訊  $N_a$ 。若考量兩級串接放大器雜訊模型，

第一級的輸出雜訊為輸入端雜訊放大  $G_1$  倍，加上第一級放大器的產生雜訊  $N_{a1}$ 。第二級的輸出雜訊為第一級的輸出雜訊再放大  $G_2$  倍，再加上第二級放大器的產生雜訊  $N_{a2}$ 。由於電路需要很多級的放大，需要將重複的基頻雜訊消除，因此在 FOM 的計算式中需要使用 F-1 的方式來作呈現。

研討會第一天晚上則出席 Poster Session，現場共計有 44 篇論文海報發表其研究成果，本研究團隊發表了兩篇論文：

[108] Phase Noise Reduction of CMOS VCO Based on Cross-Coupled Topology with Shunt Capacitor

Meng-Ting Hsu, Ruei-Wun Jhong and Yao-Yen Lee

[109] Current Reused VCO Using Stacked Transformer and Self Body Bias Structure

Meng-Ting Hsu, Li-De Huang and Ruei-Wun Jhong

會場為開放式，本研究團隊發表之論文吸引許多不同國家的研究人員前來討論，對於學術交流有不錯之成果。而負責發表之學生英文能力與台風也算穩健，並熱心解答所有提問。對於發表過程之部分交流及問答如下：

[108]

來賓提問：電路之相位雜訊表現不錯。

答：電路採用尾電流電晶體架構對於濾除閃爍雜訊有明顯之功用。

來賓提問：相較於[109]，這個電路的功率消耗表現好像更好。

答：[109]因為使用變壓器架構，會造成振盪效率有所衰減。為了達到同樣的相位雜訊表現，[109]之電路需要較高的功率消耗。但[109]之電路同時具有較好的輸出波型、輸出功率以及調諧範圍。

[109]

來賓提問：變壓器如何設計，優點是什麼？

答：變壓器透過 Laker 繪製，此變壓器架構透過堆疊方式實現，可以有效改善晶片面積，輸出振幅以及輸出功率等效能。

來賓提問：電流再利用架構指的是哪一部分？

答：電流再利用指的是使用 PMOS 與 NMOS 進行堆疊，此時核心電路之電流路徑只有一條，會降低電流的消耗，但是需要較大的驅動電壓是他的劣勢。

來賓提問：這個架構為什麼可以稱做基底偏壓？如何工作？

答：透過模擬圖提供的資訊可以看到這個回授架構回授了穩定的電壓到基底端，可以有效改善電路的功率消耗。而工作原理則是透過兩邊的差動輸出電壓，讓電晶體可以有半波整流器的效果。



除了 RF 領域的論文以外，研討會第二、三天參加了 Device Reliability II、Analog IC 與 Device Reliability III 等 Session。上述 Session 充分介紹了各種不同材料下電路的特性以及應用於金屬氧化半導體(MOS)之特性表現。類比電路設計亦有一些概念可以與 RF 領域相關。此三場次之發表題目分別有：

Session 4 W4-1: Device Rel. II

Wednesday, 03 June 2015 / 09.00 – 10.30

Room 6 Chair(s) TK Chiang

[430] A Comprehensive Physics-Based, Measurement-Driven Random Telegraph Signals (RTS) Model for MOS System

Zeynep Celik-Butler, Mohamed Nour and A.S.M.S. Rouf

[344] Analysis of Interface Charge Densities for Al<sub>2</sub>O<sub>3</sub> Dielectric Material based Ultra Thin MOS Devices

Niladri Pratap Maity, R. Maity, R. K. Thapa and S. Baishya

[245] Statistical Variability and Sensitivity Analysis of Dual-k Spacer FinFET Device-Circuit Co-Design

Pankaj Kumar Pal, Sudeb Dasgupta, Brajesh Kumar Kaushik and Shivam Verma

[107] Influences of k Values of Gate Dielectric and Buried Insulator on Subthreshold Slope of UTB SOI MOSFETs

Feng Ji, Lu Liu, Yong Huang and Jing-ping Xu

[282] Thermal Annealing Effect on Electrical Characteristics of CuPc Thin-Film Transistors on Glass with ZrO<sub>2</sub> as Gate Dielectric

W.M. Tang, M.G. Helander, J. Qiu, M.T. Greiner, Z.H. Lu and W.T. Ng

Session 1 W1-3: Analog IC

Wednesday, 03 June 2015 / 02.00 – 03.30

Room 3 Chair(s) G. Dash

[443] Designing Stable Circuits in the World of Instability

Rajiv Joshi and Rouwaida Kanj

[184] An Ultra-low Power Common-Source-Amplifier-Based Physical Unclonable Function

Shibang Lin, Xiaojin Zhao, Bing Li and Xiaofang Pan

[257] Analog Signal Converter Using Rail-to-rail Amplifier Dedicated to High-Speed Oscillators

Arnaud Gamet, Stéphane Meillère, Philippe Le Fevre and Nicolas Froidevaux

[258] Design of a Feedback Digitally Controlled Oscillator for Linearity Enhancement

Seok Min Jung and Janet Meiling Roveda

[370] A Continuous-Time Delta-Sigma Modulator with Novel Data-Weighted Averaging

Algorithm for Audio Application  
Zong-Yi Chen, Jia-Ni Lin, Hsing-Chien Chu and Chung-Chih Hung

Session 2 W2-4: Device Rel. III  
Wednesday, 03 June 2015 / 04.00 – 05.30  
Room 4 Chair(s) A. Chin

- [434] The Path Finding of Gate Dielectric Breakdown in Advanced High-k Metal-Gate CMOS Devices  
Steve Chung
- [156] Characterization of NBTI-induced Positive Charges in 16 nm FinFET  
H. Hussin, N. Soin, S. Wan Muhamad Hatta and M. F. Bukhori
- [075] Asymmetric Vacuum Gate Dielectric Schottky Barrier Gate All Around MOSFET for Ambipolarity Reduction and Improved Hot Carrier Reliability  
Manoj Kumar, Subhasis Haldar, Mridula Gupta and R. S. Gupta
- [179] Enhancement of Multisubband Electron Mobility in an Asymmetric Coupled Quantum Well Based Inverted MODFET Structure  
Sudhakar Das, Rasmita Kumari Nayak, Trinath Sahu and Ajit Kumar Panda
- [396] Modeling of Reverse Recovery Effect for Embedded Diode in SJ MOSFET  
Ryousuke Matsui, D. Suzuki, Y. Tanimoto, M. Kitamura, H. Kikuchi, H. J. Mattausch and M. Miura-Mattausch

研討會最後一天僅有半日行程，本研究團隊出席參與了 VCO 與 RF & Power Devices 兩場 Session，兩場會議與研究方向有直接相關性其中之 VCO Session 介紹了不少新穎的電路設計並搭配先進製程達成高傳輸效率與更高頻之應用等皆極具參考價值。而近來普遍應用的 HEMT 也有研究團隊於 RF & Power Devices Session 發表，對於 GaN HEMT 應用有詳盡分析，此外該場次也有幾篇相關於電力電子之論文發表。此兩場會議發表之題目如下：

Session 3 R3-1: VCO  
Thursday, 04 June 2015 / 09.00 – 10.15  
Room 5 Chair(s) L. Siek

- [039] Design of High-Q Sub-nH Inductor for Wideband VCO  
Zhixiong Ren, Cong Li, Kefeng Zhang, Zhenglin Liu and Xuecheng Zou
- [341] An Anti-Trojans Design Approach Based on Activation Probability Analysis  
Xuwei Ye, Jianhua Feng, Jin Huang, Haoran Gong, Chunhua He and Weilei Feng
- [346] On Output-Capacitor-Less Low-Dropout Voltage Regulator with High Power Supply Rejection Ratio and Fast Load Transient Response Using Boosted-Input-Transconductance

## Structure

Hao Luo and Liter Siek

[148] A 40Gb/s Adaptive Equalizer with Amplitude Approaching Technique in 65nm CMOS

Weidong Cao, Ziqiang Wang, Dongmei Li, Fule Li and Zhihua Wang

[361] A 56-to-66 GHz Quadrature Phase-Locked Loop With a Wide Locking Range Divider Chain in 65nm CMOS

Bin Zhou, Lei Zhang, Yan Wang and Zhiping Yu

## Session 2 R2-2: RF & Power Devices

Thursday, 04 June 2015 / 11.00 - 12.30

Room 4 Chair(s) B. Yu

[450] Bottom-Up Meets Top Down: An Integrated Approach for Nano-scale Devices

V. Ramgopal Rao, Tejas R. Naik and Rajul S. Patkar

[172] ASM-HEMT: Compact Model for GaN HEMTs

Avirup Dasgupta, Sudip Ghosh, Yogesh Singh Chauhan and Sourabh Khandelwal

[212] Effect of Access Region and Field Plate on Capacitance behavior of GaN HEMT

Khushboo Sharma, Avirup Dasgupta, Sudip Ghosh, Sheikh Aamir Ahsan, Sourabh Khandelwal and Yogesh Singh Chauhan

[251] Parameter Extraction Methodology for SOI-LDMOS Transistors

Sujith Thomas, Nitin Prasad, Amitava DasGupta, Anjan Chakravorty and Nandita DasGupta

[078] Carrier Separation Technique to Optimize Conductivity Modulation in High Voltage Rectifiers

Mihir Mudholkar, Tanvir Quddus and Ali Salih

## 三、心得

本次 2015 IEEE 電子元件與固態電路研討會於新加坡南洋理工大學舉辦，由來自許多不同國家之學者、產業界人士與會。台灣亦有許多學校前往參與，其中雲林科技大學共發表 7 篇論文(含 Oral 與 Poster)，本研究團隊共計發表三篇論文(一篇 Oral 與兩篇 Poster)。本次研討會細分許多不同科目、研究類別，吸引許多不一樣的學者發表其最新研究。本實驗室於研討會中共計發表 3 篇論文(1 篇 Oral 與 2 篇 Poster)屬於射頻積體電路領域，論文發表後，受到許多與會人士之肯定與肯定。此次研討會除了發表論文以外，藉由研討會進行學術交流與分享，並攜回研討會資料以利往後研究技術之提升。

最後感謝雲林科技大學、工程學院以及電子工程系之補助與協助，使研究可以順利完成並發表。

## 四、建議事項

1. 將研究心得與成果在國際研討會發表是一種榮譽，亦替台灣打知名度，行銷”

雲林科技大學”的招牌，並且與其他研究人員討論，增廣見聞、了解趨勢。

2. 多數碩士生未能出國拓展視野、發表研究成果，本實驗室之學生在論文獲得接受後對於研究領域之發表準備更為充沛，因此參加國際研討會將有助於學生大幅精進實力。
3. 參與研討會之準備需要大量時間與資源，為求讓教授與學生能更專注於研究以及發表之準備，建議科技部與學校增加補助經費額度。

## 五、附錄 攜回資料及內容

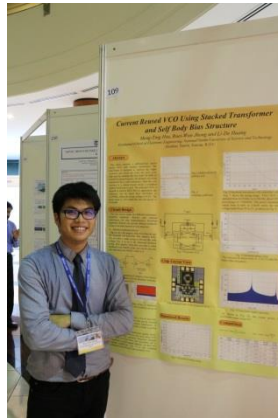
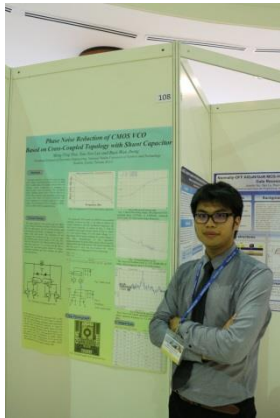
1. 資料名稱：Programme & Abstracts of 2015 IEEE Conference on Electron Devices and Solid-State Circuits  
資料內容：研討會所有論文、專題演講之標題、作者與摘要。及研討會相關之細節介紹
2. 資料名稱：Thumb driver of 2015 IEEE Conference on Electron Devices and Solid-State Circuits  
資料內容：研討會所有論文之電子檔
3. 資料名稱：IPFA 2015 22nd international symposium on the physical and failure analysis of integrated circuits  
資料內容：2015 年 6 月 29 日至 2015 年 7 月 2 號於新竹煙波大飯店舉行之 IPFA 2015 細節
4. 資料名稱：IPFA 2016 23rd international symposium on the physical and failure analysis of integrated circuits  
資料內容：2016 年 7 月 4 日至 2016 年 7 月 8 號於新加坡 Marina Bay Sands 舉行之 IPFA 2016 細節



圖一 研討會會場 NEC 外觀

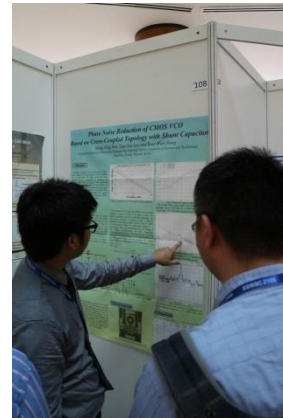


圖二 NEC 之會議看板



(a)與編號 108 海報合影 (b)與編號 109 海報合影

圖三 與發表之論文[108]、[109]海報合影



(a)108 海報之發表情況 (b)109 海報之發表情況

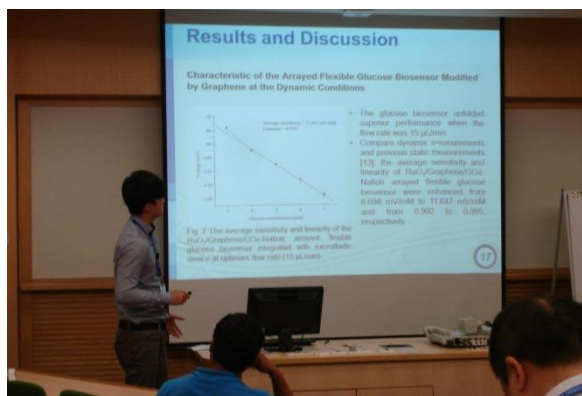
圖四 海報發表時解說的概況



圖五 與本系兩位教授合影於新加坡



圖六 研討會現場狀況(一)



圖七 研討會現場狀況(二)