

出國報告

(出國類別：出席國際會議)

2014 年出席歐洲晶片設計, 設計自動化,
與晶片測試會議

(Design, Automation and Test in Europe,
DATE 14)

服務機關：國立暨南國際大學

姓名職稱：陳依蓉助理教授

派赴國家：德國

出國期間：2014.03.21-2014.03.30

(民國 103 年三月 21 日~民國 103 年三月 30 日)

報告日期：2014.06.10

摘要

歐洲晶片設計、設計自動化、與晶片測試會議(Design, Automation and Test in Europe, DATE 14)，為電子系統設計自動化(Electronic Design Automation, EDA)研究領域之頂尖國際會議之一。此國際會議除學術研究論文發表外，每年也吸引晶片設計，嵌入式系統設計，以及晶片/晶圓製造等產業相關之研發人員參與。尤其歐洲著重傳統工業與電腦科技的結合，因此許多應用產業相關人員，如汽車科技研發人員也會參加。可見 DATE 為著重研究與實務密切結合之會議。今年本人之研究論文” Scenario-aware Data Placement and Memory Area Allocation for Multi-Processor System-On-Chips with Reconfigurable 3D-Stacked SRAMs” (考量多核心系統晶片之使用場景進行可重組三維堆疊靜態存取記憶體之資料擺放與記憶體空間配置)獲選為會議的長篇發表論文。此次主要目的即為參加 DATE 14 以發表論文，並參與會議了解最新之研究與產業發展。

目次

一、目的	1
二、過程	2
2.1 每日行程表	2
2.2 每日行程內容報告	
2.2.1 三月 21 日 ~ 三月 23 日	3
2.2.2 三月 24 日	3
2.2.3 三月 25 日	4
2.2.4 三月 26 日	5
2.2.5 三月 27 日	6
2.2.6 三月 28 日	7
2.2.7 三月 29 日~三月 30 日	8
三、心得及建議	9
四、附錄 - DATE 大會議程	10

一、目的

此行主要目的為參加歐洲晶片設計、設計自動化、與晶片測試會議 (Design, Automation and Test in Europe, DATE 14)。此國際學術會議為電子系統設計自動化(Electronic Design Automation, EDA)研究領域之頂尖國際會議之一。此國際會議除學術研究論文發表外，每年也吸引晶片設計，嵌入式系統設計，以及晶片/晶圓製造等產業相關之研發人員參與。為研究與實務密切結合之會議。今年本人之研究論文” Scenario-aware Data Placement and Memory Area Allocation for Multi-Processor System-On-Chips with Reconfigurable 3D-Stacked SRAMs” (考量多核心系統晶片之使用場景進行可重組三維堆疊靜態存取記憶體之資料擺放與記憶體空間配置)獲選為會議的長篇發表論文。今年投稿於 DATE 14 的文章有 1090 篇之多，只有 206 篇論文獲選為會議長篇或短篇發表論文(接受率為 23.1%)。經會議委員會評審後分數較高之論文才能獲長篇論文發表。此次主要目的即為參加 DATE 14，了解嵌入式系統與晶片設計之相關研究以及產業之最新發展，以及發表論文。

過程報告

2.1 每日行程表

天數	日期	時間	行程安排
1 ~ 3	3/21 ~ 3/23	全天	由埔里暨南大學出發，由桃園中正機場搭機前往捷克布拉格。並於周末進行私人行程。
4	3/24	全天	由捷克布拉格搭乘兩小時左右的火車，前往開會地點，德國德勒斯登 (Dresden, Germany)。並到會場報到與登記。
5	3/25	全天	研討會議程(請見附錄研討會議程表)
6	3/26	8:30 ~ 18:30	研討會議程(請見附錄研討會議程表)
		19:30 ~ 23:00	大會晚宴
7	3/27	全天	研討會議程(請見附錄研討會議程表) 於下午 2:00 ~ 2:30 進行論文報告
8	3/28	全天	研討會議程(請見下方研討會議程表)
9 ~ 10	3/29 ~ 3/30	全天	於周末進行私人行程，並從德國德勒斯登出發，搭乘火車至捷克布拉格搭機返回台灣，回到埔里暨南大學。

2.2 每日行程內容報告

2.2.1 三月 21 日~ 三月 23 日(星期五~星期日)

德國德勒斯登位於東歐，鄰近捷克布拉格。兩城市之間搭成火車只需兩小時車程。加上布拉格為捷克首都，班機較多，因此決定搭成班機至捷克布拉格之後再轉火車到開會地點。於 3/21 晚間出發，抵達布拉格時為周末，因此進行短暫私人行程。

2.2.2 三月 24 日(星期一)

早上由捷克布拉格搭乘火車至 DATE 會議舉辦城市，德國德勒斯登。DATE 近年來輪流在法國 Grenoble 跟德國 Dresden(德勒斯登)兩城舉辦。德勒斯登為德國薩克森王朝首都，但二次世界大戰時遭盟軍轟炸，舊城幾近全毀。近年來東西德合併，東德經費漸增，才有機會將舊城遭炸毀之古蹟重新修繕。且近年來，許多科技大廠，如 Infineon(英飛凌)跟 Globalfoundries(格羅方德半島體，或舊稱全球晶圓公司)都在此設立公司總部或廠房，因此在此城市舉辦 DATE 別具意義。

歐洲傳統工業，如 Bosch 的電動工具，以及汽車工業都相當發達。近年來，為求產業升級，歐洲知名工業以及政府無不積極尋求使用電腦與資訊化方式，提升其產品之效能與功用。例如，汽車廠尋求使用嵌入式系統(Embedded System)的電腦化數位控制，使得汽車的安全性與操控達到更佳狀況。因此，歐洲相當重視嵌入式系統，單晶片系統(System-on-Chip)等相關研究與產業的發展，這也是為何 DATE 會議會以歐洲為根據地。

抵達德勒斯登，安頓好行李後，就到舉辦大會的 International Congress Center(國際會議中心)進行報到，領取開會資料，進行接下來四天會議的準備。

2.2.3 三月 25 日(星期二)

今天是大會正式開始的第一天。大會特別舉辦開會儀式。儀式中，主席特別提到，雖然來自歐洲的論文投稿數仍佔了 46%之多，但有 27%的投稿來自北美洲，23%的投稿來自亞洲，其餘則來自其他國家。可見 DATE 會議對於全球相關研究與產業的影響力。而本屆 DATE 共有 1090 篇之多的論文投稿，其中 890 篇符合可被審稿標準因此有進入審稿程序。890 篇中，只有 206 篇 (23.1%)之論文被接受發表。本次會議來自台灣的論文，分屬於國立成功大學，國立清華大學，國立交通大學，以及國立暨南國際大學等校。

第一天的大會特別安排了兩場專題演講(Keynote Speech)，第一場是 National Instruments(國家儀器)的 Dr. David Fuller 講的“System Design Challenges for Next Generation Wireless and Embedded Systems”(新世代無線與嵌入式系統之設計挑戰)。由於數位晶片與網路技術的發達，因此有物連網(Internet of Things, IOT)的概念產生，也就是傳統上不會配有數位電路控制以及網路配備的日常生活物品，如一般家庭電器，加上了網路與數位控制晶片，使這些物品可以經由網路進行遠端智會管控。此專題演講提到，由於系統的複雜度提升，傳統的設計方法會造成系統設計上的困難，因此，為 IOT 重新打造系統設計流程。第二場專題演講是 Globalfoundries(格羅方德半島體，或舊稱全球晶圓公司)的 Dr. Gerd Teepe 分享“The Growing Importance of Microelectronics from a Foundry Perspective”(由晶圓製造商的角度看微電子產品的重要性之

演進)。演講中提到，晶片製成技術的進步使晶片的製造越趨複雜，所使用的機台成本也越來越高。因此，晶片設計以及晶片製造兩個步驟將分別於不同公司中進行的趨勢也會更明顯。也就是說，晶片設計廠將專心於系統晶片的設計，而晶片的製造問題則交由晶圓製造廠來擔心即可。但為避免晶片設計公司不了解晶圓製造的流程，而產生不適合之設計，或是晶圓製造廠不了解晶片設計的概念而造成製造錯誤，Dr. Gerd Teepe 建議，應在雙方公司，配置對方的研發人員，讓他們晶圓製造廠與晶片設計兩邊的人員，同時參與研發與製造過程，以避免溝通不良造成生產不順。



大會開幕情況(圖片出處: DATE 網頁)

2.2.4 三月 26 日(星期三)

會議第二天，我參與了數個學術研討 Session。其中學到最多的是 Session 5.8: Hot Topics: System-Integration – The Bridge between More than Moore and More Moore(熱門議題：系統整合- 在摩爾定律之下與之外的溝通橋樑)。這個 Session 主要是探討利用最新的三維堆疊晶片(3D Die Stacking)整合多電路層於單一晶片上的一些議題。來自於德國慕尼黑工業大學(TU Munchen)的 Professor Andreas Herkersdorfy 在他的專題演講” 3D-TSV-HUB: Potentials and Challenges for Vertical Interconnects in Network-on-Chips” (三維穿矽通孔集線器：晶片上網路之垂直通道的設計潛能與挑戰)中提到，實現三維堆疊晶片

技術之穿矽通孔(Through Silicon Vias)的製造，會增加晶片製成成本，且製造 TSV 時，會讓晶片處在高溫高壓的環境，因此使晶片良率容易下降。因此，降低 TSV 數量對於晶片的成本與良率都有正面影響。為此問題，他們提出使用 TSV Hub(三維穿矽通孔集線器)機制，根據系統效能與溫度等種種需求，決定 TSV 的數量與擺置，期望能以最少的 TSV 數量達到所需之效能。當天晚上大會於 Volkswagen(福斯汽車)的汽車裝配工廠舉行接待晚宴，當天晚上以輕鬆的氣氛認識不少與會的研究人員。



Session 5.8 進行情況(左)，及當天晚宴情況(右) (圖片出處: DATE 網頁)

2.2.5 三月 27 日(星期四)

於今天下午兩點，在 Session 11.5 Memory Resource Allocation and Scheduling in MPSoC(多核心系統晶片之記憶體資源配置與使用排程)，發表我的論文 ” Scenario-aware Data Placement and Memory Area Allocation for Multi-Processor System-on-Chips with Reconfigurable 3D-stacked SRAMs” (考量多核心系統晶片之使用場景進行可重組三維堆疊靜態存取記憶體之資料擺放與記憶體空間配置)。這篇論文是針對使用了三維堆疊可重組靜態存取記憶體(3D-stacked Reconfigurable SRAMs)之多核心系統晶片(Multi-Processor System-on-Chip)，提出可提升效能之資料配置方法。此方法最大特色，在於

考量系統使用時，歷經的各個使用場景(Scenario)的資料存取需求，以及目標架構的特性，決定每筆資料應擺放於哪個靜態存取記憶體模組，以減少資料平均存取速度，而提升系統效能。照會議慣例，演講者需要在早上八點半先到會場與 Session Chair 認識，並將個人資料交上。這次我的 Session Chair 恰巧是昨天於 Session 5.8 演講的 Professor Andreas Herkersdorfy。我的論文為 Session 中的第一篇，為長篇發表，有三十分鐘。發表完之後，馬上有兩個人問了問題，其中一位問到是不是應該將一些只有在應用程式執行時所遇到的資料的行為也列入考量。另外一位提出了如何更進一步利用 Scenario 資訊來減少資料存取時間的方法。在會後都與兩位問了問題的學者進行了討論，受益良多。



早餐會情況(左)以及 Session 11.5 進行情況(圖片出處: DATE 網頁)



Session 11.5 外之海報展覽與討論情況(圖片出處: DATE 網頁)

2.2.6 三月 28 日(星期五)

今天是大會的最後一天。主要的論文發表都於前三天結束，今天主要是正在進行中的相關研究議題的發表(Workshop)。因為我目前研究方向在使用三維堆疊技術之系統晶片的系統層晶片設計方法，因此我去參加了 W5: 3D Integration Applications, Technology, Architecture, Design, Automation and Test(三維整合技術之應用、技術方法、三維架構、設計、設計自動化、與晶片測試)這個 Workshop。Session 6: Test and Thermal Challenges for 3D ICs(三維堆疊晶片之測試與溫度相關之設計挑戰)中發表的論文” System-level Thermal Modeling for 3D IC: A Memory-on-Logic 3D Test Case Study” (三維堆疊晶片之系統層快速溫度預測模型：以三維技術整合記憶體晶片與一般邏輯電路之系統為例)，其探討的 Memory-on-Logic(三維技術整合記憶體晶片與一般邏輯電路)架構為我目前主要研究的架構，其提出的快速晶片溫度預測數學模型，對於我將來針對此架構進行溫度感知設計有相當的幫助。

2.2.7 三月 29 日 ~ 三月 30 日 (星期六~星期日)

由於適逢周末，在德國德勒斯登進行私人行程後，星期日早上再由德國德勒斯登，搭乘火車至捷克布拉格後，到機場搭乘飛機返回台灣。

二、心得與建議

歐洲晶片設計、設計自動化、與晶片測試會議(Design, Automation and Test in Europe, DATE 14)，為電子系統設計自動化(Electronic Design Automation, EDA)研究領域之頂尖國際會議之一。此會議最難能可貴的是，著重產業與學術研究的結合，因此除了學術論文發表之外，大會更安排產業界人士與會演講，以及設立展覽攤位。此次與會，吸收到不少相關研究以及產業需求的新知，感到相當有價值。建議有進行相關研究的老師，可以多參與此會議。

三、附錄 - DATE 2014 大會議程

3/25 星期二議程

tuesday 25 march					TUESDAY TUESDAY					tuesday 25 march									
0730	REGISTRATION, Terrace Level, AND SPEAKER'S BREAKFAST, Saal 2									0730	REGISTRATION, Terrace Level, AND SPEAKER'S BREAKFAST, Saal 2								
0830-1030	1.1 OPENING PLENARY, DATE AWARDS CEREMONY AND KEYNOTE ADDRESSES, Grosser Saal									0830-1030	1.1 OPENING PLENARY, DATE AWARDS CEREMONY AND KEYNOTE ADDRESSES, Grosser Saal								
1030-1130	EXHIBITION AND COFFEE BREAK									1030-1130	EXHIBITION AND COFFEE BREAK								
	EXECUTIVE SESSIONS	SPECIAL SESSIONS	A-TRACK	D-TRACK		D-TRACK	E-TRACK	T-TRACK	EXHIBITION THEATRE		D-TRACK	E-TRACK	T-TRACK	EXHIBITION THEATRE					
1130-1300	Saal 1 2.1 EXECUTIVE SESSION: How to Handle Today's Design Complexity	Konferenz 6 2.2 Panel: Emerging vs. Established Technologies: a Two Sphinxes' Riddle at the Crossroads?	Konferenz 1 2.3 Making automotive systems safer and more energy efficient	Konferenz 2 2.4 Modern Challenges in Analog and Mixed-Signal Design		Konferenz 3 2.5 Low-Power and Efficient Architectures	Konferenz 4 2.6 Real-Time memory hierarchies	Konferenz 5 2.7 Yield and Reliability for Robust Systems	Exhibition Theatre 2.8 Hot Topic: Technology Transfer towards Horizon 2020		Konferenz 3 2.5 Low-Power and Efficient Architectures	Konferenz 4 2.6 Real-Time memory hierarchies	Konferenz 5 2.7 Yield and Reliability for Robust Systems	Exhibition Theatre 2.8 Hot Topic: Technology Transfer towards Horizon 2020					
1300-1430	LUNCH BREAK									1300-1430	LUNCH BREAK								
1430-1600	Saal 1 3.1 EXECUTIVE SESSION: Advanced Technology Challenges & Opportunities	Konferenz 6 3.2 Panel: The World Is Going... Analog & Mixed-Signal! What about EDA?	Konferenz 1 3.3 Secure Hardware Primitives and Implementations	Konferenz 2 3.4 Modeling and Optimization of Power Distribution Networks		Konferenz 3 3.5 Robust Architectures	Konferenz 4 3.6 Cyber Physical Systems: Security and Co-design	Konferenz 5 3.7 On line Strategies for Reliability	Exhibition Theatre 3.8 Hot Topic: Mission Profile Aware Design – The Solution for Successful Design of Tomorrows Automotive Electronics		Konferenz 3 3.5 Robust Architectures	Konferenz 4 3.6 Cyber Physical Systems: Security and Co-design	Konferenz 5 3.7 On line Strategies for Reliability	Exhibition Theatre 3.8 Hot Topic: Mission Profile Aware Design – The Solution for Successful Design of Tomorrows Automotive Electronics					
1600-1700	COFFEE BREAK <i>co-sponsored by ELSEVIER</i>									1600-1700	COFFEE BREAK <i>co-sponsored by ELSEVIER</i>								
1600-1630	IP1 INTERACTIVE PRESENTATIONS AND BEST IP AWARD, Conference Level, Foyer									1600-1630	IP1 INTERACTIVE PRESENTATIONS AND BEST IP AWARD, Conference Level, Foyer								
1700-1830	Saal 1 4.1 EXECUTIVE SESSION: Addressing Challenges of Reliable Chips	Konferenz 6 4.2 Hot Topic: Multicore Systems in Safety Critical Electronic Control Units for Automotive and Avionics	Konferenz 1 4.3 Secure Device Identification	Konferenz 2 4.4 "Almost there" emerging technologies		Konferenz 3 4.5 Memory System Architectures	Konferenz 4 4.6 Code Generation and Optimization for Embedded Platforms	Konferenz 5 4.7 Dependable System Design	Exhibition Theatre 4.8 State-of-the-art in Verification: European Tertulia IC Design - Enabling AMS Structured Verification / Verification in FPGA & IP design flows		Konferenz 3 4.5 Memory System Architectures	Konferenz 4 4.6 Code Generation and Optimization for Embedded Platforms	Konferenz 5 4.7 Dependable System Design	Exhibition Theatre 4.8 State-of-the-art in Verification: European Tertulia IC Design - Enabling AMS Structured Verification / Verification in FPGA & IP design flows					
1830-1930	EXHIBITION RECEPTION									1830-1930	EXHIBITION RECEPTION								

wednesday 26 march

wednesday 26 march

0730	REGISTRATION, Terrace Level, AND SPEAKER'S BREAKFAST, Saal 2			
	SPECIAL DAY	SPECIAL SESSIONS	A-TRACK	D-TRACK
0830 – 1000	Saal 1 5.1 SPECIAL DAY Hot Topic: Predictable Multi-Core Computing	Konferenz 6 5.2 Hot Topic: Hacking and Protecting Hardware: Threats and Challenges	Konferenz 1 5.3 Reliable Systems in the Age of Variability	Konferenz 2 5.4 Prediction and optimization of timing variations
1000 – 1100	EXHIBITION AND COFFEE BREAK			
1000 – 1030	IP2 INTERACTIVE PRESENTATIONS, Conference Level, Foyer			
1100 – 1230	Saal 1 6.1 SPECIAL DAY Hot Topic: The fight against Dark Silicon	Konferenz 6 6.2 Embedded Tutorial: Emerging Transistor Technologies; From Devices to Architectures	Konferenz 1 6.3 Management of Micro/Macro Renewable Energy Storage Systems	Konferenz 2 6.4 Power delivery and distribution
1230 – 1400	LUNCH BREAK			
1330 – 1400	7.0 SPECIAL DAY KEYNOTE, Saal 1			
1430 – 1600	Saal 1 7.1 SPECIAL DAY Panel: HW/SW Co-Development - The Industrial Workflow	Konferenz 6 7.2 Embedded Tutorial: Cross Layer Resiliency in Real World	Konferenz 1 7.3 Low power methods and multicore architectures for mobile health applications	Konferenz 2 7.4 Runtime memory optimization and GPU/manycore architectures
1600 – 1700	COFFEE BREAK			
1600 – 1630	IP3 INTERACTIVE PRESENTATIONS AND BEST IP AWARD, Conference Level, Foyer			
1700 – 1830	Saal 1 8.1 SPECIAL DAY: System Simulation and Virtual Prototyping	Konferenz 6 8.2 Hot Topic: Near Threshold Computing (NTC)	Konferenz 1 8.3 Physical Attacks and counter-measures	Konferenz 2 8.4 Efficient Designs for Telecom and Financial Applications
1930 – 2300	DATE PARTY <i>co-sponsored by the City of Dresden</i>			

0730	REGISTRATION, Terrace Level, AND SPEAKER'S BREAKFAST, Saal 2			
	D-TRACK	E-TRACK	T-TRACK	EXHIBITION THEATRE
0830 – 1000	Konferenz 3 5.5 Boosting the Scalability of Formal Verification Technologies	Konferenz 4 5.6 Emerging logic technologies	Konferenz 5 5.7 Test generation and optimization	Exhibition Theatre 5.8 Embedded Tutorial: System Integration – The Bridge between More than Moore and More Moore
1000 – 1100	EXHIBITION AND COFFEE BREAK			
1000 – 1030	IP2 INTERACTIVE PRESENTATIONS, Conference Level, Foyer			
1100 – 1230	Konferenz 3 6.5 Beyond EDA: Extending the Application Domain of Formal Methods	Konferenz 4 6.6 Model-Based Design and Hardware/ Software Interfaces	Konferenz 5 6.7 Hardening Approaches at Different Design Levels	Exhibition Theatre 6.8 First Time Right in Analog Design Enabling New Business Cases
1230 – 1400	LUNCH BREAK			
1330 – 1400	7.0 SPECIAL DAY KEYNOTE, Saal 1			
1430 – 1600	Konferenz 3 7.5 Emerging memory technologies	Konferenz 4 7.6 Performance and timing analysis	Konferenz 5 7.7 Design-for-Test and Test Access	Exhibition Theatre 7.8 FD-SOI – the Enabling European Technology for Energy Efficient Solutions – Creating a Solution Hive & Design Hub as Eco-System for Future Success
1600 – 1700	COFFEE BREAK			
1600 – 1630	IP3 INTERACTIVE PRESENTATIONS AND BEST IP AWARD, Conference Level, Foyer			
1700 – 1830	Konferenz 3 8.5 Modeling & Specification	Konferenz 4 8.6 Mapping and Scheduling for Many-Core Embedded Systems	Konferenz 5 8.7 Performance Modeling and Delay Test	Exhibition Theatre 8.8 Hot Topic: Beyond CMOS Ultra-low-power Computing
1930 – 2300	DATE PARTY <i>co-sponsored by the City of Dresden</i>			

thursday 27 march THURSDAY THURSDAY thursday 27 march

0730	REGISTRATION, Terrace Level, AND SPEAKER'S BREAKFAST, Saal 2			
	SPECIAL DAY	D-TRACK	A-TRACK	D-TRACK
	Saal 1	Konferenz 6	Konferenz 1	Konferenz 2
0830 – 1000	9.1 SPECIAL DAY Hot Topic: CMOS scaling - from evolutionary to revolutionary computing	9.2 Low-Cost, High-Performance NoCs	9.3 Hardware Implementations for Data Security	9.4 Timing challenges in validation
1000 – 1100	EXHIBITION AND COFFEE BREAK			
1000 – 1030	IP4 INTERACTIVE PRESENTATIONS, Conference Level, Foyer			
	Saal 1	Konferenz 6	Konferenz 1	Konferenz 2
1100 – 1230	10.1 SPECIAL DAY Hot Topic: Memories today and tomorrow	10.2 Wireless NoCs	10.3 Green Computing Systems	10.4 System-level evaluation
1230 – 1400	LUNCH BREAK			
1330 – 1400	11.0 SPECIAL DAY KEYNOTE, Saal 1			
	Saal 1	Konferenz 6	Konferenz 1	Konferenz 2
1400 – 1530	11.1 SPECIAL DAY Embedded Tutorial: Alternatives to CMOS	11.2 Transitioning NoC Design Techniques to Future Challenges	11.3 Industry relevant research and practice for system design	11.4 Enabling validation on fast platforms
1530 – 1600	COFFEE BREAK			
1530 – 1600	IP5 INTERACTIVE PRESENTATIONS AND BEST IP AWARD, Conference Level, Foyer			
	Saal 1	Konferenz 6	Konferenz 1	Konferenz 2
1600 – 1730	12.1 SPECIAL DAY Hot Topic: The future of interfacing to the natural world	12.2 Hot topic: How Secure are PUFs Really? On the Reach and Limits of Recent PUF Attacks	12.3 Multimedia Systems	12.4 Physical Aspects

0730	REGISTRATION, Terrace Level, AND SPEAKER'S BREAKFAST, Saal 2			
	D-TRACK	E-TRACK	D-TRACK	EXHIBITION THEATRE
	Konferenz 3	Konferenz 4	Konferenz 5	Exhibition Theatre
0830 – 1000	9.5 Hot Topic: Connecting Different Worlds – Technology Abstraction for Reliability-Aware Design and Test	9.6 Schedulability analysis	9.7 Timing Analysis and Cell Design	9.8 Embedded Tutorial: Memcomputing: the Cape of Good Hope
1000 – 1100	EXHIBITION AND COFFEE BREAK			
1000 – 1030	IP4 INTERACTIVE PRESENTATIONS, Conference Level, Foyer			
	Konferenz 3	Konferenz 4	Konferenz 5	Exhibition Theatre
1100 – 1230	10.5 Analysis of Components and Systems	10.6 Multi-processor and distributed systems	10.7 Advances in Synthesis	10.8 EDA+3D+ MEMS Innovation Agenda 2020 Fueling the Innovation Chain of Electronics
1230 – 1400	LUNCH BREAK			
1330 – 1400	11.0 SPECIAL DAY KEYNOTE, Saal 1			
	Konferenz 3	Konferenz 4	Konferenz 5	Exhibition Theatre
1400 – 1530	11.5 Memory Resource Allocation and Scheduling in MPSoC	11.6 System-Level Thermal Estimation and Management	11.7 Power and Emerging Technologies in Reconfigurable Computing	11.8 Embedded Tutorial: GPGPUs: how to combine high computational power with high reliability
1530 – 1600	COFFEE BREAK			
1530 – 1600	IP5 INTERACTIVE PRESENTATIONS AND BEST IP AWARD, Conference Level, Foyer			
	Konferenz 3	Konferenz 4	Konferenz 5	Exhibition Theatre
1600 – 1730	12.5 System-level Design Space Exploration	12.6 Error Resilience and Power Management	12.7 Built-in self-test solutions for mixed-signal and RF ICs	12.8 Panel: Futura SoC verification methodology: UVM evolution or revolution?

friday 28 march 

0730	WORKSHOP REGISTRATION AND WELCOME REFRESHMENTS			
Breaks	PLEASE SEE INDIVIDUAL WORKSHOP PROGRAMMES FOR LUNCH AND BREAK TIMES			
0830-1700 Konferenz 1	0830-1700 Konferenz 2	0830-1700 Konferenz 3	0830-1700 Konferenz 4	
W1 International Workshop on Dependable GPU Computing	W2 ES4CPS - Engineering Simulations for Cyber-Physical Systems	W3 Electronic System-Level Design towards Heterogeneous Computing	W4 Workshop on Design Automation for Understanding Hardware Designs	
0815-1630 Konferenz 5	0830-1630 Konferenz 6	0830-1700 Seminar 5+6	0830-1700 Seminar 3+4	
W5 3D Integration: Applications, Technology, Architecture, Design, Automation, and Test	W6 MEDIAN - Workshop on Manufacturable and Dependable Multicore Architectures at Nanoscale	W7 Memristor Science & Technology	W8 3PMCES – Performance, Power and Predictability of Many-Core Embedded Systems	