



行政院所屬各機關因公出國人員出國報告書  
(出國類別：其他)

參加「9-th International Workshop EMC Compo 2013」研討會  
心得報告

服務機關：經濟部標準檢驗局

出國人職稱姓名：技士張彥堂

出國地點：日本

出國期間：中華民國 102 年 12 月 14 日至 12 月 19 日

報告日期：中華民國 103 年 01 月 21 日

行政院研考會 / 省 (市)研考會 編號欄

---

壹、 背景說明.....	3
貳、 活動行程簡述.....	3
參、 會議記要.....	4
一、 聯合研討會(Joint Workshop) .....	5
二、 關鍵性演說(Keynote Speech).....	7
三、 部分論文擷選.....	8
肆、 結論與展望.....	14

## 壹、背景說明

綜觀近幾年的 IEEE 國際研討會主題及技術論壇，積體電路 3D 化的趨勢越來越明顯，除了傳統二維空間最小線寬的微縮外，第三維在高度上的堆疊也廣受注目與探討。因應製造技術之發展，除了傳統的訊號完整性(SI)與電源完整性(PI)等議題被提出來，電磁相容的問題亦是不可忽略的重要項目，特別是在高度密集的環境、低功率與低工作電壓之要求下，電子系統將面臨嚴峻的電磁耐受性與干擾等考驗，因此許多傳統的 EMC 在電路板上的對策已不敷使用，系統式(或整合型)的以及設計初期(晶片層級)的解決方案是許多研究人員共同的目標。為提昇台灣在 EMC 領域的整體技術能力，以及提昇積體電路電磁相容(IC-EMC)設計與研究技術，本局持續進行 IC-EMC 驗證與檢測技術之佈局；除藉由國內舉辦專業研討會與產學界意見交流外，建立基礎學術研究與國際研討會的參與發表，亦是相當重要的工作項目之一。

本年度(102)與國家實驗研究院國家晶片系統設計中心共同將有關積體電路電磁相容檢測技術之研究內容投稿至 9-th International Workshop on Electromagnetic Compatibility of Integrated Circuits (簡稱 EMC Compo 2013)，並獲得接受與發表。除了在 12/17 下午的時段接受技術諮詢外，在場更有機會與世界各地的研究人員進行技術交流，以掌握目前國際間最新的技術動態，提供本局電磁相容驗證與檢測技術之參考。

## 貳、活動行程簡述

- 12月14日(星期六)：臺北搭機赴日本。
- 12月15日(星期日)：辦理報到手續及參加 EMC Compo 2013 與 EDAPS 2013 合辦之兩場專業技術研討會。
- 12月16日(星期一)：參與專業技術研討會、Keynote Speech 以及 Special Session。
- 12月17日(星期二)：參與 Standards for Semiconductor EMC、EMC-aware IC Design、Power Device EMC 等論文發表會，並於 Poster Session 作論文發表與接受技術諮詢。
- 12月18日(星期三)：參與 Power Integrity and Conducted Emission Modeling、ESD and Robustness Evaluation in IC-

level、Chip Level Immunity 以及 Automotive Immunity 論文發表會。

- 12月19日(星期四)：返國。

## 參、會議記要

此會議 2013 年由京都大學主辦，IEEE EMC Society 協辦，EMC Compo 會議約兩年舉辦一次，過去陸陸續續曾在法國 Angers(2004)、德國 Munich(2005)、義大利 Torino(2007)、法國 Toulouse(1999、2000、2002 與 2009)、克羅埃西亞 Dubrovnik(2011) 等地舉辦，可以看到往年皆於歐洲舉辦，而此會議為第一次在歐洲之外的地區舉辦，舉辦的場地也有別於一般國際會議的地點：學校或大型飯店，這次選擇於列名世界文化遺產之日本奈良東大寺博物館的會議廳舉辦，除科技議題探討外，亦充滿人文歷史的感受，讓人印象深刻。

本次會議亦另有一特別之處，在此會議之前有另一個會議 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2013) 也在相同場地舉辦，為 IEEE CPMT Society 底下的一個年度會議，主題為先進封裝的設計，其中有部分主題為先進封裝所遭遇的電磁相容問題，因此 EMC Compo 2013 會議的第一天與 EDAPS 2013 的最後一天共同規劃兩場聯合研討會(joint workshop)，希望對此主題有興趣之與會者能一同參與和交流，會中邀請了三個具代表性之演講者分別是來自喬治亞理工大學的 Madhavan Swaminathan 教授、三星電子的 Woong Hwan Ryu 博士以及台積電的 William Wu Shen 博士主講，主題分別為「Devices, Circuits, Packages and Systems Understanding their Interplay for Managing Signal, Power and Thermal Integrity」、  
「The Pathways to Cost-Effective Power/Signal Integrity Designs for High-Performance Mobile Systems」和「Transition from 2D to 3D IC design: Advantage, Challenge and Solutions」。

接續聯合研討會之後為 EMC Compo 2013 的兩場 tutorial 以及來自 Renesas Electronics 的 Toru Shimizu 博士帶來的 keynote speech，隨後三天則進行 9 個 regular session、1 個 poster session 與 1 個 special session 的論文發表，其中 special session 由 Jun Fan 教授和 Dian Yang 博士進行報告，主題為 Tackling EMC in Real IC Chips，本次會議總計約收錄五十餘篇論文。

## 一、聯合研討會(Joint Workshop)

### 1. **Devices, Circuits, Packages and Systems Understanding their Interplay for Managing Signal, Power and Thermal Integrity** (了解元件、電路、構裝與系統之間的交互關係以掌控訊號、電源與熱完整性)

主講者：Madhavan Swaminathan, Georgia Institute of Technology, Atlanta, USA

摘要：現今的消費商品中包含了許多電子零件與複雜的功能，但卻更輕薄短小，因此這些電子零件、封裝、系統之間的介面也越來越難以區隔，也造成訊號、電源以及熱能之完整性面臨考驗，針對這些複雜而相互影響的問題(Interactions-Signal, Power, and Thermal)，Swaminathan 教授的團隊分別提出了訊號與電源模型與模擬技術、電源傳輸線(Power Transmission Lines)方法以及針對三維積體電路訊號與熱能模型與模擬技術來解決這三大類的問題，透過事先的模擬預測可大幅降低製造 IC 的困難度，最後也歸納出面對 3D IC 需要的挑戰：熱能、電源擾動、訊號、電源以及熱能三者之間的相互影響，而在模型建立上需仰賴設計前期之開發與驗證(design exploration/verification)，例如要先了解三者彼此之間的干擾機制；在設計上亦需有另外的方法來解決，例如補償方式(compensation methods)等。

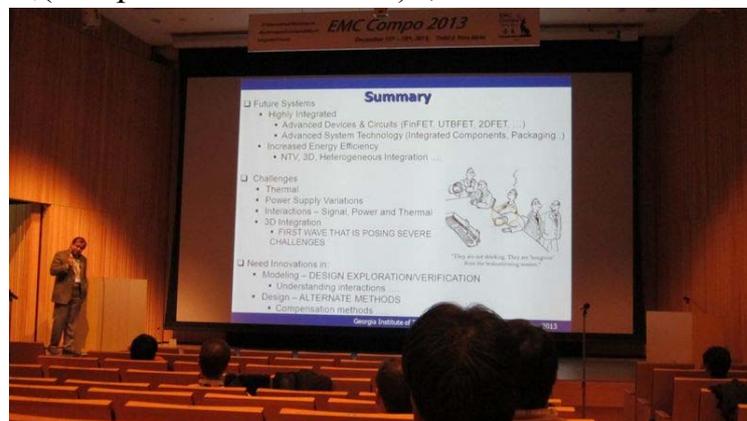


圖1：Swaminathan教授之結論

### 2. **The Pathways to Cost-Effective Power/Signal Integrity Designs for High-Performance Mobile Systems** (對於高效能行動系統具有成本效益的電源/訊號完整性設計方式)

主講者：Woong Hwan Ryu, Samsung Electronics, Korea, Republic of (South Korea)

摘要：三星電子針對旗下高效能手機系統展示其對於電源完

整性/訊號完整性乃至於電磁相容之整體方案說明，並以ALPS平台提出因應對策，A(accurate)指的是手機系統軟硬體參數之完整資料才能正確評估系統；L(lowcost)指的是藉由晶片/封裝/系統三者之間的共模擬(co-sim)來達到低成本之設計，並比較歸納出封裝/電路板之開發成本所佔的比例最大；P(performance)指的是效能上的改善，並舉出減少與優化電源/接地間之錫球(P/G bump)數量與位置不僅可增加輸出埠利用率，且能保有原本之效能；S(shift-left)指的是簡化電路板金屬層的數量，也呼應先前評估電路板佔了最大的整體開發成本。三星電子歷經4代ALPS，由初期的解決電源完整性/訊號完整性的問題進而到最新一代，將射頻干擾分析與電磁干擾等設計概念包含進來以開發功能完整且低成本之手持式系統。

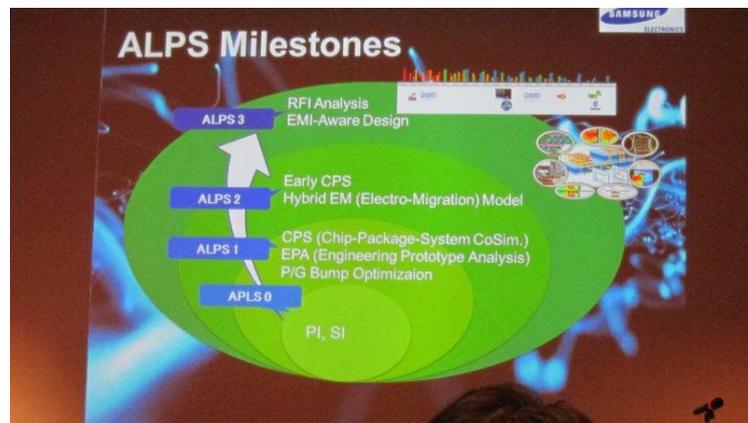


圖2：三星電子產品完整設計流程之重要演進

### 3. Transition from 2D to 3D IC design: Advantage, Challenge and Solutions (2 維過渡至 3 維之積體電路設計：優點、挑戰與解決方法)

主講者：William Wu Shen, TSMC Corp., Taiwan

摘要：為了迎合電子產品成本、產量、頻寬與功率等多項需求，晶片間的整合已由過去的2維電路板連接型式轉至3維微縮堆疊方式，因此有許多新式的封裝方式被提出，目前主要新式系統整合方式有：晶片垂直堆疊(vertical 3D-IC)、中介載板(interposer)與扇出晶圓層級封裝(fan-out wafer level package)，台積電則提出採用中介載版的CoWoS技術，可大幅縮小晶片間的距離(20mm→0.03mm)，並舉出顯示卡晶片搭配記憶體的成功案例幫助廠商縮短上市時間，當中也指出這種微型化系統整合的關鍵，例如如何將晶片與中介載板極微小且數量龐大的錫球對齊、如何將晶片間之訊號與電源連接、晶片介面是否合乎JEDEC標準等問題。

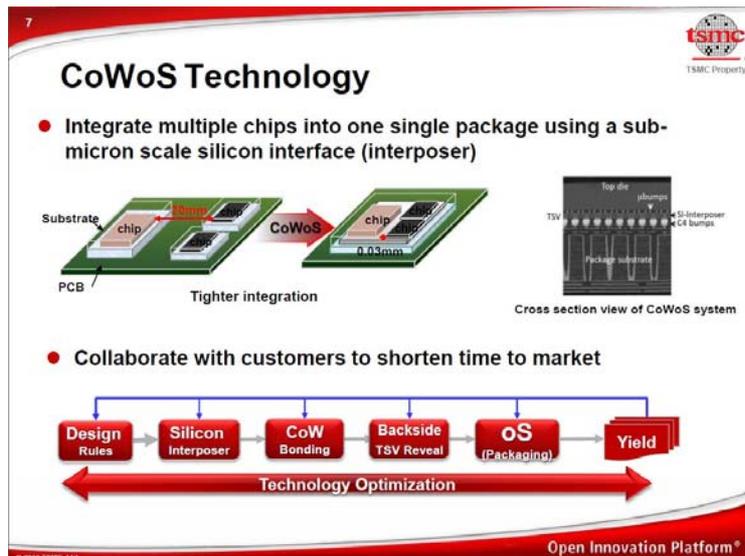


圖3：TSMC使用之CoWoS技術加速上市時間

## 二、關鍵性演說(Keynote Speech)

### Semiconductor Innovation for Smart Society and Its EMC Solutions (智慧社會需要之半導體創新以及其電磁相容解決方案)

主講者：Toru Shimizu, Renesas Electronics Corp., Japan

摘要：未來智慧化應用(智慧車輛、智慧住宅、智慧社會等)需仰賴微控制器(MCU)，也因此MCU在微型化、功能性、省電及可靠度上面臨許多技術上的挑戰，省電型的MCU可被使用在智慧家電、醫療設備以及智慧照明上，該公司並展示省電技術上的演進，只憑1顆水果所產生的電力即可供應微控制器正常操作，並指出應用於未來智慧社會的MCU需要考量三個EMC問題，包含低電壓應用、數位/類比/射頻混合式系統以及高功率輸出應用，特別在耐受度上需要許多對策考量：使用濾波器、史密特觸發電路、二極體等方式。

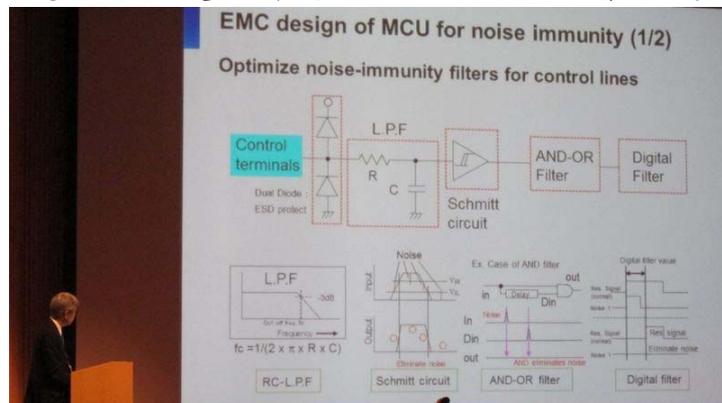


圖4：Renesas公司使用之微控器EMC耐受性對策

### 三、部分論文擷選

#### 1. Signal Integrity and EMC Performance Enhancement using 3D Integrated Circuits – A Case Study (三維積體電路對於訊號完整性及電磁相容特性之改善-案例分析)

作者： Etienne SICARD, Jianfei WU , Jian-cheng LI, INSA, France; National University of Defense Technology, China

摘要：此篇論文針對微控器外掛記憶體在不同封裝下分析訊號完整性及電磁相容等特性，分別有傳統電路板走線型式(封裝A)、晶片堆疊並以鏢線(wire bonding)連接形式(封裝B)及晶片堆疊並以矽穿孔(Through-Silicon-Via)技術連接(封裝C)，其中封裝B與封裝C皆屬於3D IC封裝形式，同時建立相對應的等效模型以便於模擬使用，值得注意的是，封裝B因鏢線的單位長度電感量較大，其特徵阻抗最大。經模擬得知，3D封裝之訊號完整性皆較傳統式封裝為佳，而封裝C因矽穿孔傳輸路徑最短有最佳的效果，不僅如此，封裝B及封裝C在傳導輻射上相較於封裝A分別降低了13 dB及20 dB。

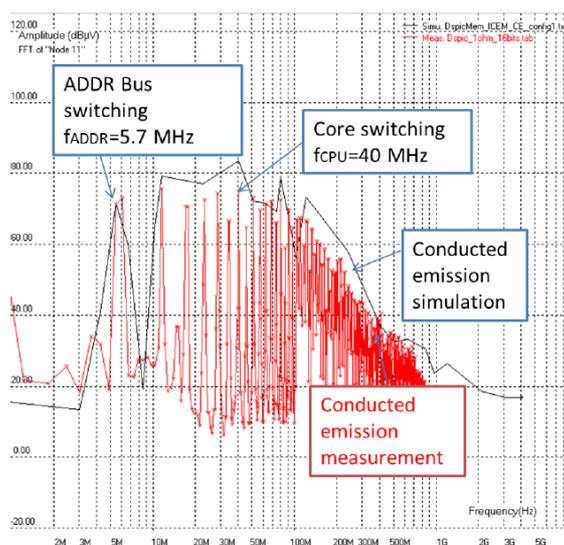


圖5：EMC傳導量測與模擬比較結果

#### 2. Different IC Radiated-emission Models to Analyze Far-field Radiation of a Test PCB (用來分析待測電路板遠場輻射的IC輻射放射模型比較)

作者： Jingnan Pan, Yaojiang Zhang, Jun Fan, Missouri University of Science and Technology, United States of America

摘要：為了預測IC遠場輻射效應，論文分析與比較兩種近場轉換遠場的方法：Huygens等效源模型(Huygens's equivalent-source model)以及偶極矩源模型(dipole-moment source model)，在近場大掃描面積下，兩者場強結果與模擬結果相似；但在近場小掃

瞄面積下，Huygens模型與模擬有相當的落差，而偶極矩模型則相似，量測結果也驗證此趨勢，由此可知，使用Huygens模型的近場掃描面積需要足夠大的範圍才可預測出較正確之遠場數據，然而偶極矩模型則對近場掃描的面積較不敏感。

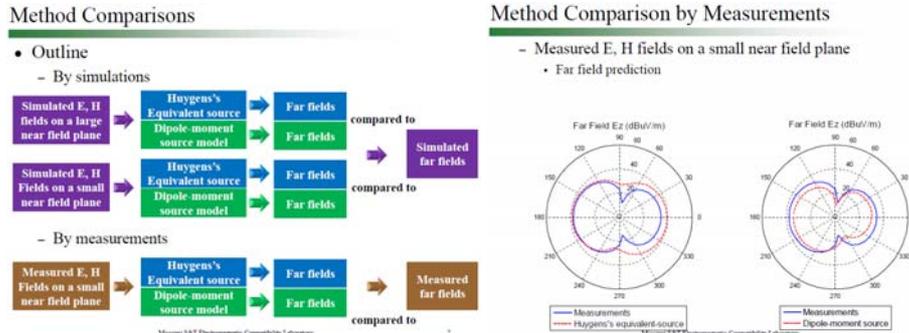


圖6：Huygen等效源與偶極矩源模型之比較

### 3. Improvement of Reproducibility of DPI Method to Quantify RF Conducted Immunity of LDO Regulator (改善 DPI 法之再現性使以定量評估穩壓器之傳導耐受度)

作者：Tohlu Matsushima, Nobuaki Ikehara, Takashi Hisakado, Osami Wada, Kyoto University, Japan

摘要：直接功率注入法(DPI)為傳導輻射量測方法，透過50Ω傳輸線可將干擾訊號注入至待測IC接腳，因此，DPI法一般是不受測試配置所影響，然而，放大器的輸出阻抗或是電源纜線的聯接仍會影響測試的重複性(或再現性)，論文以電源穩壓器為例，歸納出幾點影響再現性的因素，分別有電路板上寬頻耦合電路(coupling network)的設計、因IC接腳非50Ω所造成的多重反射以及直流電源因傳輸線之接地面不足所產生的共模電流，並提出解決對策，針對耦合電路的設計問題可採用外接高頻T型偏壓器(Bias Tee)來克服，多重反射問題可在放大器與耦合器中串接衰減器可降低反射能量，直流電源產生的共模電流可在電源端串接磁環(ferrite clamp或稱EMI濾波器)以吸收共模電流，最後以實測驗證方法之可行性。

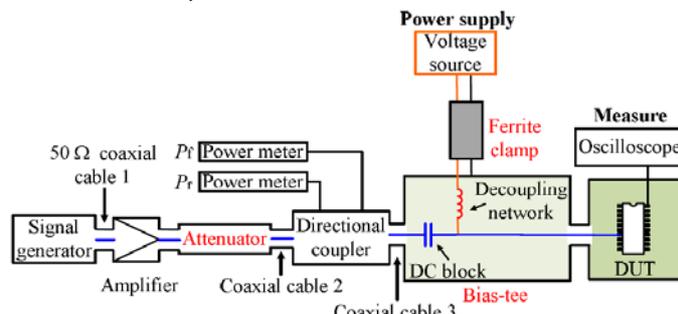


圖7：改善DPI法再現性試驗之對策

#### 4. Noise-immune Design of Schmitt Trigger Logic Gate using DTMOS for Sub-threshold Circuits (使用可變臨界電壓電晶體之史密特觸發電路以供雜訊耐受設計)

作者：KyungSoo Kim, Wansoo Nah, SoYoung Kim,  
SungKyunKwan University, Korea, Republic of (South Korea)

摘要：如同Keynote speech中Renesas公司指出史密特觸發電路可增加電路耐受度，本篇論文應用可操作在低電壓(0.4V)環境且具備可變臨界電壓(threshold voltage)技術之電晶體(DTMOS)，重新設計此觸發電路，在具備相同功能下，使用更少知電晶體數量，不僅可以達到省電的效果，更減少使用面積，論文並以模擬方式驗證藉由此觸發電路所組成的邏輯閘(AND、OR、NOT等功能)，但所需付出的代價是會增加訊號傳遞的延遲時間。

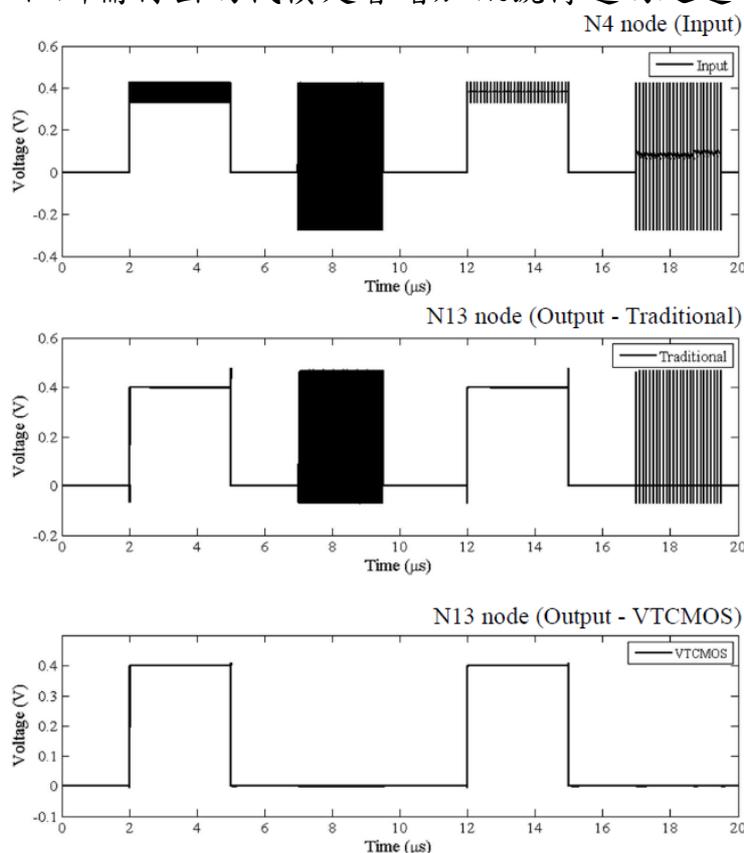


圖8：應用觸發電路之耐受性模擬結果

#### 5. EMI Resisting LDO Voltage Regulator with Integrated Current Monitor (抗電磁干擾之內建電流鏡穩壓器)

作者：Philipp Schröter, Stefan Jahn, Frank Klotz, Fabio Ballarin,  
Fabio Gini, Marco Piselli, Infineon Technologies AG, Germany;  
Infineon Technologies Italia

摘要：本篇論文提到如何製造高耐受度的穩壓器，通常需同時考慮電路設計、佈局(layout)與電路擺放位置(floorplan)。電路設

計部分，差動輸入放大器的非線性特性是造成低耐受的主要的原因之一，使用對策有：加入degeneration電阻( $R_5, R_6$ )、由內部產生電源供應放大器和帶差參考電路(bandgap reference)、由輸出端回授至差動放大器輸入端之路徑串接低通濾波器( $C_1, R_3$ )、使用PMOS電晶體作為輸入差動對(differential pair)；當頻率到200 MHz以上時，佈局與電路擺放位置是相當重要的，可先隔離易產生高電流干擾訊號之輸出電路與差動放大器和帶差參考電路，中間並擺放trench barrier將干擾訊號導引至接地而不影響放大器和帶差參考電路之操作。最後利用DPI測試以驗證穩壓器之高耐受性。

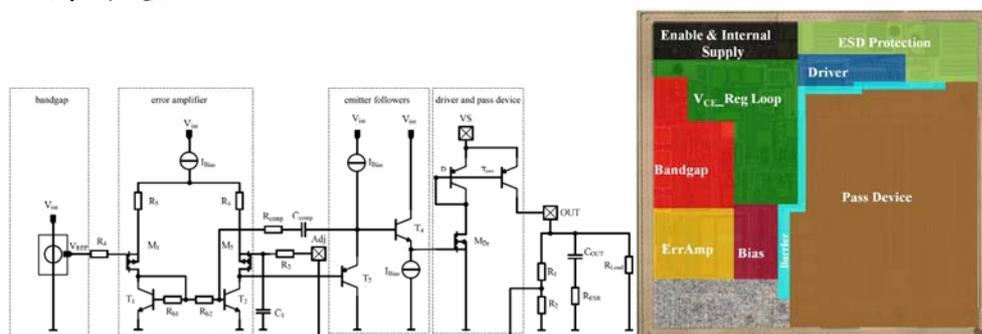


圖9：高耐受穩壓器之電路設計、佈局與電路擺放策略

## 6. Spread Spectrum Clocking for Emission Reduction of Charge Pump Applications (應用展頻時脈來降低電流泵應用所產生之輻射)

作者：Bernd Deutschmann, Infineon Technologies, Germany

摘要：因為數位時脈被認為是電磁傳導與輻射之主要來源，因此展頻時脈(Spread Spectrum Clocking)產生技術被廣泛用於數位系統中，但這個技術卻很少被應用於汽車功率系統中的電源開關或橋接器。本篇論文即探討應用該技術，針對電源開關中常用之電流泵以降低電流切換產生之高頻電磁輻射，然而展頻時脈產生技術並非萬能，需對於頻率偏移(frequency deviation)、調變頻率(modulation frequency)以及調變訊號(modulation signal)分別探討。展頻時脈技術在頻率偏移上可降低電磁干擾，特別是高階項諧波降低更加明顯，但頻率偏移量有其上限，因為會造成高階項諧波的重疊，結果反而造成高階項諧波的相互干擾；調變頻率一般會大於20 kHz，主要是考量避免干擾人耳的聽力範圍，但當調變頻率小於頻譜分析儀的解析頻寬(RBW)設定時(小於30 MHz為9 kHz，大於30 MHz為120 kHz)，使用峰值、平均值與準峰值偵測器的三種方式所量測出的頻譜有很大的差異(特別是峰值與平均值)，理由是調變頻率小於解析頻寬時，偵

測器無法將所有小於解析頻寬的頻率成分解析出來，因而拉低平均值造成頻譜上的差異，實驗結果兩者差異可到19 dB；調變訊號有正弦波、三角波與矩形波三種方式，當中以矩形波有較大之頻譜表現，但調變訊號方式對於電磁輻射較頻率偏移與調變頻率之影響為小。

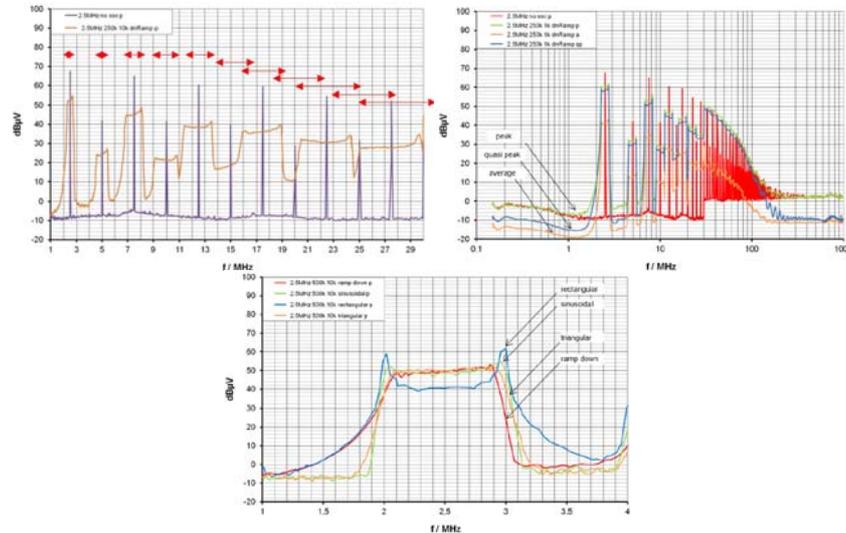


圖10：三種影響展頻時脈產生技術之因素：頻率偏移、調變頻率以及調變訊號

## 7. The Direct RF Power Injection Method up to 18 GHz for Investigating IC's Susceptibility (用來測試積體電路耐受度頻率可達 18 GHz 的直接射頻功率注入法)

作者：Yin-Cheng Chang, Shawn S. H. Hsu, Yen-Tang Chang, Chiu-Kuo Chen, Hsu-Chen Cheng, Da-Chiang Chang, National Chip Implementation Center, National Applied Research Laboratories, Hsinchu, Taiwan; Institute of Electronics Engineering, National Tsing Hua University, Hsinchu, Taiwan; Bureau of Standards, Metrology and Inspection, M.O.E.A, Taipei, Taiwan

摘要：本篇為本局與國家實驗研究院國家晶片中心共同合作之論文，主要是研究如何拓展現行傳導耐受性測量國際標準(直接功率注入法)，研究的方法主要為如何在電路板上設計寬頻的耦合網路(coupling network)，影響耦合網路的主要因素有耦合元件、電路板與轉接頭，首先評估選用高頻達40 GHz的電容與電感元件，接著設計50歐姆阻抗的傳輸線路並使用高頻電路板，最後使用頻率可達26.5 GHz的轉接頭以構成頻寬可達18 GHz的耦合網路，實驗以穩壓器為對象進行高頻直接功率注入量測，由實驗結果可知，積體電路仍會受到高頻的干擾訊號影響而失效。

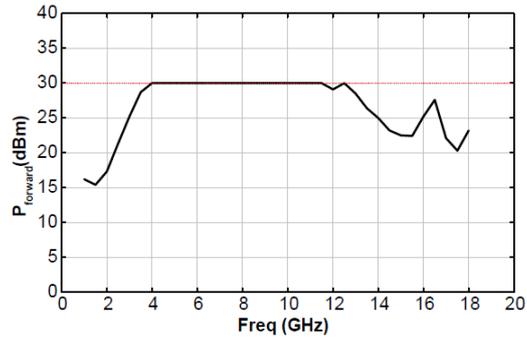


圖11：穩壓器直接射頻功率注入法之高頻量測結果

## 8. A Microcontroller Conducted EMI Model Building for Software-level Effect (微控制器軟體指令效應之電磁傳導干擾模型建立)

作者：Hugo Pues, Ben Briké, Celina Gazda, André Durier, Dries Vande Ginste, Peter Teichmann, Kristof Stijnen, Christian Peeters, Melexis Technologies, Tessenderlo, Belgium; Continental Automotive France, Toulouse, France; Ghent University, INTEC, Gent, Belgium

摘要：本篇論文主要研究微控制器軟體指令對於電磁干擾的影響，並建立其傳導電磁干擾模型，因為許多商用積體電路無法取得實體與電路結構，要建立對應之模型有其困難度，因此本篇論文藉由黑盒子法，企圖由外部已知參數，進而推估出內部模型，方法是先根據IEC 62433標準建立出積體電路的模型，模型內有兩種未知參數(被動網路參數以及主動電流源參數)，再利用電路板的元件，製造分別具有不同數值但已知或可變參數的三種電路板，利用其中兩塊電路板求解內部兩項參數，第三塊則是驗證模型的正確性，最後建立之軟體指令效應模型與量測結果在100 MHz以內有相當高度的吻合性。

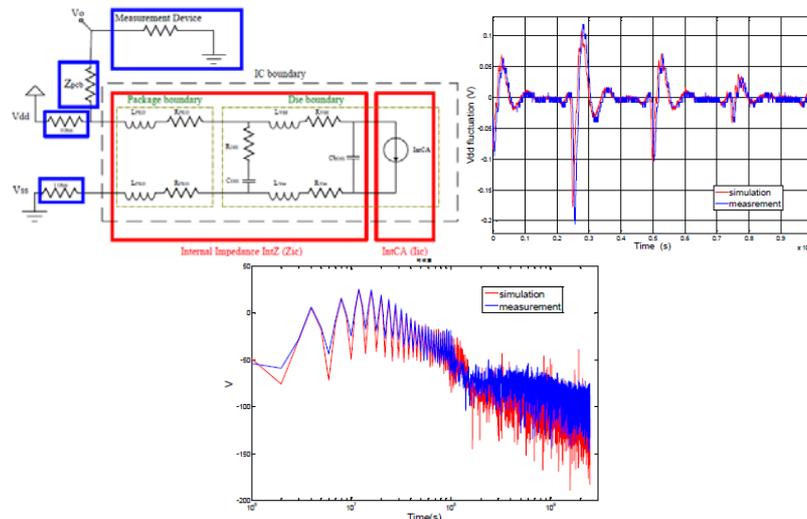


圖12：黑盒子法模型建立

## 肆、結論與展望

今年在日本奈良所舉辦的電磁相容研討會，內容涵蓋了標準、電磁相容模型、老化、耐受度等議題，其中最熱門的項目大概是三維積體電路電磁相容與耐受度研究。在聯合研討會上，喬治亞理工大學的 Swaminathan 教授也歸納出面對三維積體電路的挑戰以及可能的解決方式，國際大廠台積電與三星電子亦分別提出製程上的解決方案與設計上的因應方式，也有多篇論文探討三維積體電路對電磁相容的影響以及如何建立其電磁模型。耐受度議題則有多篇論文分別就積體電路層級以及汽車電子兩類型主題作發表，主要原因是當積體電路越小，單位面積所容納的電晶體數量也越多，功能區塊彼此之間的距離也越來越近，耦合與干擾的效應也更加明顯，同時為了省電與製程考量，工作電壓也隨之降低(傳統製程的 3.3 伏特降為高階製程的 1 伏特)，因此帶來的負面效應就是容錯空間變小，亦即高階製程積體電路所需要面臨的耐受度問題，這個問題在汽車產業甚至醫療航太更被重視，因為人命關天，許多電子零件主宰了關鍵安全機制，因此積體電路或是電子模組的穩定性與耐受度是相當重要的被評估項目。

與會過程也與大陸華為的工程師有所接觸，也了解到手機製造商在製作輕薄短小的電子商品上除了既有的電源與訊號完整性的考量外，電磁相容已從原本的後端檢測項目提升至前端設計模擬考量階段(也呼應三星電子發展 ALPS 平台)，為此該公司除成立 100 名以上人力的電磁相容部門以解決手機平台的問題外，更積極派員參加國際間電磁相容研討會；來自大陸湖南國防科學技術大學的教授也在言談間提到，積極推動大陸積體電路電磁相容的技術能力，更派遣多名留學生至法國相關單位研習積體電路電磁相容技術，並準備在大陸推行積體電路電磁相國家標準，甚至不排除對積體電路電磁相容項目作強制性要求。

此次研討會本局所發表的論文「The Direct RF Power Injection Method up to 18 GHz for Investigating IC's Susceptibility」在第三天以海報方式呈現，現場並有許多專家學者就內容上做充分溝通與討論，有學者提出如何證明待測物的耐受度完全是受到傳導影響而非輻射耦合造成的，也有學者提出接地迴流路徑的問題，這些意見都是相當重要且寶貴的，也是此行的最大收穫。