

出國報告（出國類別：會議）

參與 2013 VLSI Circuits Symposium
超大型積體電路會議

服務機關：國立中正大學 資訊工程學系

姓名職稱：林泰吉 助理教授

派赴地點：日本 京都

出國期間：102 年 6 月 12 日至 102 年 6 月 16 日

報告日期：102 年 6 月 24 日

摘要

國際電機電子工程師學會舉辦的「超大型積體電路會議 (VLSI Circuits Symposium)」是僅次於有積體電路奧林匹克美稱的「國際固態電子電路會議 (ISSCC)」的年度重要聚會；因為其規模相對較小，更吸引相關議題的學者專家進行細部的討論。中正大學晶片系統研究中心在本年度會議發表自適性電壓調整及超低電壓之助聽器用濾波器晶片「A 0.36V, 33.3 μ W 18-band ANSI S1.11 1/3-octave filter bank for digital hearing aids in 40nm CMOS」，與相關領域的研究學者互相交換意見，同時也針對於相關研究領域的最新技術發展進行資料蒐集。

本文

目的

參與本年度超大型積體電路會議的目的為發表中正大學晶片系統研究中心之研究成果：自適性電壓調整及超低電壓之助聽器用濾波器晶片「A 0.36V, 33.3 μ W 18-band ANSI S1.11 1/3-octave filter bank for digital hearing aids in 40nm CMOS」，同時與相關領域的研究學者互相交換意見，也針對於相關研究領域的最新技術發展進行資料蒐集。

過程

我們發表的論文被安排在會議的第 20 個場次「醫學處理 (Medical Processing)」，該場次之主席為目前在台積電任職的許炳堅教授及 Marvell 公司之 E. Yeo，許教授在會議前數週便要求該場次的所有論文進行演練，以確保報告的高品質。

我們發表的超低電壓、節能晶片設計技術主要的核心技術是一個新穎的自適性電壓調整機制。目前較先進的自適性電壓調整技術皆採用內嵌效能監控技術 (in-situ performance monitor；即區域時序偵錯及校正機制)，但須花費額外的時間進行錯誤補償，實現內嵌效能監控最常見的方法為基於雙重取樣的電路層級延遲臆測設計技術：傳統的同步電路

都會令執行的時脈速度調整至相等或超過於計算核心的最差情況時路徑延遲，以保證計算在所有情況下皆能及時正確完成。但雙取樣機制為了支援延遲臆測電路，則會激進地會令可以執行的時脈低於計最差情況時的路徑延遲以達到更快的速度。雙取樣機制需要兩個門鎖分別儲存臆測的值以及正確的值，以及比較器比較臆測的結果，還有一個時脈延遲門鎖正確的值，首先會提前將臆測結果取樣於第一門鎖（但前提是多數計算皆可在目前調整的時脈內完成，否則雙取樣機制得到的效益將會很少甚至沒有），經過額外的時脈延遲後（時脈延遲的速度必須加上先前的時脈速度，需與最差情況時的路徑延遲相等或超過保證獲得正確運算結果），再取樣正確結果於第二門鎖，以驗證臆測之正確性。若兩者一致則代表臆測成功，計算繼續進行；若非，基於錯誤臆測結果之計算被清除，而存在第二門鎖的正確結果會在下一時脈週期反饋門鎖入第一門鎖重新進行計算。錯誤臆測的系統行為相當於暫停管線（stall）一個時脈，或是該筆資料運算耗費兩個時脈完成。我們在本次超大型積體電路設計會議發表的電路層級「時脈借取及區域升壓（time borrowing and local boost；TBLB）」技術則完全不會造成額外的時脈週期，非常適合於訊號處理等固定訊號偵幅（fixed rate）之應用中。本作品則以助聽器中之無限脈衝響應（infinite impulse response；IIR）濾波器設計進行效能展現；另外，由於我們所提出的技巧完全是電路層級之設計最佳化，

故完全不需要更動到架構設計，換言之，是一個幾乎完全透明的實現技術，可以輕鬆應用在各式需要低功率消耗，或是先進製程下高度變異環境的設計中；最後，我們所提出之電路架構可輕鬆操作在近、次臨界電壓操作條件下，可更進一步壓低系統功耗。我們所發表的「A 0.36V, 33.3 μ W 18-band ANSI S1.11 1/3-octave filter bank for digital hearing aids in 40nm CMOS」吸引了不少聽眾前來聆聽。最值得一提的是，前述雙重取樣電路層級臆測技術 Razor 的發明人：密西根大學的 David Blaauw 教授也專程前來全程聆聽我們發表的論文，並率先針對關鍵的局部升壓技術與相關電路延遲規格進行提問。



上頁所附之照片為大會會議之醫學處理場次論文發表的實況，可以很容易地觀察到，每個場次的參與人數都非常多，大家也都非常專心聆聽演講者報告，在每篇會議論文報告結束時的提問也非常的踴躍。如同前述，超大型積體電路會議相對是精巧精緻的活動，最多只有三個議程同時進行，與本研究團隊高度相關的研究論文包括：

JJ1-2 由 Intel 發表的 22 奈米近臨界電壓 (0.4V) 路由器設計，使用輸入端緩衝之蟲洞演算法實作二維網格網路，在 0.85V 可以 1GHz 高頻率操作，在 0.34V 也有 67MHz 的效能表現；至於低電壓操作時之容錯設計包括傳統的 ECC 機制及 FLIT 重播，在低電壓操作時可有 675 μ W 的極低功耗表現。

JJ1-5 由東京大學/慶應大學/STARC 共同發表利用時脈網路局部升壓之 40 奈米 0.5V SIMD 處理器，Sakurai 教授在低電壓設計及電源設計方面研究表現傑出，本作品藉由數位電路設計中關鍵的時脈電路設計主導效能表現之觀察，利用其些許升壓的技巧，在不嚴重影響時脈網路之能耗的條件下，大幅降低時脈電路所引發的延遲不確定，減少為提升良率所需要的能耗成本。

7-1 由三星科技發表受邀論文分析手持裝置應用需求對半導體科技造成之影響，由手機螢幕大小及解析度、手機大小及重量、計算平台的計算能力及電池容量之近年發展趨勢，分析目前數種熱門的研發方向，

包括 3DIC 之 TSV 技術、FinFET、FDSOI；及顯示之 BSI、計算平台的 big.LITTLE，包括 GPU 之異質性計算平台設計及軟體架構與 LPDDR3，甚至是封裝等技術都有概略性的介紹。

9-5 由清大/工研院/台積電共同發表之 RRAM 模組設計，利用與 CMOS 製成高度相容之 RRAM 技術，設計 0T1R 之細胞元件，並利用溫度感知之電流模式讀取電路大幅提升其效能，將技術指標縮短至 5ns 以下。

JJ2-2 由瑞薩公司發表之可抵抗軟錯誤之的 20 奈米 0.6V 之靜態記憶體，其利用交錯式的字元線（interleaved wordlines）設計與階層是位元線（hierarchical bitlines）設計方式，解決低電壓鄰邊寫入時出現的半寫入（half-select）問題，使其可以操作在廣域的操作電源下。值得一提的是，這是近年來少數由業界所發表的低電壓靜態隨機存取記憶體模組設計。

16-1 由德州儀器公司所發表之結合先進 FRAM 之微控制器平台，可大幅壓低微控器在睡眠模式的電源耗費，其效能指標在即時時脈模式（real-time clock mode）下可以到 350nA，因為與先進記憶體之結合更可將甦醒操作時間控制在 6.5 μ s 內，此篇參考設計可供為本研究團隊在開發下一代低功耗處理器及微控器設計平台時重要的效能參考指標依據。

23-4 由密西根大學發表之適用於臨界電壓電路操作之局部升壓電路技巧。本篇文章由前面所提及之 David Blaauw 教授的研究團隊所發表，其提及在低電壓操作時常常稍微一些的電源升壓就可以解決掉非常多良率及效能過度耗損的問題，此作品則是針對高速需求，可以在 26ns 以內達到協助 3nF 之電源局部升壓的效果。

心得與建議

本次會議可發現，中正大學晶片系統研究中心所從事的抵抗設計參數變異、超低電壓處理器及系統晶片設計是非常熱門且受重視的，目前正在執行的研究計畫也在時代之先端。會議期間學術研究交流之踴躍與頻繁自然不勝枚舉，更值得一提的是企業與會人數也佔一定數量，因此提問時的問題更真實與切合實際應用考量，故不論對論文發表者與會議參與者都提供了相當價值的經驗學習。