



行政院所屬各機關因公出國人員出國報告書

(出國類別：其他)

赴克羅埃西亞參加 2011 EMC COMPO

國際研討會心得報告

服務機關：經濟部標準檢驗局

出國人職稱姓名：技士 陳秋國

出國地點：克羅埃西亞國杜布羅夫尼克市

出國期間：中華民國 100 年 11 月 3 日至 11 月 11 日

報告日期：中華民國 101 年 2 月 6 日

行政院研考會/省(市) 研考會編號欄

目 錄 頁次

- 壹、 前言與目的
- 貳、 行程簡述
- 參、 活動紀要
 - 一、 參加專業論壇
 - 二、 技術論文發表
 - 三、 技術交流
- 肆、 心得與建議

赴克羅埃西亞參加 2011 EMC COMPO

國際研討會心得報告

壹、 前言與目的

本次研討會在克羅埃西亞國杜布羅夫尼克市舉行，杜布羅夫尼克 (Dubrovnik) 是，古稱拉古薩 (Ragusa)，克羅埃西亞南部港市，此城面臨著義大利半島的東岸，位於杜布羅夫尼克地峽之末端，在 2001 年人口有 49,728 人。

本局為電氣產品電磁相容(EMC)之主管單位，應了解目前國際 IC-EMC 電磁相容之趨勢，以便政策上能有所因應， EMC COMPO 是 IC-EMC 很重要的一個國際研討會，歐美日重要的 IC-EMC 學者、專家及幾個 IEC IC-EMC 標準委員(例如 EADS-IW :Dr. Christian Marot (IEC WG9 召集人), Infineon: Dr. Frank Klotz (IEC 62132-4 DPI Project leader),京都大學: Prof. Osami Wada, ESEO 大學: Prof. Mohamed Ramdani 等)都會參加這個國際研討會，一些車用大廠(例如 Infineon, Freescale 半導體公司,STM 意法半導體等車用 IC 大廠)常會將最先進的 IC-EMC 技術大部分都會在這研討會作發表，而這些新的技術也常被提案為 IEC 草案標準的一部分,最後經相關程序而成為 IEC IC-EMC 國際標準,今年台灣 IC-EMC 技術論文發表量為 1 篇，其為本局與逢甲大學共同發表 IC-EMC 技術論文。

本次參與研討會的目的是蒐集 IC-EMC 最新的論文技術資料、與國際 IC-EMC 學者專家進行交流、與法國學者及其他國家 IC-EMC 專家討論 X-DPI IEC 標準的研究及發表 IC-EMC 技術論文 1 篇。

貳、 活動行程簡述

參訪行程：

- 11 月 3-5 日：台北搭機赴克羅埃西亞國杜布羅夫尼克市。 [備註]:增加 1 日(11/3)為自費行程。
- 11 月 6 日(星期日)：「EMC COMPO 2012 國際研討會」會場辦理報到手續及領取會議相關資料，之後開始研讀會議相關資料與了解會場環境，並快速瀏覽各 session 的論文題目，以安排準備聆聽的會議場次，下午參加 Tutorials 論壇。
- 11 月 7 日(星期一)：參加 Kenote Talk 及專業技術論文發表會。
- 11 月 8 日(星期二)：參加 Kenote Talk 及專業技術論文發表會，下午 4:00PM，陳秋國技士進行論文發表報告。
- 7 月 9 日：參加 Tutorials 論壇。
- 7 月 10-11 日從克羅埃西亞國杜布羅夫尼克市搭機回台北

參、 活動記要

一、 大會活動記要

本次研討會主要主題為: 從 IC 至系統層級導入 EMC 設計(“EMC-Aware Design from IC to System Level”), 分成幾個次項標題, 包含:

- Measurement and modelling of IC susceptibility
- EMC-aware IC design and guidelines
- Measurement and modelling of IC emission
- EMC-driven IC/PCB co-design
- EMC issues in System-on-Chip
- Tools to handle EMC at IC-level
- EMC issues in System-in-Package (SiP)
- Computational Electromagnetics for IC-level EMC
- EMC issues in smart power ICs
- Harsh environment effects on IC-level EMC
- EMC of ICs in wireless communications

- Long-term electromagnetic robustness of ICs
- EMC of ICs for biomedical applications
- Extending EMC standards and regulations up to 6 GHz
- Materials for improved EMC of ICs
- Modern EMC education on IC-level EMC
- Signal Integrity and Power Integrity on PCB-level

我們可以看到 IC EMC 的發展趨勢朝著從 IC 至系統 EMC 作系統整合模型驗證及在 IC 設計流程導入 EMC-aware 解決方案來解決 EMC 的問題，探討 3D-IC、綠能、多核系統、混合信號整合、異質整合之 EMC、信號完整性，在系統晶片的整合、混合電路的整合、3D-IC 或是 2D 或 3D 的異質整合，因目前電路的速度越來越快，而產生晶片或模組間互聯 (interconnect) 的信號完整性問題、電磁相容問題、在混合電路中數位電路干擾類比電路、類比電路的耐受性問題及 3D-IC 的散熱等問題變得越來越複雜，為確保系統可以正常運作，有必要導入從 IC 至系統層級導入 EMC 設計(“EMC-Aware Design from IC to System Level”)，降低設計的風險，加快產品上市的時間。

下面將針對幾個比較重要的論文作一些介紹，以進一步了解這些系統晶片技術發展的趨勢:

(一) Kenote Talk

題目: “Electromagnetic Interference Reduction in highly complex heterogeneous SoC”

主講者: Marcello Coppola and Davide Pandini, ST Microelectronics

在現代數位 IC 電路，性能和速度的需求不斷增加，電路的速度有許多的應用超過 GHz，增加了一些電磁相互作用的效應，而產生了 EMC 的問題，因此 EMC/EMI 變成高性能 SoC 平台及封裝設計者主要關心的問題。傳統上，為降低晶片上的 EMI 問題，所

採用不同的工程解決方案大部分是以嘗試錯誤法進行而不是以結構性或有系統性的方法來解決，很明顯得這方法不再被接受，因為國際標準、法規及消費者要求對 EMC/EMI 問題進行深入的理論了解，並以有系統的程序及可重複使用的解決方案來解決廣泛適用於一般產品應用上所遇到的 EMC 問題，使其製造前可以精確的模型技巧來估測 EMC 的行為，並改進由上而下(top-down) IC 設計流程，導入 EMC-aware 設計方法，來減少 EMI 的效應，以降低 IC 設計風險及成本的耗損。以照相機記錄部分較重要的簡報資料如圖 1-圖 9 所示，圖 1:Embedded system 應用的醫療健康照護產品是未來很重要的應用產品及市場，這些應用也推動異質整合系統晶片及 3DIC 技術進一步的發展。圖 2:未來 IC 系統整合的發展趨勢已由 2D 平面 IC 系統晶片整合朝 3DIC 系統晶片整合發展說明，而在 3DIC Die 與 Die 經由 TSV 作整合，晶片的互連越來越密及靠近，使得 TSV-based 3D IC 的 EMC 問題面臨很大的挑戰。圖 3:傳統 IC 設計流程須等到完成系統產品的製造後才進行 EMC 的測試及驗證，若發現問題才會去追溯問題及作 EMC 對策，等最後發現 EMC 問題出現在 IC 時，再重新去設計 IC，中間可能因嘗試錯誤法而導致嘗試多次的 IC 重新設計及製造後，最後系統產品才通過 EMC 測試及驗證，所造成的時間及成本的花費將造成成本大幅上升及較高的開發風險。圖 4:未來新的 IC 設計將在 IC 設計流程中加入 IC-EMC 的驗證及加入 IC-EMC aware 的設計方法，使得在設計階段無法通過 IC-EMC 驗證的 IC 可以在設計階段進行改善，最後使得在設計階段通過 IC-EMC 驗證的 IC，製造完成時可以符合 EMC 法規的規定。圖 5:系統 EMI 模擬流程將以電路模擬器作晶片模型(CPM; chip

module)、封裝模組(package module)、電路板模組作系統整合，接著進行時域模擬後再經 FFT 轉換成頻域，最後將模擬結果與量測結果進行比對驗證。圖 6:結論-(1)Embedded system 發展的 4 大趨勢 (2)IC 發展朝向 3D 堆疊的方式作發展(3)TSV-based 面臨的 EMI 挑戰(4)加入 IC-EMC 的 IC 設計流程(5)EMC-aware 設計來減少 IC EMI 干擾(6) EMC-aware programming，以軟體的方式對 EMC 進行對策。



圖 1. 電子產品在健康照護市場的趨勢

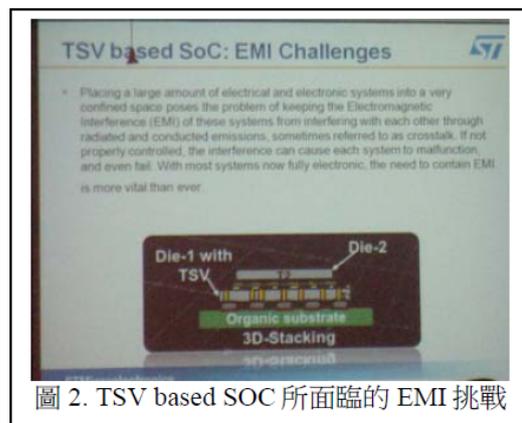


圖 2. TSV based SOC 所面臨的 EMI 挑戰

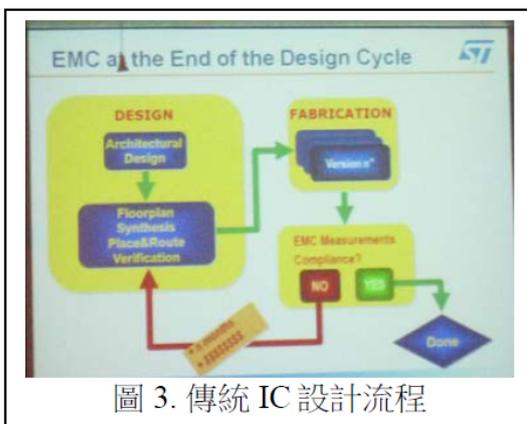


圖 3. 傳統 IC 設計流程

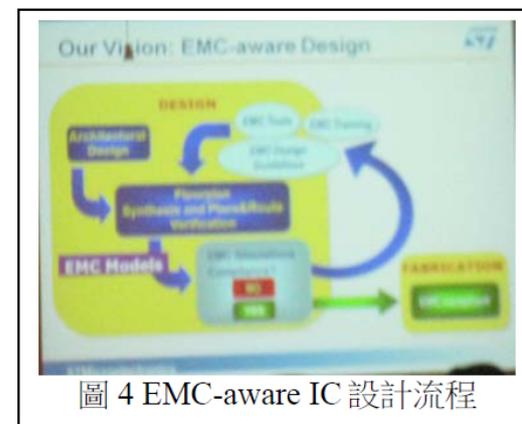


圖 4 EMC-aware IC 設計流程

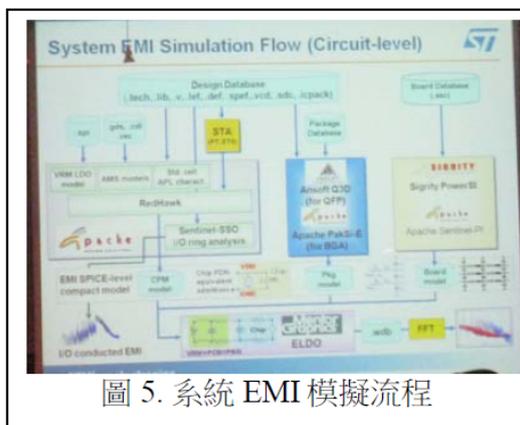


圖 5. 系統 EMI 模擬流程

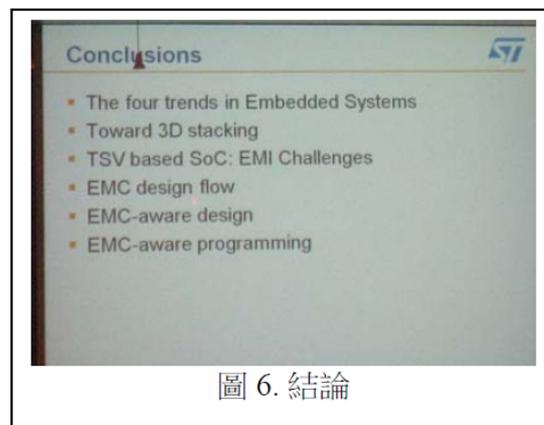


圖 6. 結論

題目: Signal Integrity and EMC in 3D Integrated Circuits

主講者: Erping Li, A*STAR Institute of High Performance Computing, Singapore

電磁相容已變成IC設計主要的問題之一, 新的TSV based 3D IC技術是下一代新興IC技術, TSV正變成關鍵性的互連連接dies之間的垂直結構, 電磁的特性化包含信號完整性、電源完整性及EMC正成為主要的設計障礙, 因為高頻的損失, 耦合及電磁輻射, 這個主題演講主要內容涵蓋: 3D IC在TSV新提出的模型、量測設計及分析方法。以照相機記錄部分較重要的簡報資料如圖7-圖14所示, 簡單說明如下: 圖7說明CMOS製程scaling的趨勢, 在2012年製程已經發展到22nm及Tri-gate技術。圖8說明電子技術發展趨勢CMOS已發展到10nm及3D電晶體元件, 電路的速度也約來越快, 往1T/Hz以上方向作發展, 為使電路可以更高速, 在晶片上的互聯開始發展光纖互聯的技術。圖9說明新加坡2007-2015年3D IC的計畫, 可以發現新加坡非常積極進行3D IC及3D IC EMC/SI/PI的研究計畫。圖10是3D IC的設計方法, 分成3大階段(1)佈局(Planning)/高層級設計階段: 包含TSV/3D stack設計佈局, 早期電源分析、壓降(IR drop)分析、早期Clock結構分析、3D堆疊(stack)熱分析(2)設暨發展階段: 最後TSV及Stack網路、跨越Stack結構的Clock設計、TSV-aware的邏輯、電路及實體設計(3)晶片定案(release)階段: 3D timing分析、3D-aware 電路圖-Layout及電晶體電路圖-邏輯電路、Stack連續性分析、TSV設計規則檢查。圖11是系統整合的趨勢已由2D系統整合演進到3D系統整合, 3D系統整合具有減少互聯、功率消耗、異質整合及較小的面積等優點。圖12 3DIC系統整合因互連的信號線非常密、晶片間非常靠近及TSV通過高頻及高速的信號將面臨EMC/SI/PI問題的挑戰必須克服。圖13: 3DIC面臨許多多重物理特性的問題約要解決, 包含:(1)電性的問題(EMC/SI/PI)(2)熱性的問題(3)機械性的問題。圖14. 奈米波長電漿材質積體電路之願

景。圖15-17討論3DIC散熱的問題,熱對3DIC的可靠度的影響很大,熱與性能的共同模擬是相當重要的研究議題。圖18是結論:(1)工業界以快速的採用3DIC的技術。(2)EDA工具被要求支援3D IC設計。(3)薄片的3D IC控制功率及散熱的管理(4)使用TSV的3DIC趨勢(5)EMC/SI/PI 在3D IC的發展上需要投入更多的注意及心力。



圖 7: CMOS 製程 scaling 趨勢

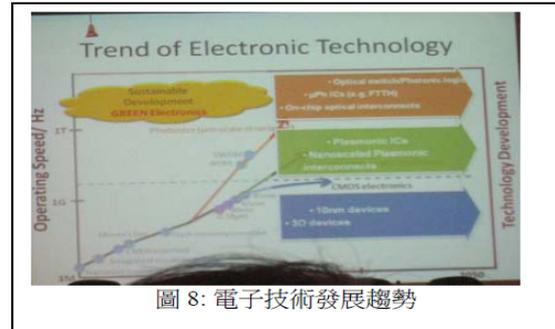


圖 8: 電子技術發展趨勢

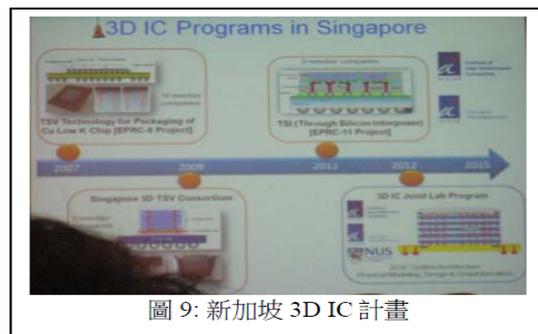


圖 9: 新加坡 3D IC 計畫



圖 10: 3D IC 設計方法

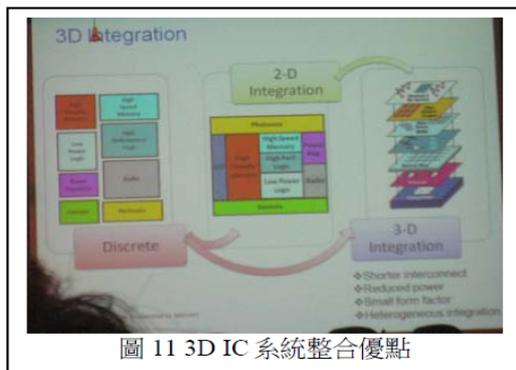


圖 11 3D IC 系統整合優點

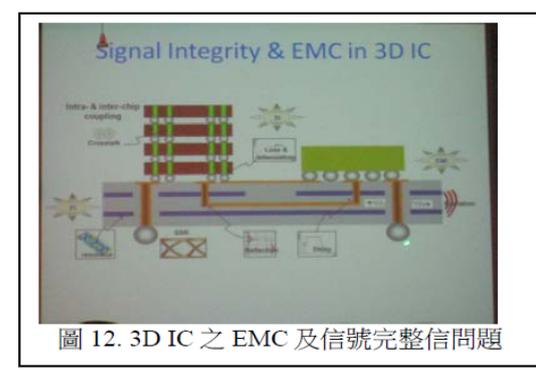


圖 12. 3D IC 之 EMC 及信號完整信問題



圖 13. 3D IC 多重物理問題

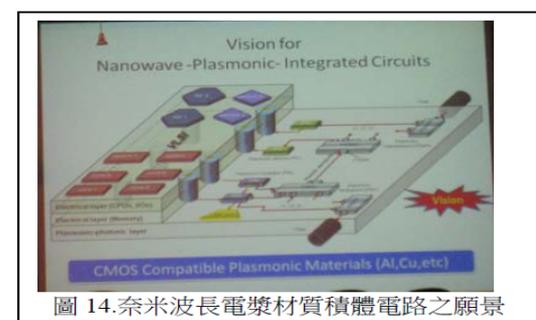


圖 14. 奈米波長電漿材質積體電路之願景

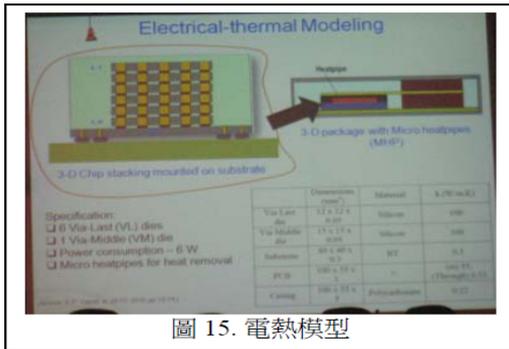


圖 15. 電熱模型

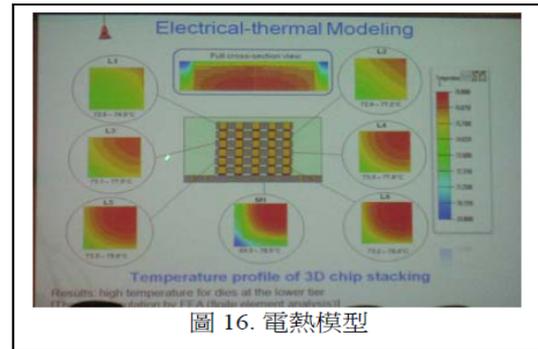


圖 16. 電熱模型



圖 17. 電源及熱的控制

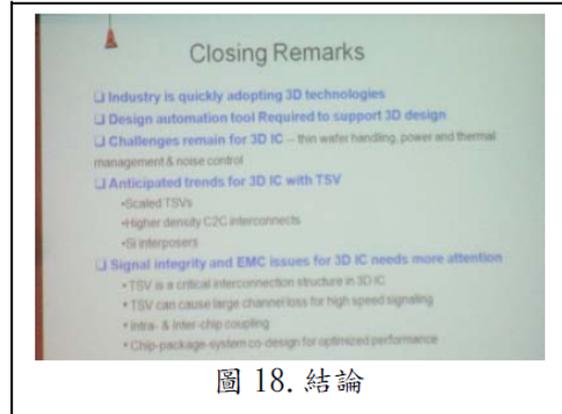


圖 18. 結論

(二) 技術論文發表

1. Construction and Evaluation of the Susceptibility Model of an Integrated Phase-Locked Loop

作者: A. Boyer, B. Li, S. Ben Dhia, C. Lemoine(LAAS-CNRS, INSA de Toulouse), B. Vrignon(Freescale Semiconductor)

發展 ICEMS 模型已變成 IC 供應者在製造前去估測晶片是否通過耐受性測試及避免重新設計之一個主要關心的事,這篇論文發表一鎖相迴路(PLL)晶片對諧波擾動達 1GHz 的耐受性模型,這模型的建構是基於基本電路資訊及 S 參數量測,一個模型準確性的評估被確認藉由內部感測器來特性內電壓的擾動。

2. Assessment of the Radiated Immunity of Integrated Circuits in the 3 - 40 GHz Range

作者: Richard Perdriau, Mohamed Ramdani(ESEO), Olivier Maurice, Soizic Dubois(GERAC), Etienne Sicard (INSA de Toulouse)

這篇論文研究脈波局部輻射電磁注入在3-40GHz的客製化數位IC, 許多參數(載頻, 振幅, 脈波寬, 及周期)的影響被舉例, 並與以不同文獻獲取的結果作討論及比較, 這實驗聚焦在(EMS)耐受性弱點, 而這耐受性弱點可能出現相對低的注入功率之頻率範圍。

3. Vertical Noise Coupling on Wideband Low Noise Amplifier from On-chip Switching-Mode DC-DC Converter in 3D-IC

作者: Kyoungchoul Koo¹, Sangrok Lee and Joungho Kim(Terahertz Interconnection and Package Laboratory Department of Electrical Engineering, KAIST)

3D-IC混合信號系統介紹垂直雜訊耦合, 其是一種藉由近場耦合到邏輯IC及RF/類比ICs之新的雜訊耦合路徑, 為了保證系統的性能, 在系統設計階段應該知道垂直雜訊的耦合的量, 這篇論文發表在3D-IC組態下, 垂直雜訊耦合在寬頻低雜訊放大器從200MHz on-chip切換模式DC-DC轉換器之頻域及時域量測結果, 從有推疊LNA矽基板之測試載板上作測試, 垂直耦合雜訊是夠嚴重去阻斷RF接收機的操作; 達到80mV及500mV的雜訊, 分別是橫越每個電感的垂直耦合雜訊, 及在LNA的信號輸出雜訊, 這篇論文的垂直耦合雜訊的量測結果喚醒這3D-IC混合信號系統及可以作為在3D-IC混合設計垂直耦合雜訊的參考。

4. Novel Modeling Strategy for a BCI set-up applied in an Automotive Application

作者: Andre DURIER (CONTINENTAL AUTOMOTIVE FRANCE SAS), Hugo PUES (MELEXIS Technologies NV)

車輛工業電子供應者使用大電流注入法(BCI)量測法去認證設備的耐受性, 而電子元件的製造商卻使用直接功率注入法(DPI)去認證其零組件, 由於排線(harness)共振效應, 由車輛供應商對元件製造商所作的BCI測試的準位是超過標準DPI的要求, 這篇論文提出使用BCI set-up模型去計算等效在元件獲得的DPI準位並用DPI的量測去比較結果。

5. Measurements and Co-Simulation of On-Chip and On-Board AC Power Noise in Digital Integrated Circuits

作者: Kumpei Yoshikawa¹, Yuta Sasaki¹, Kouji Ichikawa², Yoshiyuki Saito³ and Makoto Nagata¹

IC的電源雜訊是經由晶片-封裝-電路板整合的電源網路的頻域阻抗及電路的操作頻率來主控特性, 一65nm CMOS晶片嵌入一高精準 on-chip 波形捕捉, 清楚地展示有從晶片內部數位電路看到的平行共振之 AC

電源雜訊元件,經由波形捕捉裝置取得之晶片內電壓雜訊及經由磁場探針板子量測的電流雜訊也被實驗,另外,快速電源電流分析使用一個數位電路之電容充電模式及精確的 AC 電源雜訊的共同模擬,與晶片-封裝-電路板整合成 PDN 阻抗模型。

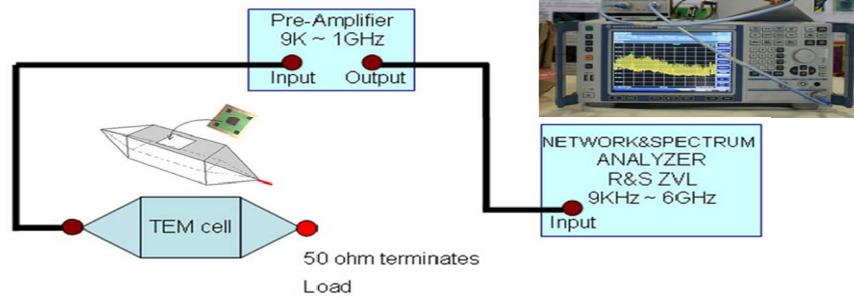
(1) Tools to handle EMC at IC level Statistical Analysis of EMI Noise Measurement for Flash Memory

作者: Han-Nien Lin, Chung-Wei Kuo, Jia-Li Chang (逢甲大學)

Chiu-Kuo Chen (經濟部標準檢驗局)

積體電路(Integrated Circuit, IC)製程技術演進快速,目前達奈米製程且頻率亦越來越高,因此,IC 內部的各元件及走線距離縮小,導致元件及走線之間相互干擾,使得 IC 產生雜訊,造成系統性能下降,甚至產生了誤動作。為了達到積體電路電磁相容(Integrated Circuits Electromagnetic Compatibility, IC-EMC)之目的,量測及分析積體電路之電磁干擾對於系統組裝及 PCB 板佈局等所造成的影響極為重要。這篇論文透過 IEC61967-2[1] 橫向電磁波室(TEM cell)量測法、IEC61967-3[2] 表面掃描法及運用微型磁場探棒,統計與分析快閃記憶(Flash),探討在不同指令操作、電壓與操作頻率下所產生的電磁輻射。Flash 的動作主要為三種狀況,分別為抹除(Erase)、讀取(Read Data)、寫入(Page Program),我們將不同型號的 Flash 利用不同的電壓輸入、操作頻率及不同的操作速度來分別取出它各種狀況下的 RF 雜訊峰值。本篇論文所選用的快閃記憶為 4M-Bit,而其操作電壓為 2.7V ~ 3.6V。下面圖是我們量測的 TEM Cell Setup 圖

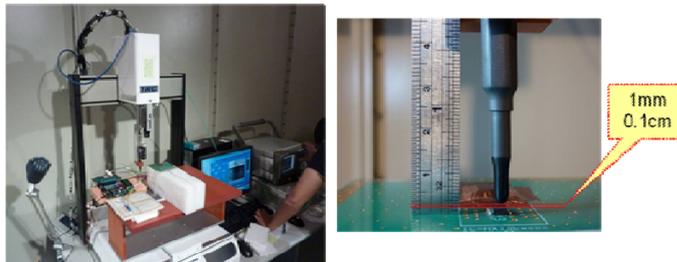
TEM cell (IEC61967-2)



為了找 EMI 干擾源,我們也進行近場的量測,下面圖是近場的量測 Setup 圖

TRC

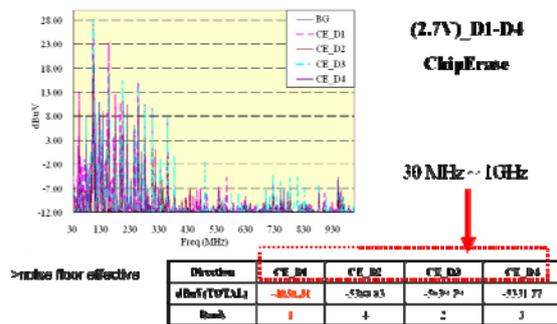
Platform Noise Scanner



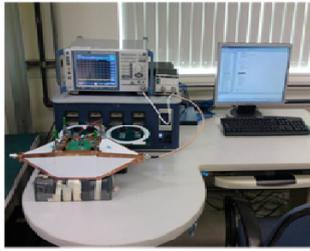
12

此表格是將快閃記憶體在抹除動作四個方向所量測到之雜訊進行加總，以比較那一方向所產生之雜訊較為嚴重 結果發現為方向 1,如下圖所示.

Noise Analysis of Flash Memory



此一量測之配置，目前是為配合高速時脈之操作，一般之微控制無法操作於 20MHz 以上之時脈，在此利用了 CHPT 之測試模組進行快閃記憶體之操作,如下圖所示.

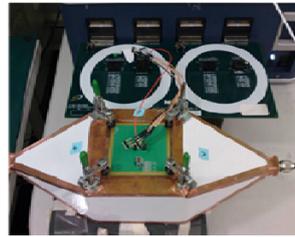


• **Flash Memory**

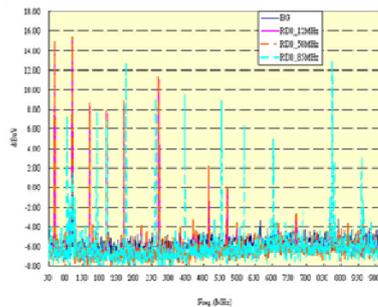
- 8M-Bit CMOS SERIAL FLASH
- Operating voltage: 2.7V~ 3.6V



CHPT: Tester
Analyzer: R&SFSV



此圖為 8M-bit 之快閃記憶體在進行寫入動作時分別操作於 12MHz、50 MHz 及 85MHz 之雜訊量測結果 ,透過右表之統計，我們發現 8Mbit 所產生之雜訊大於 4Mbit,另一方面，我們也發現在操作之時脈速度越高，雜訊越大 read 00, rd 0(-11.13), 85Mhz (max freq.)... ,如下圖所示.



8M bit > 4M bit

85MHz > 50MHz > 12MHz

2.7V 8Mbit RD0			
	12MHz	50MHz	85MHz
dFdBV	-65.70.59	-63.19.45	-60.77.77
W33	-6.5%	-6.1%	-6.1%
dFdBV			
2.7V 4Mbit 12MHz RD0	-55.76.88		



圖.本局陳秋國技士作論文發表

(三)Tutorials 專業論壇

1. Tools and methodologies for emission prediction during the IC design flow

主講者:Bertrand Vrignon

■ EMI modeling 的目的及動機:

1.目的:

- (1).提出一設計流程來推導及產生可以作為模擬IC的EMI(emission) 使用的macro-model。
- (2).企圖使用這模型去預估晶片、功能方塊、智財方塊或系統晶片層級之EMI(emission)，並朝向整合晶片至電路板層級作發展
- (3).Macro-model可以用來model類比及數位ICs(IOs,數位核及電源;digital core and supply)

2.動機: EMI model要求

- (1) 早期獲得模型能力--在IC設計及PCB設計階段
- (2)以Layout及netlist作EMI model
- (3)高精確度及低複雜度
- (4)容易整合至PCB SI/PI模擬器軟體
- (5)模型中不含有IP機密性智財
- (6)模型具有廣泛的接受格式

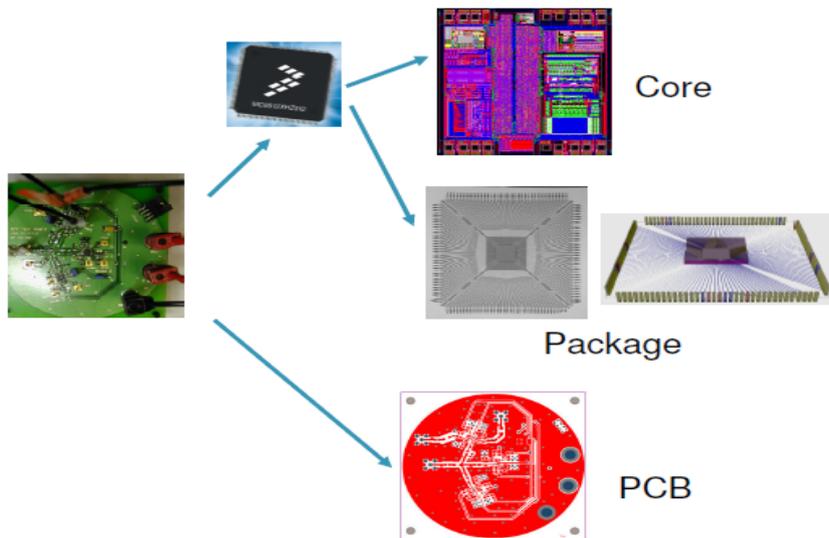
■ IC-EMC的macro 模型:ICEM

ICEM提供可以進行IC-EMI內部活動及IOs雜訊耦合的能力

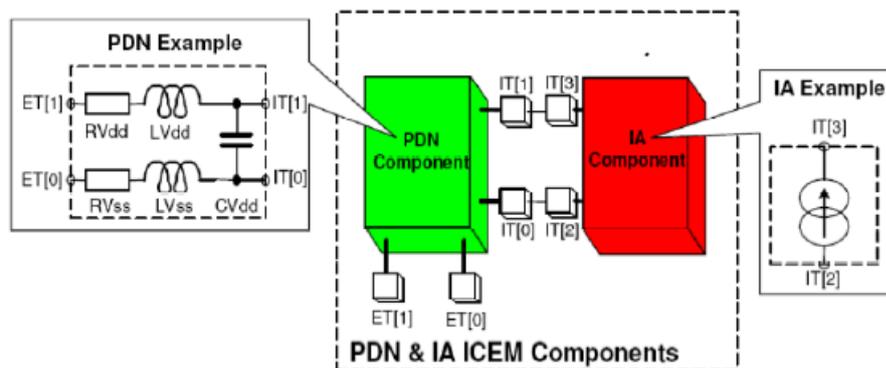
- (1) ICEM模型的參數可以從設計資訊或是量測取得。
- (2) ICEM是可以遞交給客戶之非機密性模型,使客戶可以作系統層級的EMC模擬。

■ ICEM 表示

- (1) PCB 層級應用的 EMI 模型可以分成 IC、封裝及電路板組成。



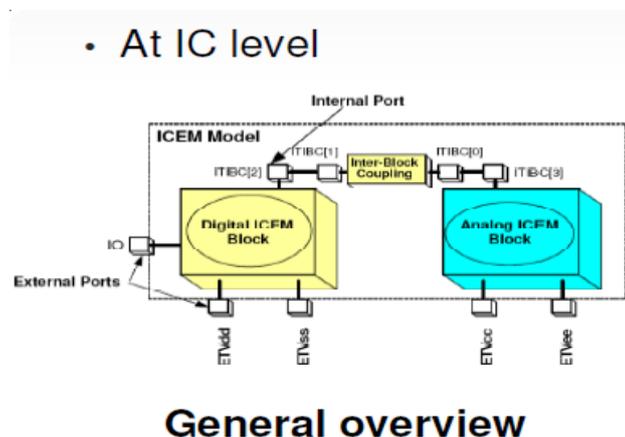
(2) 模型包括:雜訊源切換電流(IA)及晶片、封裝及 PCB 的雜訊耦合路徑被動分佈網路(PDN)(如下面圖所示)。



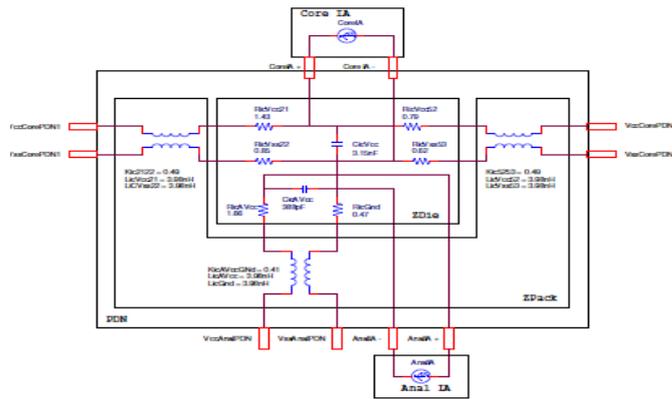
(3) ICEM Spice 格式由 RLC 元件或是 S-參數檔案組成。

(4) ICEMC 在 IC 層級的模型表示:

(a) 通用模型:可以由數位 ICEM 模型、類比 ICEM 模型及方塊互聯間之耦合(inter-block coupling)

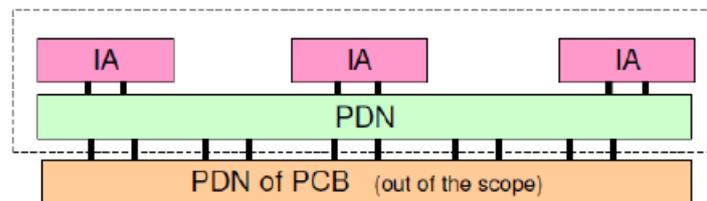


(b) Spice 模型:將方塊模型進一步展開成 Spice 模型如下圖所示:

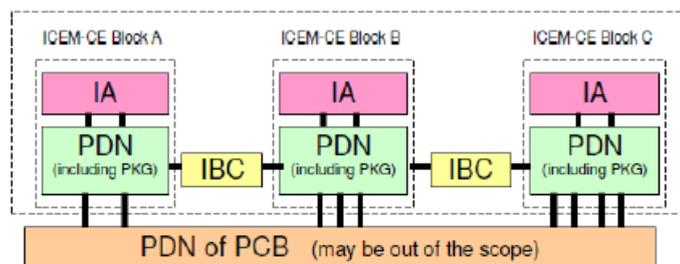


(5).PCB 層級:PCB 層級的 ICEM 模型表示可分為通用模型及 Block based 模型兩種表示方式

(a) 通用模型:



(b)Block based 模型:



■ ICEMC 模型建置的方法-量測法

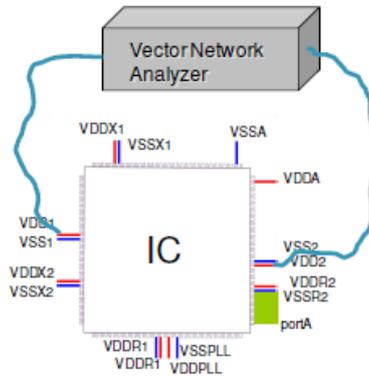
(1) PDN 模型

(a)PDN 量測之 SETUP 如下面圖(a)所示。

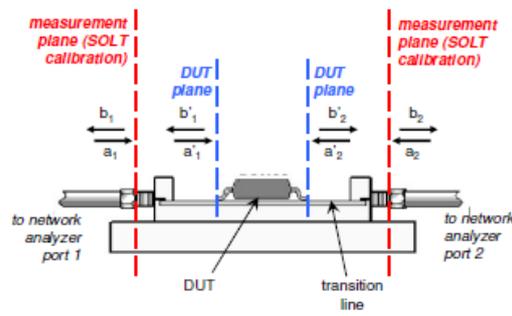
(b)需要去做 deembedded 傳輸線,以便將量測參考平面移到待測 IC 平面,如下面圖(a)所示。

(c)量測 PDN 實應該用加 DC 偏壓的情況下作量測。

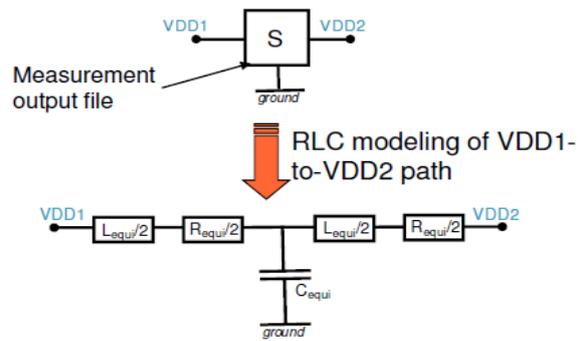
(d) 依量測結果萃取成 S 參數如下面圖(c)所示。



圖(a)



圖(b)

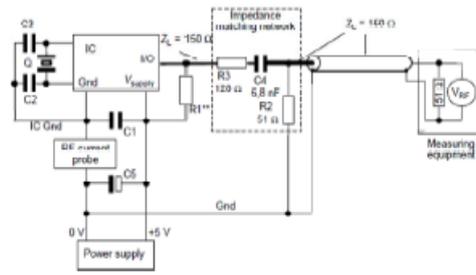


圖(c)

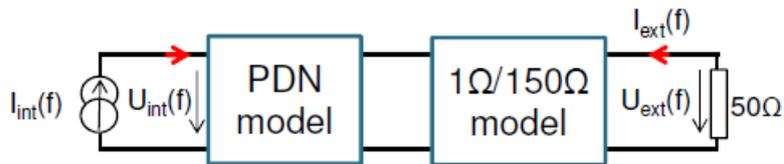
(2) 內部活動雜訊電流(Internal activity;IA)模型:

建立 IA 模型的方法:

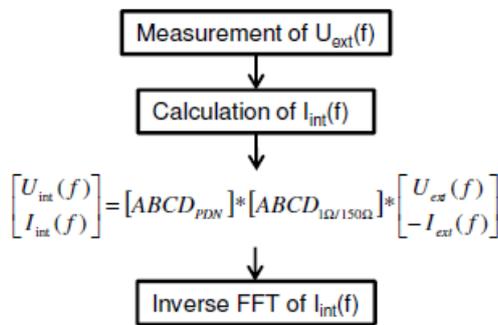
(a) 用 IEC 61967-4 (1 歐姆/150 歐姆) 量測法量測外部電流(如下圖所示)



(b)由外部活動電流(EA)計算內部活動電流(IA):方法如下面圖(a)及圖(b)所示,先量測得到外部活動的雜訊電壓 $U_{ext}(f)$ 及電流 $I_{ext}(f)$, 接著量測萃取 PDN 模型及加上 $10\Omega/150\Omega$ 模型,然後以數學運算計算出 $I_{int}(f)$,然後將 $I_{int}(f)$ 作反 FFT 運算,即可得到 $I_{int}(t)$ 的時域雜訊電流信號。



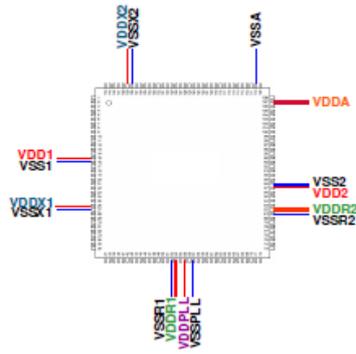
圖(a)



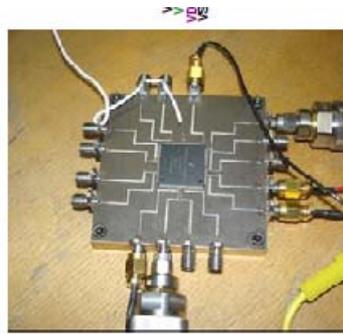
圖(b)

■ ICEM 模型—量測法範例

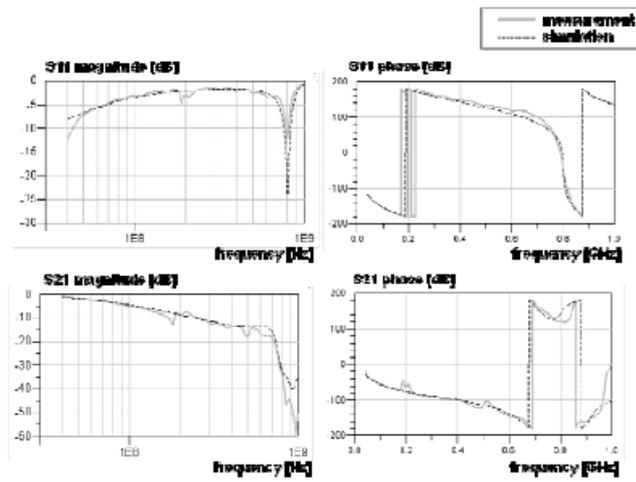
下面是一個以量測的方法進行可達 1GHz PDN 模型萃取的範例,下面圖(a)、(b)式量測的 SETUP,圖(c)是 PDN S 參數量測與模擬的比對結果 (d)是萃取出來的 ICEM 集總電路行為模型,圖(e)是完整的 ICEM 模型(含晶片(IA+PDN)、封裝 PDN、 $10\Omega/150\Omega$ 模型,圖(e)是 ICEMI 之量測及模擬結果。



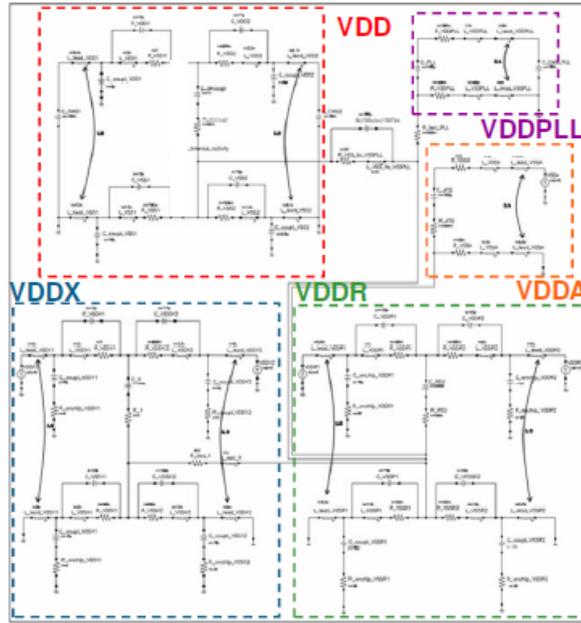
圖(a)



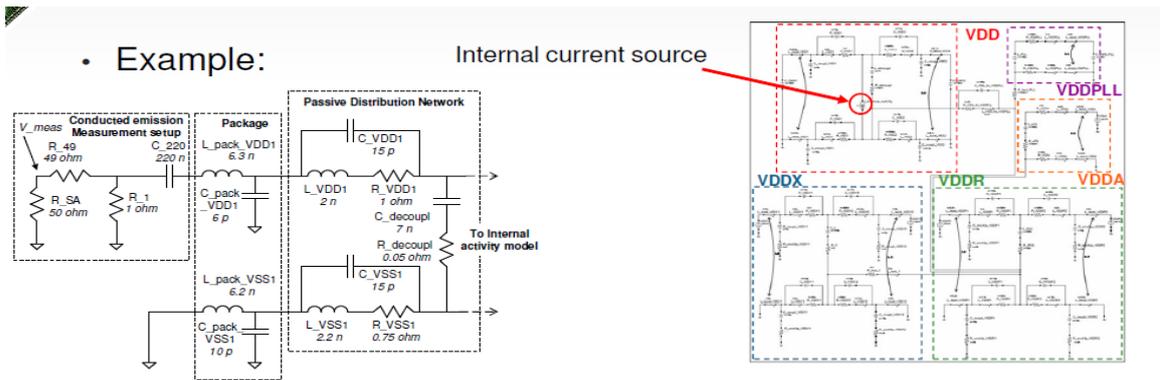
圖(b)



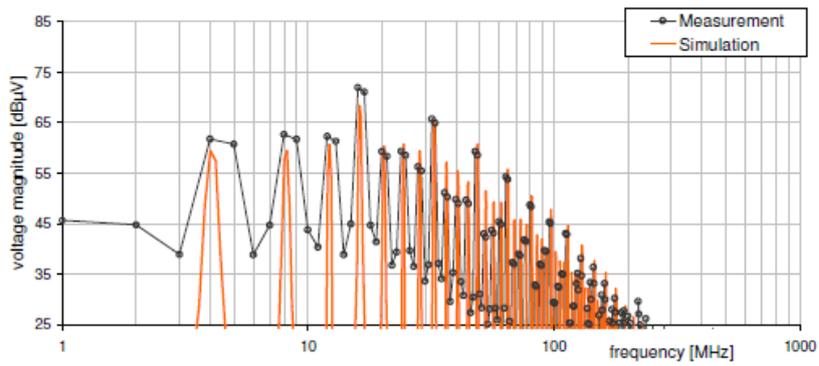
圖(c)



圖(d)



圖(e)



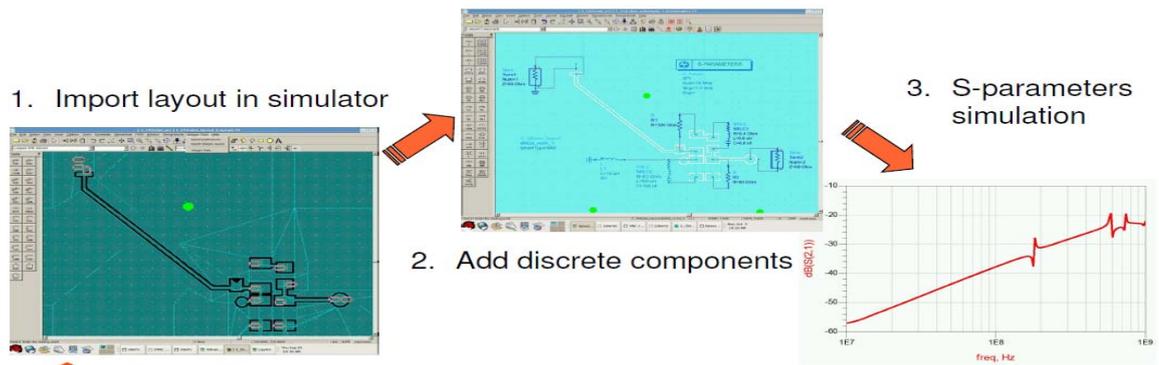
圖(f)

■ IC EM 模型--用模擬方法建構

(1) PDN 模型: 切割成 PCB, 封裝及 IC die

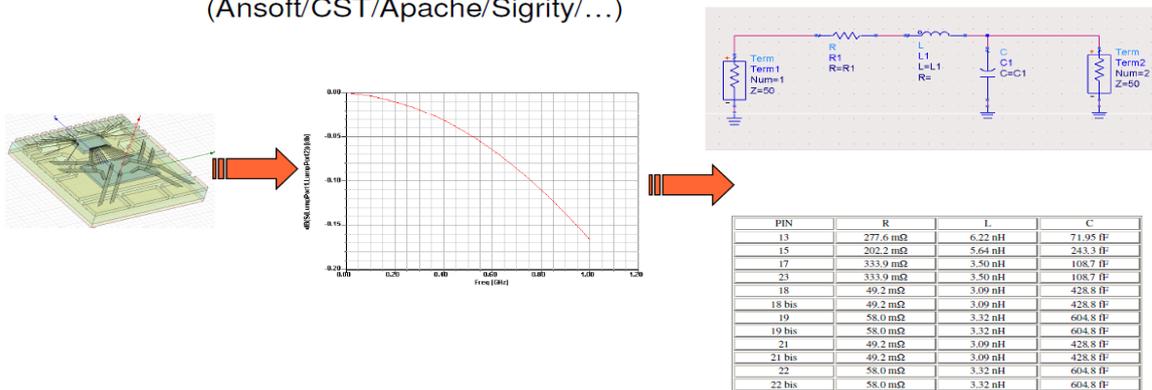
(a) PCB 模型: 如下面圖所示

- (i) 輸入 layout 到 EM solver 模擬器 作模擬 (Modeling tool by Cadence/Mentor/Zuken/Sigrity/Agilent etc.)
- (ii) 加入離散元件
- (iii) 作 PCB 的 PDN 模擬



(b) 封裝模型: 封裝的模型用 3D EM slover 去作模擬, 產生 S 參數, 再進行參數萃取成 Lumped 行為電路模型, 如下圖所示。

- Simulation with 3D solver to simulate S-parameters (Ansoft/CST/Apache/Sigrity/...)



(c) IC die 模型:

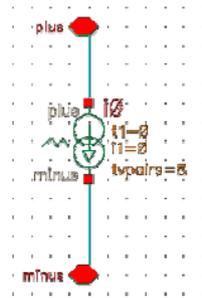
(i) PDN

- 由 PDN, IA, 雜訊耦合網路 (substrate 及 inter-domain) 所組成
- Modeling 工具: Cadence/Sigrity/Apache/Agilent
- 輸出格式為 Spice 格式

(ii) IA: Internal activity modeling 模型

- 使用 free-scale 內部軟體 (EMMA; (EMmission Modeling Activity))進行模擬,使用 Piecewise linear switching current 以時域的方式進行表示,模擬結果所建立的模型如下圖所示。

OSC:
 Peak current: 3 mA
 Rise/Fall Time: 1.2 ns
 Period: 1 us
 Frequency: 1 MHz



Sea of gates:

- Technology: CMOS 0.25um.
- Peak Gate current = 0.4ma/gate
- Measured the Inverter:
 - 8umx5um= 40 um²
- Estimated the total area to be 2000000 um²
- Estimate total number of gates = 2000000 um² / 40 um² = ~50000 gates
- Estimate a peak current = (50000 gates)*(0.4 mA/gate)*10% =~ **2000 mA peak current.**
- **Estimated rise time= 1.2ns**
- Frequency: 40MHz => **Period = 25ns**

■ 量測與模擬建立模型的方法比較:

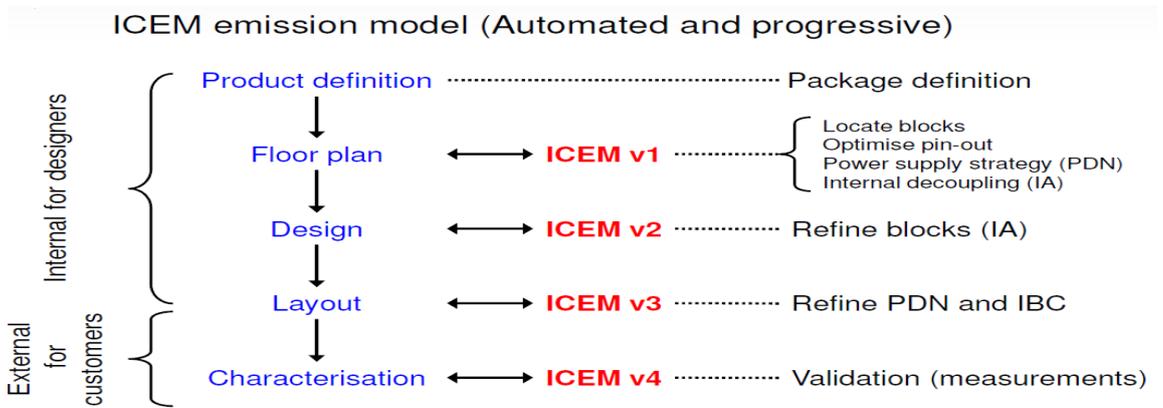
比較結果如下面表所示,從表可以看到,模擬的方法:有取的設計資訊的困難、寄生耦合 PDN (substrate,mutual)萃取困難、產生的 netlist 很大及複雜、需要很長的模擬時間等缺點。量測的部分的缺點為:需要時際的樣品、可能需要很多次的量測等缺點。

	Advantages	Drawbacks
By measurements	<ul style="list-style-type: none"> • Fast calculation • No need to have specific knowledge of the IC • Good accuracy up to 1GHz • Measurements can include directly the parasitic coupling (substrate, mutual) 	<ul style="list-style-type: none"> • Need silicon and board • Method not suitable for a large number of power supplies • Can request many measurements if the IC includes many power supplies
By simulations	<ul style="list-style-type: none"> • All IC power supply pins can be included • Any I/O pins or IP blocks can be added • Good accuracy up to 1GHz • Can be used to improve the design and board before the 1st silicon 	<ul style="list-style-type: none"> • Difficulty to have all design information • Difficulty to extract parasitic coupling (substrate, mutual) • Large SPICE netlist • Long simulation time

■ 自動產生 IC EM 模型

Free-scale 內部有建置一套可以自動產生 ICEM 模型的流程及程序, 如下面圖(a)所示:

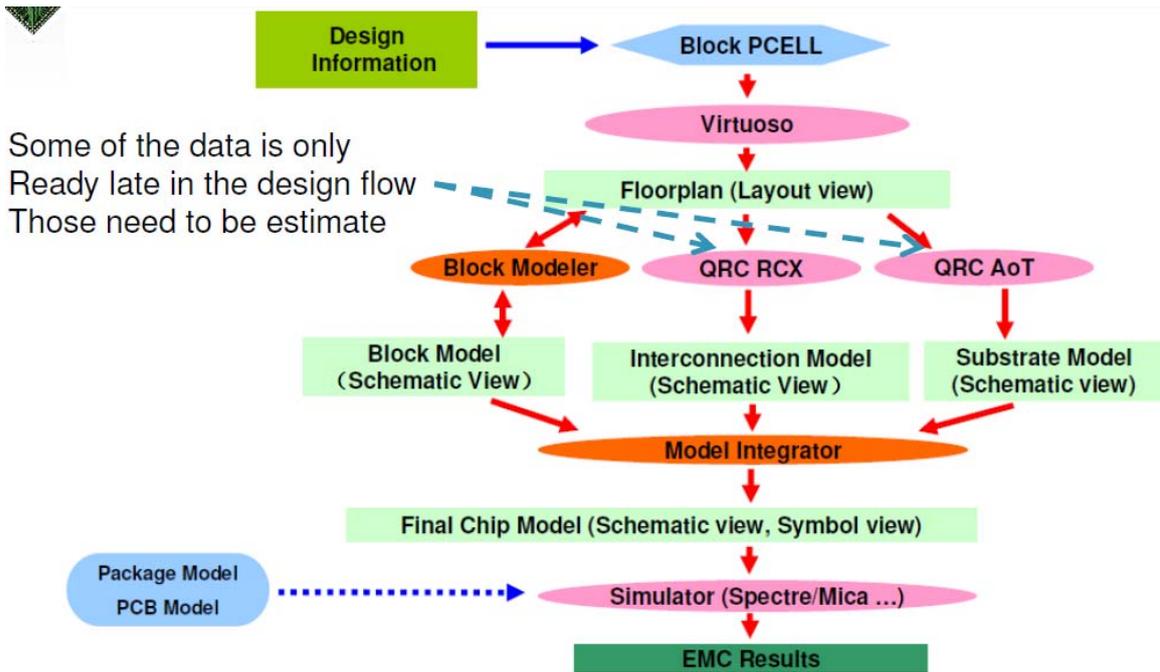
- (1) 內部內部使用: 產品定義, Floor Plan (ICEM V1—方塊的位置, Pin-out 最佳化, Power supply 策略), 設計(產生 ICEM V2 模型)—定義各方塊的 IA, Layout(產生 ICEM V3)—定義 PDN 及 IBC(inter-block-coupling)
- (2) 外部消費者使用: 特性化(產生 ICEM V4—與實際量測驗證)



圖(a)

■ IC EM 自動模型產生的流程:

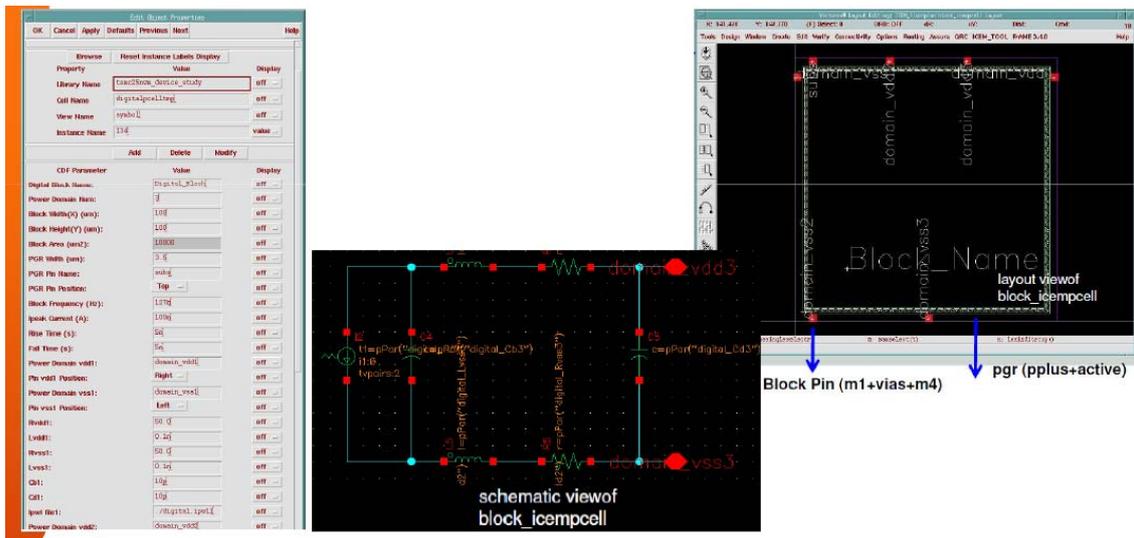
下面圖為 IC EM 自動模型產生的流程, 當取得設計資訊, 送到 Block PCELL, Virtuoso, Floorplan (Layout view) 後分成 3 部份作模型處理, 分別產生 block model(以 Spice 電路格式表示), 互聯 model(以 Spice 電路格式表示), substrate model (以 Spice 電路格式表示), 接著作模型的整合成最後的 晶片 EM 模型(以 Spice 電路格式表示), 然後加入封裝及 PCB 模型, 後送到電路模擬器作模擬, 最後將時域的結果轉頻域而產生 EMC 的模擬結果。



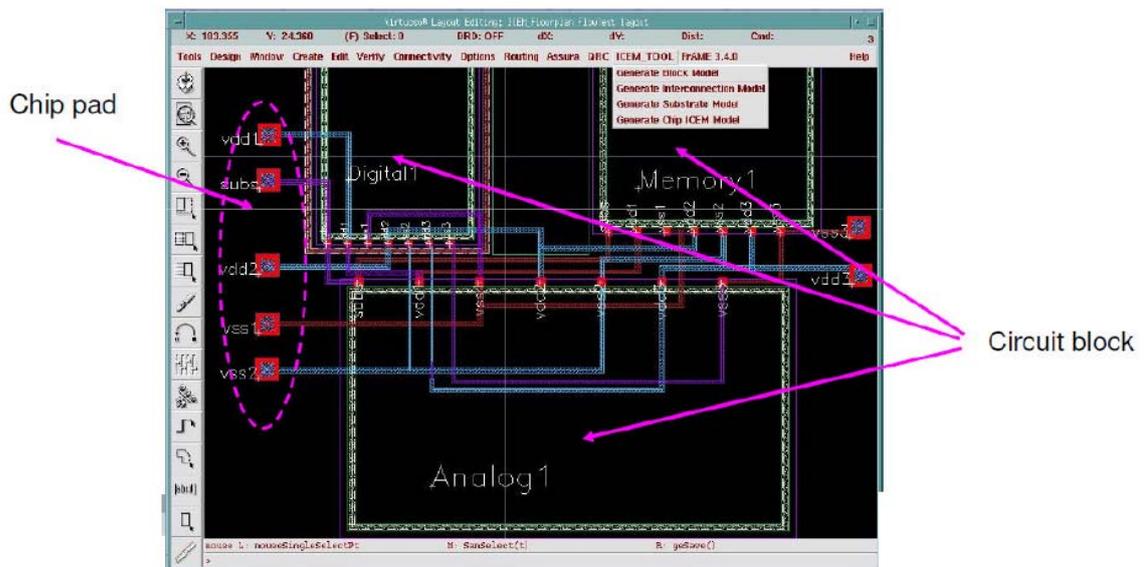
■ ICEM 模型—模擬方法範例:

產生的詳細步驟說明如下: (使用 Virtuoso custom design platform)

(1) 產生通用方塊模型(由符號, 電路圖及 ICEM pcell layout view 組成), 如下圖所示。

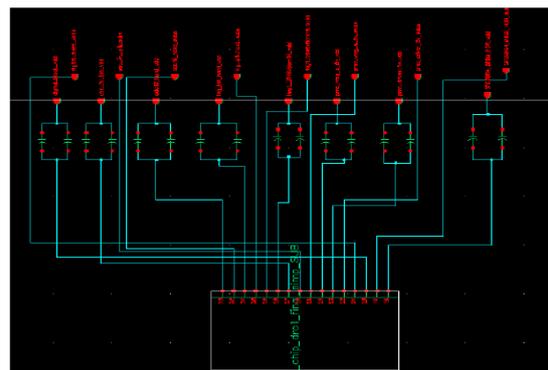


(2) 產生互聯模型: 萃取 RCX 模型或估測), 如下圖所示。



(3) 產生 substrate 模型:

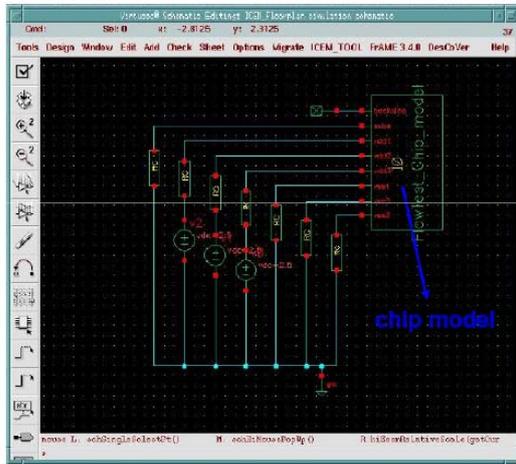
(4) 當 Layout 可取得時,可以進行 Substrate 及 nWell 區域模型的估測,如下圖所示。



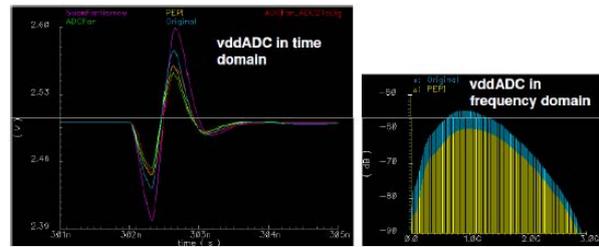
(5) 產生晶片 ICEM model (使用 Virtuoso custom design platform), 如下圖所示。



(6) Step 5: Run Simulation,結果如下圖所示。



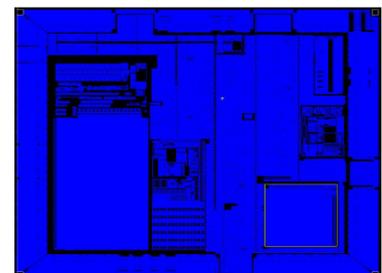
Example of test bench



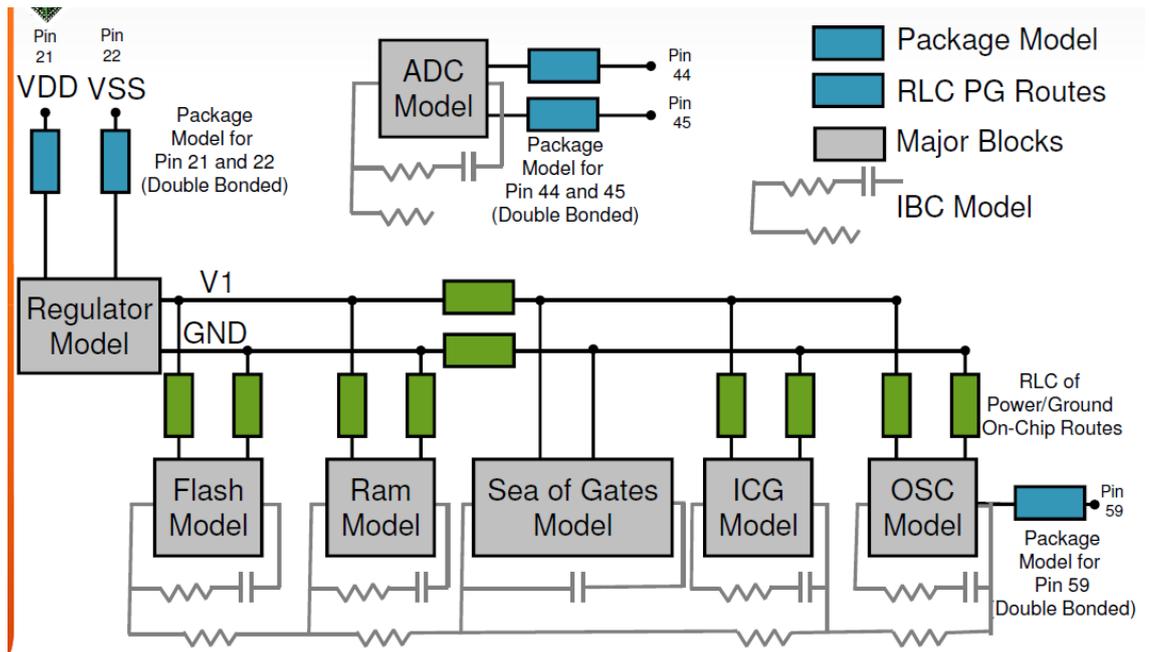
8-bit MCU ICEM 模型建置例子—模擬法

(1)規格:

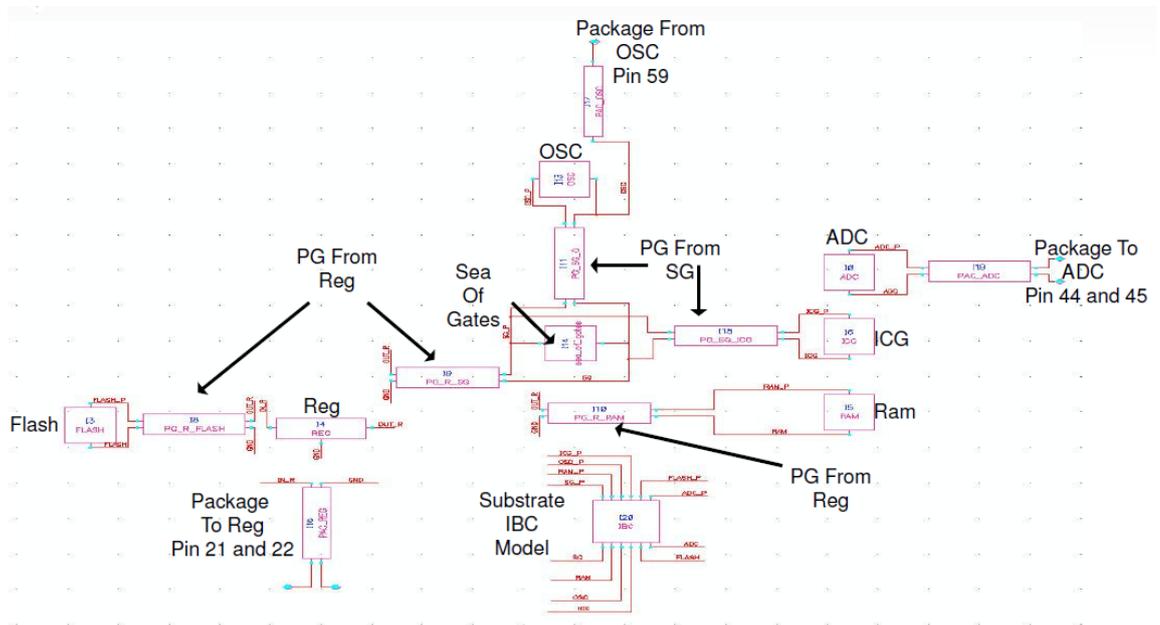
- Technology – 0.25
- Content
 - Digital blocks
 - Memory blocks
 - Regulator, analog and mixed-signal blocks
- Power-ground domains
 - Power pads - 2
 - Ground pads - 3
 - Power/ground domains – 2
- Single clock domain
 - Clock frequency = 25MHz



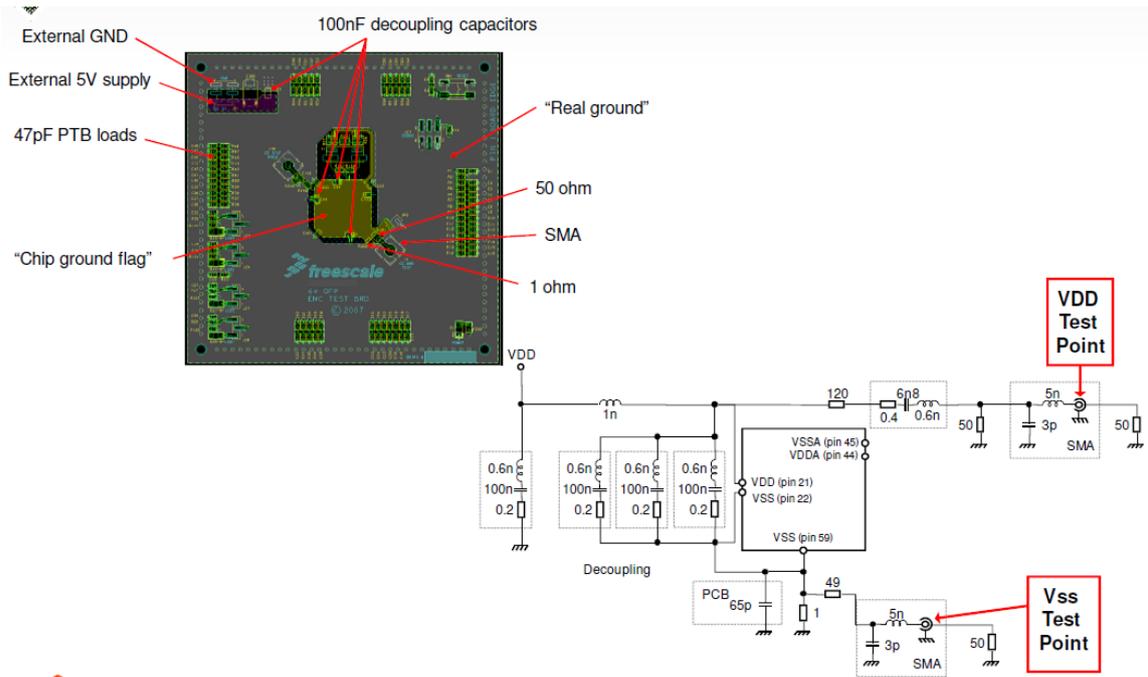
(b)模型結構



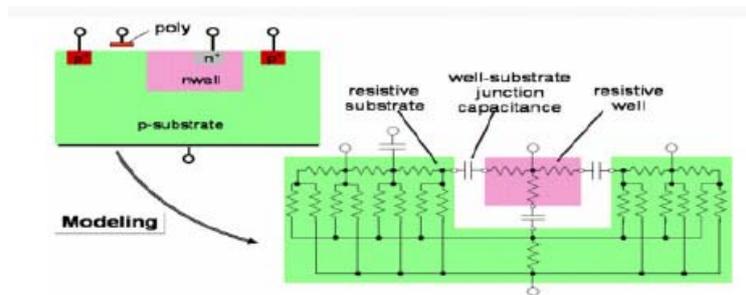
(c) IC EM 模型: 所建立的 IC EMC 模型的電路行為圖如下圖所示。



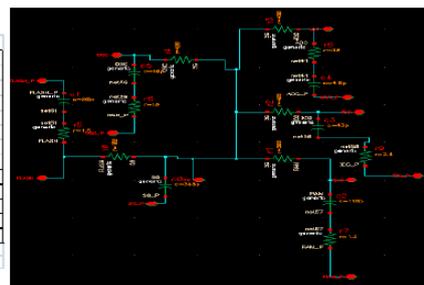
(d) 有含 PCB 板的模型結構,如下圖所示。



(e) IBC 耦合模型, 的計算及模型, 如下圖所示。

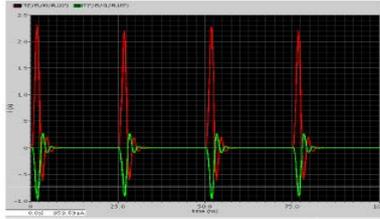


IBC Model Calculations									
Block	Nwell Area (um ²)	Nwell Junction Cap (f/um ²)	Inverter Total Cap (f)	Total Number of Gates	Total Cap (f)				
digital	12	0.6	7.2	47917	345000				
Block	Area (um ²)	Nwell Area (um ²)	Nwell Junction Cap (f/um ²)	Total Cap (f)	Nwell Resistance (ohms/gate)	Total Number of Gates	Series Resistance (ohms)	Substrate Resistance (ohms)	
memory1	1575600	157560	0.6	94536	10000	6565.00	1.52	100	10% of Circuit is Nwell.
memory2	369600	184800	0.6	110880	10000	7700.00	1.30	300	50% of Circuit is Nwell.
block1	182000	72800	0.6	43680	10000	3791.67	2.64	400	40% of Circuit is Nwell.
block2	160000	8000	0.6	4800	10000	333.33	30.00	400	10% of Circuit is Nwell.
block3	44000	17600	0.6	10560	10000	916.67	10.91	400	40% of Circuit is Nwell.



(f) 模型的模擬

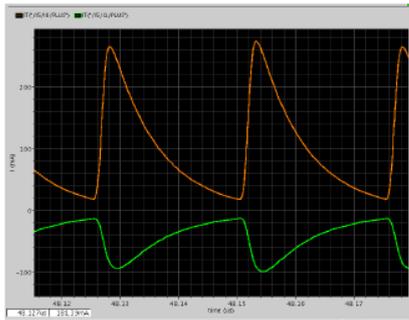
模型的結果如下圖所示, 圖(a)為無 IBC 的模擬結果 圖(b)有 IBC 的模擬結果.



No IBC Model

- Power: Peak current signal at 2300mA. Spike every 25ns.
- Gnd: Peak current signal at ~-950mA. Spike every 25ns.

圖(a) 無 IBC 模型的模擬結果

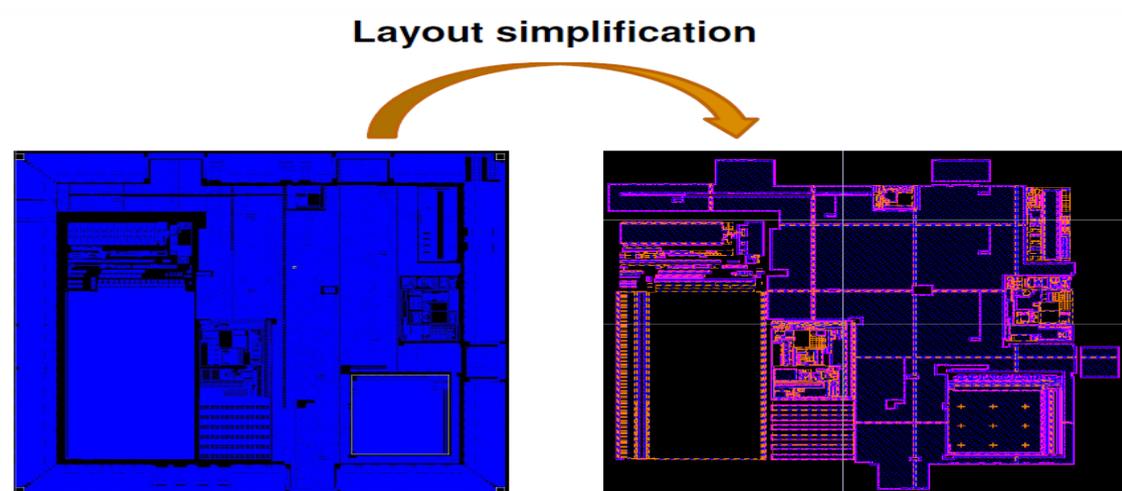


IBC Model Included

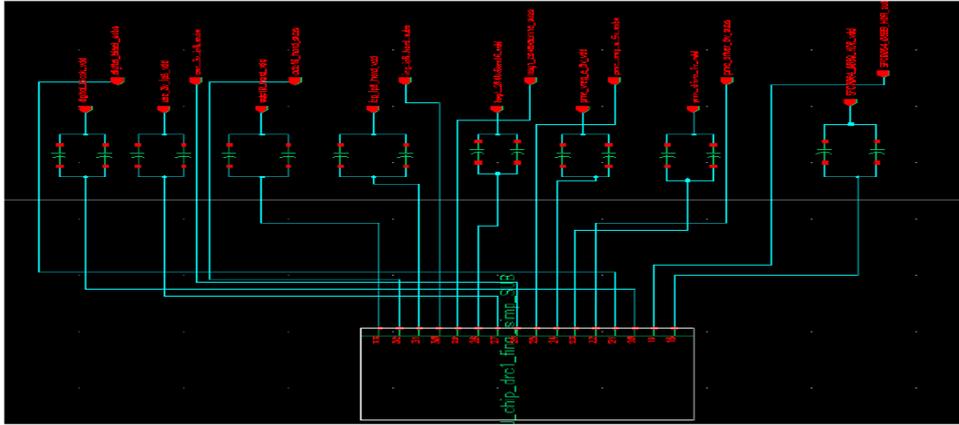
- Power: Peak current signal at 270mA. Spike every 25ns.
- Gnd: Peak current signal at ~-95mA. Spike every 25ns.

圖(b) 有 IBC 模型的模擬結果

(g)IBC: substrate 耦合模型,因為計算非常複雜,所以需要先作 layout 的簡化,然後才進行模型的模擬,如下圖所示(a),最後萃取出來的 IBC 模型如圖(b)所示。

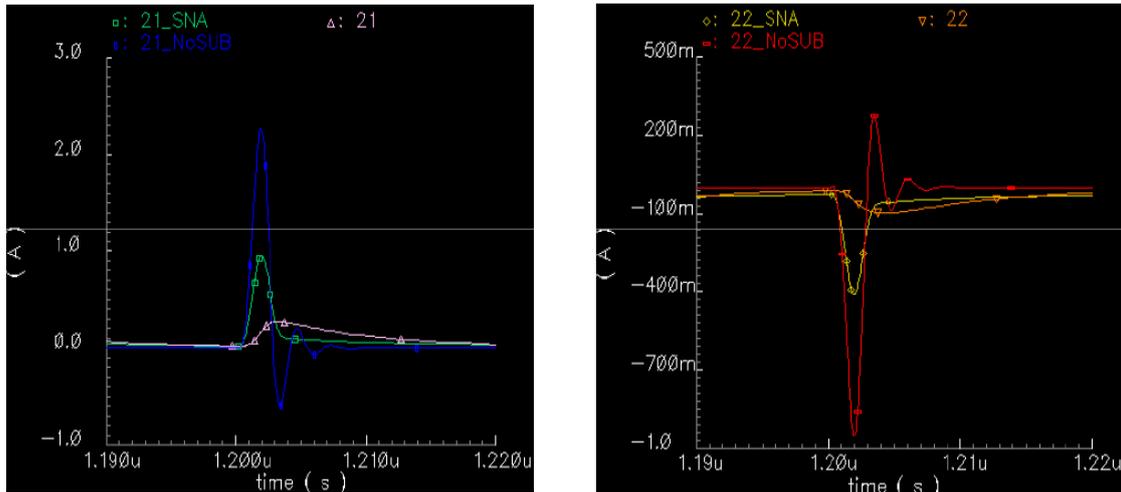


圖(a)



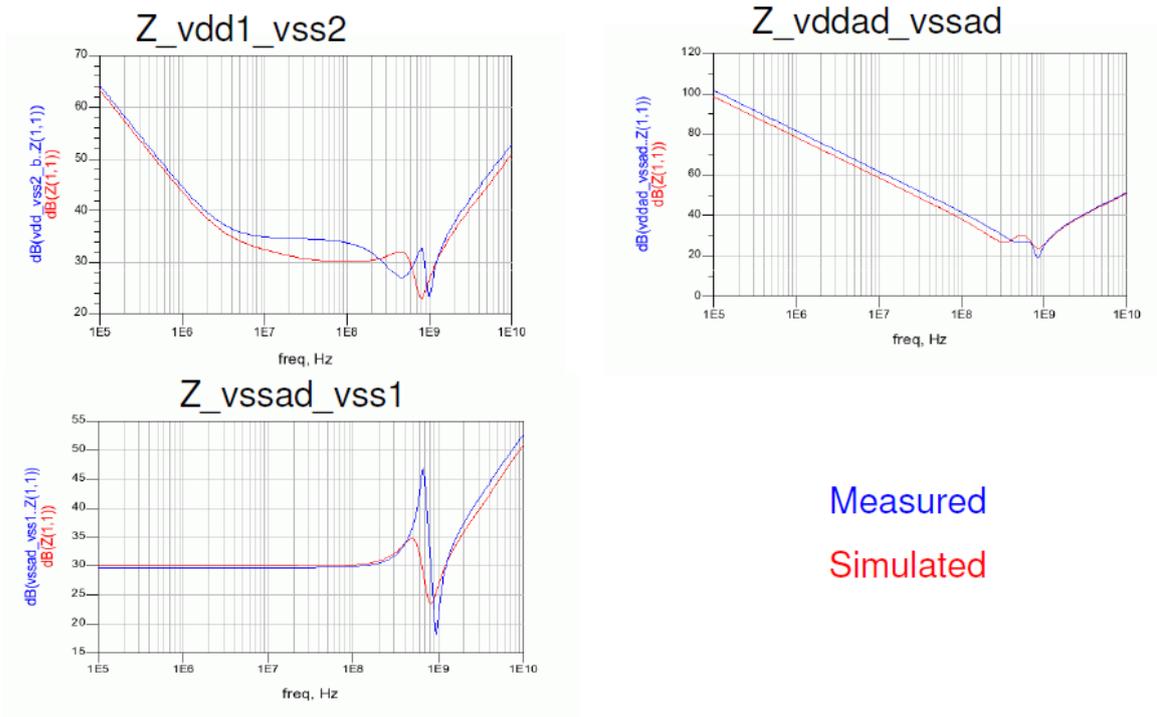
圖(b) IBC 模型

(h) ICEMC 模擬結果, IA 電流模擬結果如下面圖(a)所示,PDN 模擬結果如下圖(b)所示。



- Current waveform at Pin 21 and 22 with different IBC model. _NoSUB means without IBC model, _SNA means with IBC model extracted by QRC

圖(a) IA 電流模擬結果

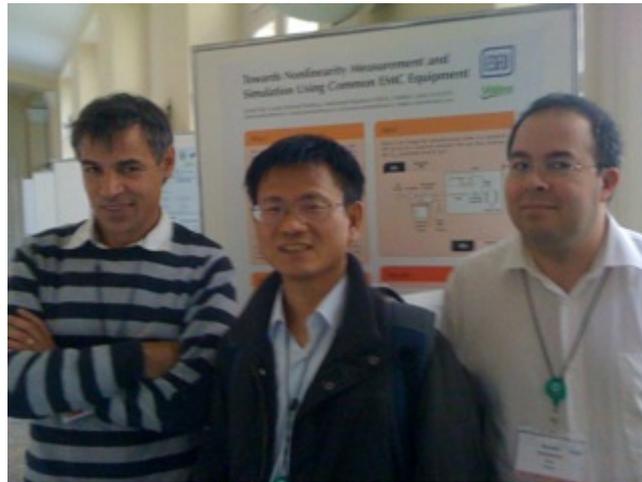


(四) IEC 標準 X-DPI 及其他 IC EMC 主題與國際學者專家討論交流

1. ESEO 教授及 IEC IC-EMC 標準委員: Prof. Mohamed Ramdani

專長在 IC-EMC, 目前已經發展了一些 X-DPI 量測的一些技術, 希望未來可以與 BSMI 合作 X-DPI 至 18GHz 標準的技術研究交流, 會場與 ESEO 團隊的主要研究人員(博班學生)討論其已經完成的 X-DPI 離散元件(discrete component)校正測試板子。





(a) 西班牙 UPC 大學 Ignacio Gil Gali 教授:

經 INSA Prof. Sicard 介紹,而認識 UPC 大學 Ignacio Gil Gali 教授,其專長在電磁的模擬,希望未來可以與 BSMI 合作交流 X-DPI 標準況展至 18GHz 的技術研究。



(b) 日本京都大學 Wada 教授,IEC 日本標準委員

Wada 專長在 IC EMC,在會場發表了一篇 MCU 的軟體 EMC 模型,在會場與其請教討論 ICEMC 軟體模型的建立細節方法。



(2) 結語與建議

一、心得:

這次參加研討會,發現目前 IC EMC 發展的趨勢已經往 IC 至系統的 EMC 模型進行整合,會議中也提出了在設計過程加入 EMC-aware 的設計 guideline 及觀念來降低 EMI,也提出了 EMC-aware programming 的觀念,以軟體的方式進行 EMC 的對策,來減小 EMI 及增加 EMS 的耐受性,且相對於硬體的成本上,軟體的對策有更大的優勢。另外,這次會議 3D-IC EMC 是另一個很重要的議題焦點,新加坡大學 Erping Li 教授在 kenote talk 報告了 3D-IC EMC 技術發

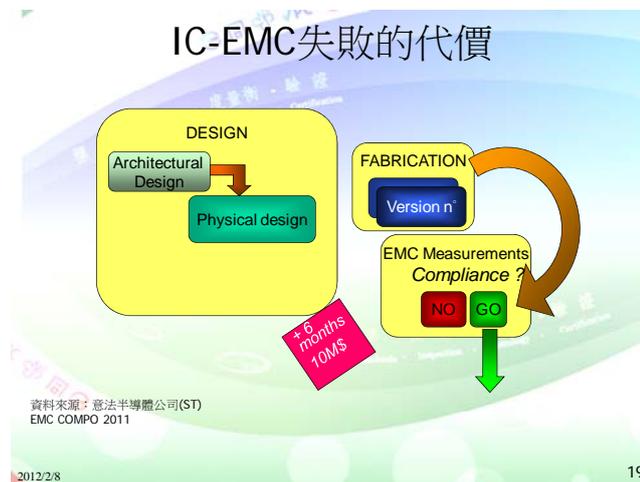
展趨勢,韓國 Kaist 也發表了 3D-IC EMC 的論文,因為 3D IC 是未來 IC 系統整合的重要技術及趨勢,韓國等各國都投入很多的資源到這部分,而台灣雖然也積極投入 3D IC 的領域,但是在 3D IC EMC 研究資源及人力的投入,差不多沒有,相較之下,在未來 3D IC 或 3D IC EMC 台灣的競爭力就顯得有些讓人憂心之處。此外,在研討會發現,Freescale 在技術論壇中所發表的技術成果,與我們 IC-EMC 科專計畫未來想要發展的技術非常的類似,研討會中他們只發表 IC-EMI 的模型自動產生的方法,從相關論文的發表,推測,freescale 內部很可能也具有 IC-EMS 模型自動產生的解決方案,他們已將這些 ICEMC 的模型導入他們的設計及驗證流程,使得它們在汽車電子或 IC 有很強的競爭能力,相比之下,國內在 IC EMC 的發展上就落後很多,IC EMC 模型的發展有很大的挑戰,希望未來國內能結合產官學的力量,以利加快國內 IC EMC 的研究,提升 IC 產業競爭能力。

二、建議事項

本局為 EMC 的標準與驗證主管機關,目前 EMC 發展的趨勢朝源頭進行 EMC 的解決,也就是朝 IC EMC 作發展,從 IEC 標準的發展藍圖也可以看到同樣的趨勢,建議:

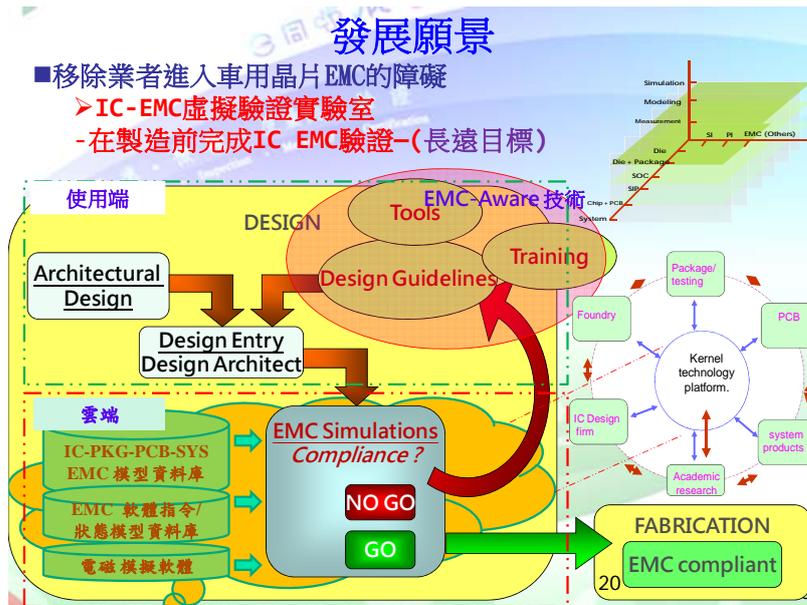
- (一) 我們局在 IC-EMC 科專計畫可以給予支持,以便本局可以聯合國內的 EMC 實驗室、學界、研究機構來進行標準與驗證技術的研發
 - (二) 本局可以朝雲端 IC-EMC 虛擬實驗室做研究發展.
 - (三) 本局未來可以朝 3DIC-EMC 的模型驗證技術方向作發展
- 進一步說明如下:

因為 IC 的系統變得越來越大及複雜(SoC, SiP, 3D-IC, 異質整合等),相對的 IC EMC 的挑戰及需求也變得越來越高,以前的 IC EMC 設計流程是,IC 設計完成後,進行製造,然後下游的模組廠在組成模組,接著作成系統產品,最後才進行 EMC 系統產品的測試,若最後發現 EMC 是失敗的,則通常 IC 每一次的修改必須要再花約 6 個月以上在設計及製作 I C,損失非常巨大的成本(尤其在很先進的製程,光罩的成本非常的昂貴),而嚴格的車規 EMC 要求,若沒有導入 IC EMC 的設計,可能會造成一次又一次的 EMC 失敗,而付出慘痛的代價,沒辦法有好的國際競爭能力.



有鑑於此,引領產業發展,及保護消費者權益,本局提出雲端 IC EMC 虛擬驗證實驗室的發展願景,使得最後可以完成製造前可以完成 IC EMC 驗證的願景目標,這是很大的技術挑戰,但完成這個目標,對國內 IC 產業的發展及消費者權益的保護有很大的幫助.

2. 我們提出的目標為,將 IC EMC 的驗證導入 I C 設計流程裡,使得 IC 在設計階段就進行 IC EMC 的驗證,並進行性能與 E M C 共同驗證模擬,若 E M C 有問題,就直接導入 EMC aware 的技術,修改 IC 的設計及加入 EMC 的對策,直到通過 EMC 的認證,然後才進行 IC 的製造,使所製造的 IC 可以通過 EMC 的規定.



為因應 IC-EMC 產業需求的發展,建議本局提出雲端試驗室的發展規劃,我們建議規劃將系統分成幾大部分:

1. 雲端實驗室系統平台: 包含 3 大平台: (1)標準平台 (2) 虛擬驗證平台(3) 報驗發證平台

(1)標準平台:將提供產業發展所需要的 IC EMC 標準及相關的標準服務資訊。

(2)虛擬驗證平台: 將連接到 IC-EMC 模擬驗證平台, 這系統程式將架設在大型電腦主機上, 對國內的產業界,民間或法人試驗室,學術界未來將提供服務:

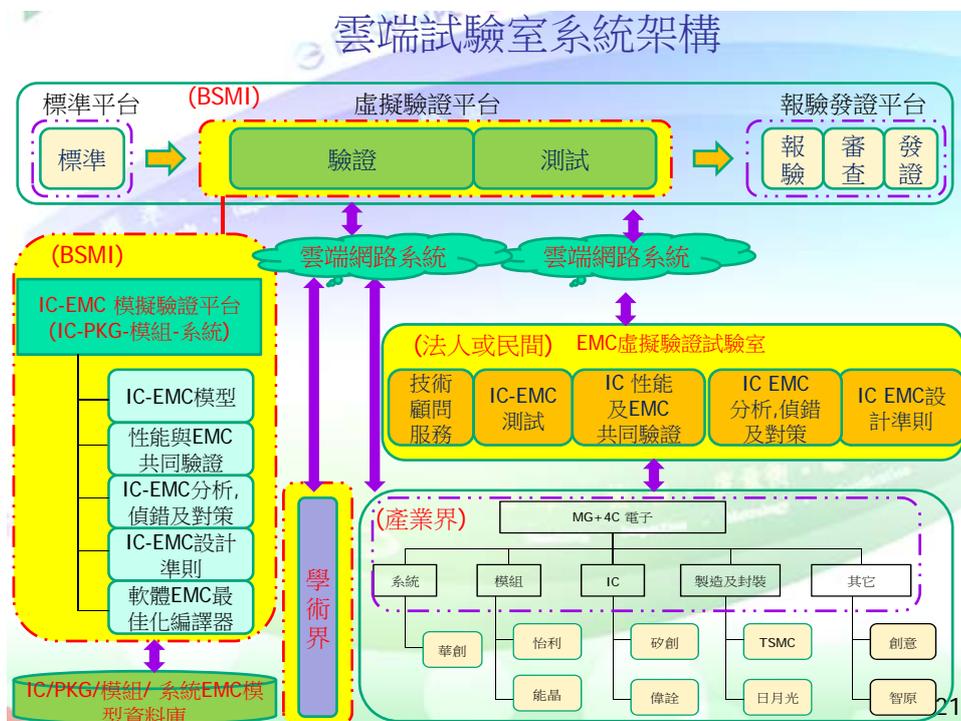
- (a) IC-EMC 模型產生 (b) 性能與 EMC 共同驗證 (c) IC-EMC 分析,偵錯及對策(d) IC-EMC 設計準則 (e)軟體 EMC 最佳化編譯器

本局將聯合國內大學,法人等單位,共同進行整合從 IC 至系統的 IC-EMC 模擬驗證平台的研究及建置,所建置的平台將整合及串連從 IC-封裝-模組-系統 EMC 的模擬及模型,在同一平台上,可以直接溝通及整合處理,符合國內產業鏈分在不同公司的情况需求。

(3)報驗發證平台: 完成驗證及測試的案子,將連接到報驗發證平台,透過平台,申請者也可以知道目前的案件處理狀態。

2. EMC 虛擬實驗室: 本局將所開發的(a) IC-EMC 模型產生 (b) 性能與 EMC 共同驗證 (c) IC-EMC 分析,偵錯及對策(d) IC-EMC 設計準則 (e)軟體 EMC 最佳化編譯器技術轉移給(法人或民間)實驗室,協助其建置 EMC 虛擬驗證實驗室服務國內的電子產業的廠商,直接提供產業界:

- (1)技術顧問服務: 在產品規劃及設計階段即導入 IC-EMC 的技術
 - (a) IC-EMC 標準及驗證的技術諮詢服務。
 - (b) 協助廠商建立 IC-EMC 測試項目的技術能力。
 - (c) 建立符合 IC-EMC 的 IC 設計準則。
 - (d) 建立完整 IC-EMC 測試規劃文件庫。
- (2) IC EMC 測試服務。
- (3) IC 性能及 EMC 共同驗證模擬服務。
- (4) IC EMC 分析偵錯及對策服務。
- (5) IC EMC 設計準則導入 IC 設計服務。



建議本局未來可以建置一個從 IC 至系統之 IC EMC 模擬平台,這系統將架設在一台大型的電腦主機上。

A. 使用者輸入:

(1)IC 技術資料 (2) IC EMC 模型 (3) 封裝技術資料 (3) 電路板/模組技術資料 (4)系統技術資料 (5)軟體程式。

B. 經系統處理單元運算後,將產生:

(1)IC EMC 模型 (2) 系統 EMC 模型 (3) EMC 模擬結果 (4) 除錯及對策導引輔助 (5)導入軟體 EMC-aware 設計,將應用程式轉成具最佳化的 EMC 程式(6)性能與 EMC 共同模擬驗證。

C. EMC 資料庫建置:

將以電磁模擬軟及量測的方式,建置 IC EMC 模型,封裝的模型,電路板/模組,系統模型(Cable,機殼等模型)

D.處理單元:處理運算

(1)IC-EMC 產生模型報告。

(2)IC EMC 模擬-驗證-分析-偵錯及對策運算。

(a)模擬-驗證:

-IC 至系統之性能及 EMC 模型協同驗證。

(b)分析-偵錯:

-從系統追溯回 IC 端找出 EMC 出問題的 IC。

-從出問題的 IC 往內追溯至有 EMC 問題的晶片電路模組。

(c)對策運算。

(d)軟體 IC EMC

-導入軟體 IC EMC-aware 設計,將應用程式轉成具最佳化的 IC EMC 程式。

E. 模擬結果將與量測最比對驗證。

IC-EMC虛擬驗證平台

