



行政院所屬各機關因公出國人員出國報告書
(出國類別：其他)

赴美國內華達州拉斯維加斯參加「2010 IEEE SoC Conference (SOCC)」國際
研討會心得報告

服務機關：經濟部標準檢驗局

出國人職稱姓名：技士陳秋國

出國地點：美國拉斯維加斯

出國期間：中華民國 99 年 9 月 26 日至 10 月 2 日

報告日期：中華民國 99 年 12 月 29 日

行政院研考會/省(市) 研考會 編號欄

壹、	前言與目的	3
貳、	活動行程簡述	3
參、	活動記要	4
肆、	結語與建議	16

赴美國內華達州拉斯維加斯參加「2010 IEEE SoC Conference (SOCC)」

國際研討會心得報告

壹、前言與目的

IEEE 的 SoC Chapter 每年都會舉行年度的系統晶片(SoC)國際研討會，第 23 屆 IEEE 國際會議的 SoC (SOCC 2010 年) 在內華達州的拉斯維加斯市舉辦，在過去 23 年的 IEEE SoC 大會已經使其為 VLSI 及系統晶片領域年度主要事件。這個會議提供了一個平台，以便分享、傳播原創性研究及技術教導，並使其成為在 VLSI 及 SoC 技術之新興挑戰的辯論論壇。

SOCC 是一個很好的地方，讓工程師或研究人員，了解最新的技術成果(例如 3D-IC,信號完整性等)，了解先進的 CAD 和 EDA 工具，及相關設備等。

本局為執行 100 年科專計畫主題為系統晶片電磁相容之電磁相容(EMC)/信號完整性(Signal Integrity; SI)/電源完整性(Power Integrity; PI)，派第六組電磁科陳秋國技士參與此 SOCC 研討會，在會場研習及蒐集有關 3D-IC、SoC、及信號完整性等相關最新的技術資料，以利 100 年執行科專計畫時往最前瞻的技術方向做研究及檢測技術建置。

在本次活動中本局第六組技士陳秋國參與一篇”IMPLEMENTATION OF A HARDWARE-EFFICIENT EEG PROCESSOR FOR BRAIN MONITORING SYSTEMS”技術論文的發表。

貳、活動行程簡述

- 9 月 26 日(星期日): 台北搭機赴美國拉斯維加斯。
- 9 月 27 日(星期一): 台北搭機赴美國拉斯維加斯。
- 9 月 28 日(星期二): 報到手續,並參加論文研討會議
- 9 月 29 日(星期三): 陳秋國技士參加論文發表
- 9 月 30 日(星期四): 參加論文研討會議
- 10 月 1 日: 美國拉斯維加斯搭機返回台北。
- 10 月 2 日: 美國拉斯維加斯搭機返回台北。

參、 活動記要

一、 大會活動記要

本次研討會有幾個重要主題:包含

- Analog, Mixed-Signal, and Biomedical Circuits and Systems
- Wireline and Wireless Communication Circuits and Systems
- Digital Signal Processing (DSP) Circuits and Systems (Video, Multimedia, Software-Defined Radio, etc.)
- Green Circuits, Systems, and Design Methodologies
- Embedded Systems, Multi/Many Core Systems and Embedded Memory Technologies
- Network on Chip (NoC), Interconnects, and 3D-IC
- Reconfigurable and Programmable Circuits and Systems, System on Programmable Devices (FPGAs)
- System Level Design Methodology, EDA and Design Tools for SoC
- Signal Integrity, Design for Testability, and Design Verification
- Design for Manufacturability, Variation-Aware Methodologies

我們可以看到電路設計的發展趨勢朝著 3D-IC、綠能、多核系統、混合信號整合、異質整合、信號完整性、設計可測性及設計可驗證性、設計可製造性、變動可知性方法及系統電路與系統是可重構性等趨勢作發展，而目前 EDA 設計工具也沒變法支撐目前這麼複雜的設計系統，EDA tool 也正在展開第三波的設計革命以符合現在及未來更複雜的系統晶片及 3D-IC、異質整合等設計的需求，在系統晶片的整合、混合電路的整合、3D-IC 或是 2D 或 3D 的異質整合，因目前電路的速度越來越快，而產生晶片或模組間互聯(interconnect)的信號完整性問題、電磁相容問題、在混合電路中數位電路干擾類比電路、類比電路的耐受性問題及 3D-IC 的散熱等問題變得越來越複雜，為確保系統可以正常運作，而有發展了設計可測性及可驗證性，而目前的電路設計在高階奈米製程受到製程參數影響非常大，因此又必須把製程的擾動機率模型加進去電路設計中，及在設計也必須將可製造性放進去設計流程中，以提供在先進製程所設計電路的良率，降低設計的風險，加快產品上市的時間

下面將針對幾個比較重要的論文作一些介紹，以進一步了解這些系統晶片技術發展的趨勢:

◆ Keynote/ Plenary section:

1. Keynote/Plenary section: Keynote Speaker是由加州大學柏克萊分校及 Cadence Design Systems 公司首席技術顧問 Alberto Sangiovanni-Vincentelli教授所發表,

他是 Cadence 和 Synopsys 公司的創始人之一，Cadence 和 Synopsys 這兩家公司是在 EDA(電子設計自動化)領域全世界兩個最大、技術最領先的公司，其發表的論文主題為：“SoC Design as an Example of Component-Based Design of Distributed Systems”，主要內容為:由於 IC 設計的複雜性的增長，基於組件的設計和正確建構技術成為不可缺少的，使人們有可能開發新的應用特定的設計，甚至大量的元件，如微處理器。在幾年，雖然許多設計方法已經提出來解決的成本和時間到市場(time-to -market)問題，工業界仍無法廣泛運用新的方法。不過，研究近年來取得了重要的進展，半導體公司實施了結構化設計方法和 EDA/ IP 的公司已作了重要的投資在新的工具和設計環境。在這次講座中，我們將回顧一些最有趣的方法，是基於互聯和通信設計以及異質元件的組成部分，其目標指向了一些有希望的途徑，使 SoC 設計在各式各樣的應用上，更有經濟上成本考慮下，更具有吸引力。

2. Plenary Speaker:是由 Michael Keating,其是 Synopsys 公司的院士(Fellow)，在 Synopsys 工作了 13 年，專注在矽智產權(IP)的開發方法、硬體和軟體設計品質和低功耗設計。他目前的研究專注於高層次的設計和挑戰極為複雜系統的設計。其發表的論文主題為”Third Revolution: The Search for Scalable Code-Based Design”,主要內容為:在過去的 25 年中，有兩個主要的革命是我們如何做數位電路設計：第一次革命是轉移到語言 /合成為基礎的設計方式（開始於 1986 年）和第二次的革命:重複使用設計（1996 年左右開始）。但第三次的設計革命似乎已經嚴重的逾期了。目前的設計方法不能滿足現今系統晶片設計之複雜性和規模的需求，更沒辦法滿足未來設計的需求，這講座將介紹下一次數位設計革命的候選解決方案：高層次合成、晶片產生器、和目前 RTL 語言之可合成子集合。它也將描述在有經濟效益下，如何設計和製造 SoC 及 EDA 技術，其可能將影響不在正常軌道上的第三次數位設計革命。

3. Plenary Speaker: 是由 Sandra Woodward ,其是 IBM 資深技術人員，目前是 IBM 在線速度處理器系統晶片(Wire-Speed Processor System-on-a-Chip (SOC) development)的晶片技術領導者，她是一個專家在微處理器和記憶體階層架構、設計及方法領域的

專家，她有系統晶片（SOC）的設計，ASIC 設計，電源（TM）架構和 Cache 及一致性（coherency）功能設計的經驗。發表的論文主題為：“A Wire-Speed Processor System-on-a-Chip (SOC): Technical Overview and Challenges for a Large Complex SOC used in Next-Generation Systems”，主要的內容為：這演講將提供對一個 IBM 曾經建造最複雜的晶片--線速處理器（WSP）的系統晶片（SOC）之技術概述：其中包括通用處理子系統，特殊用途的加速器子系統，網絡 I/O 子系統，以及互連在晶片內及晶片外的一致性(coherency)設計，它將探討的挑戰和權衡下所作出的線速處理器系統晶片，其被整合到下一代系統。這包括項目，如低功耗，提高計算性能和異質計算元件。這些討論也將涉及在架構及功能設計的進展，並針對未來在大型、複雜的系統晶片設計，指出問題所需要的解決方案。

◆ 3D- IC 電源雜訊抑制技術

1. Power Noise Suppression Technique using Active Decoupling Capacitor for TSV 3D Integration

Tien-Hung Lin, Po-Tsang Huang, Wei Hwang

Institute of Electronics, National Chiao Tung University

主要內容為：在三維（3D）的整合，同時通過增加供應電流並通過封裝及 through-silicon-via (TSV) 會導致大的同時切換雜訊(simultaneous switching noise ;SSN)。這篇論文提出了一種採用低功率主動抑制去耦電容技術（DECAPs）以作為 TSV 3D 的整合技術。通過以 Latch 為基礎的雜訊(noise)檢測電路，電源雜訊可以被檢測和調整經由主動式的去耦合電容(DECAPs)。根據聯電 65 納米 CMOS 技術和 TSV 模型在 1V 電源電壓，在共振頻率下，該篇論文提出的雜訊抑制電路可以實現最大可降低 7.4dB 電源雜訊和 12 倍升壓(boost)。圖 1 為 TSV 3D 整合的電源完整性，對下一代 ICs，三維（3D）的集成技術可提供巨大的優勢，在實現多功能整合，提高系統速度和降低功耗。然而，堆積多層的裸晶(dies)將面臨一個嚴重的問題的電源完整問題。圖 1 為 TSV 3D 整合的電源完整性。灰色部分代表，大電流密度將通過封裝及 TSV 在電源網路，並進一步提高電源雜訊。此外，電源阻抗響應主要是由兩個封裝和 TSV 所主控]。有鑑於此，針對 TSV 3D 整合技術，雜訊抑制將成為其中一個關鍵的設計問題。

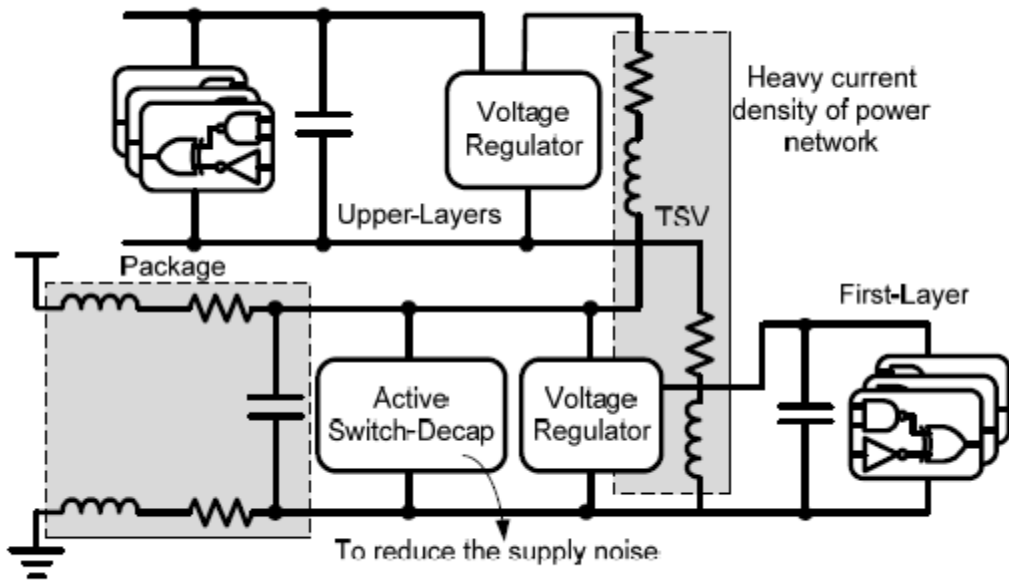


圖1為TSV 3D整合的電源完整性

根據目前 P/G 網路在 3D 整合之沉重的電流負載，電源雜訊對電源完整性是嚴重的問題。有鑑於此，圖 2 顯示了所提出架構為對雜訊抑制去降低電源雜訊的技術，該架構包含四個模塊：一個低通過濾器，一個 latch-based 比較器、電荷泵、和交換式的去耦合電容 (DECAPs)，每個功能方塊的詳細介紹如下。

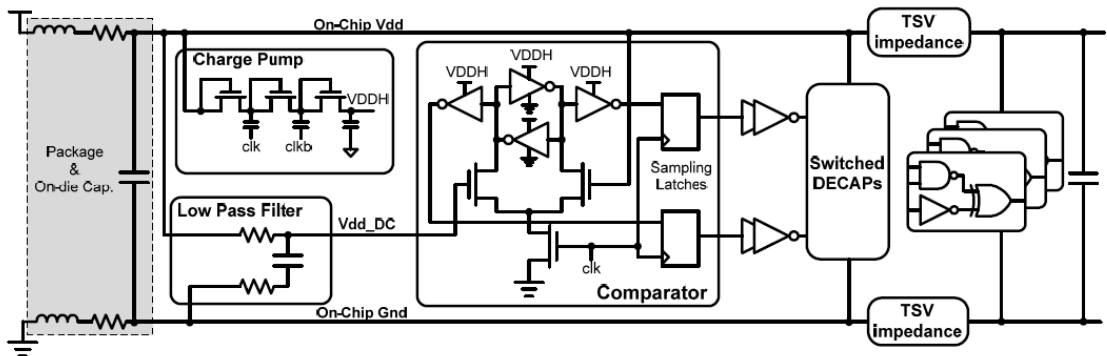


圖2顯示了所提出架構為對雜訊抑制去降低電源雜訊的技術

-交換式去耦合電容:

交換式去耦合電容 被設計用來抑制電源雜訊的諧振。圖 3 舉例諧振雜訊壓亦使用交換式去耦合電容。假如電源供應比 V_{dd_DC} 過度(overshoot)，過量的電荷將被分別轉移到電容，CD1 和及 CD2。相反，如果電源供應低於(undershoot) V_{dd_DC} 時，去耦合電容將被串聯。就這樣，被增強的電壓將為 V_{dd_DC} 的 2 倍。額外的電荷將由去耦合電容供應，以減少電源雜訊。此外，遲滯電壓準位是高/低邊界條件交換式去耦合

電容由一連串到並聯和由並聯到串聯所形成的。交換式 DECAPs 會只有當電源電壓越高或低於滯後電壓水平才會切換。換句話說，遲滯電壓提供一個容忍的區間，以避免因小的雜訊而頻繁的切換。

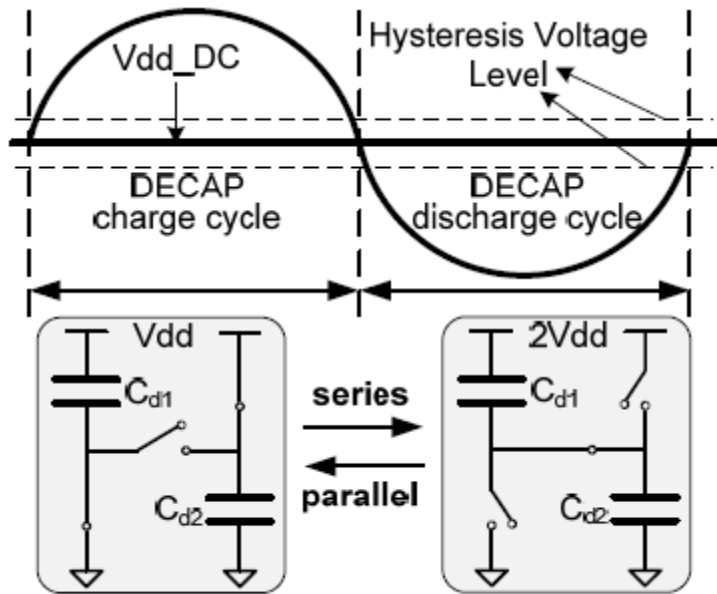


圖3使用交換事去耦合電容來壓抑共振雜訊

這篇論文的雜訊抑制技術是使用低高耗主動式去耦合電容，以聯電 65 納米 CMOS 技術和 TSV 的模型來實現，根據諧振雜訊的速度，比較器的頻率是 2GHz。這個時鐘信號源也是以 1GHz 的頻率提供給電荷泵。圖 4 顯示了雜訊抑制電路的佈局圖。去耦合電容總共為 200pF。此外，以 CMOS 實現的去耦合電容佔面積的 84%，所提出的雜訊抑制電路大小為 170x230 平方微米。

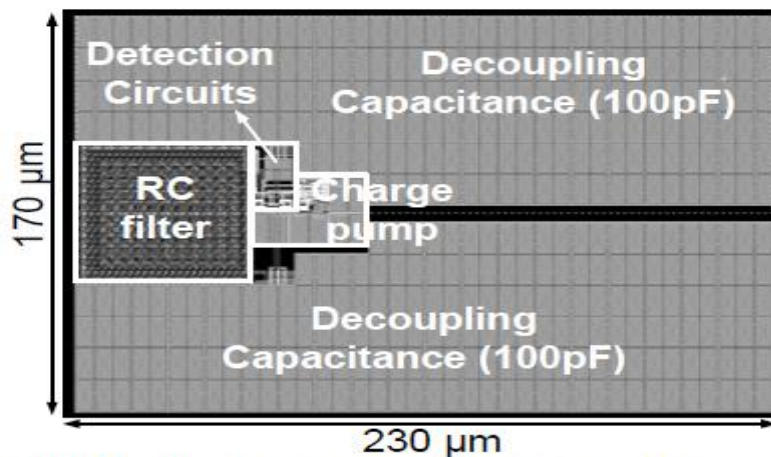


圖 4 顯示了雜訊抑制電路的佈局圖

圖 5 (a) 和 7 (b) 分別為在 100MHz 和 40MHz 的諧振雜訊抑制。兩種配置的墊 (pads) 分別為 $L=0.75\text{nH}$ 中， $C = 1.69\text{nF}$ ， $R = 0.14\Omega$ 和 $L = 4.5\text{nH}$ ， $C = 1.69\text{nF}$ ， $R = 0.28\Omega$ ，它代表的高性能晶片典型的電源阻抗和 TSV 再三維整合的阻抗。因為在 3D 的整合，電源腳數被受限制，封裝的電感將大於 2D-IC。與被動式電容相較，在高性能的 IC 及 TSV 3D 整合中，主動式去耦合電容分別可實現 6.9dB 及 7.4dB 的雜訊降低。另外，為了這篇論文所提出的主動式去耦合電容的提升因數(boost factor)，一個大量的被動式去耦合電容被追蹤，以達到類似的雜訊壓抑，此外，洩漏功耗也可被減少 71% 及 59% 由於減少去耦合電容面積。

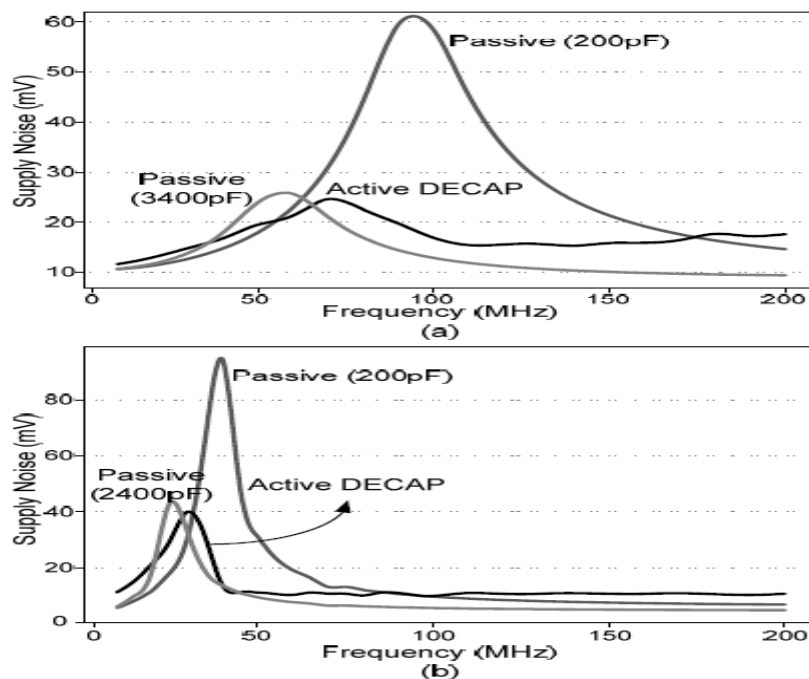


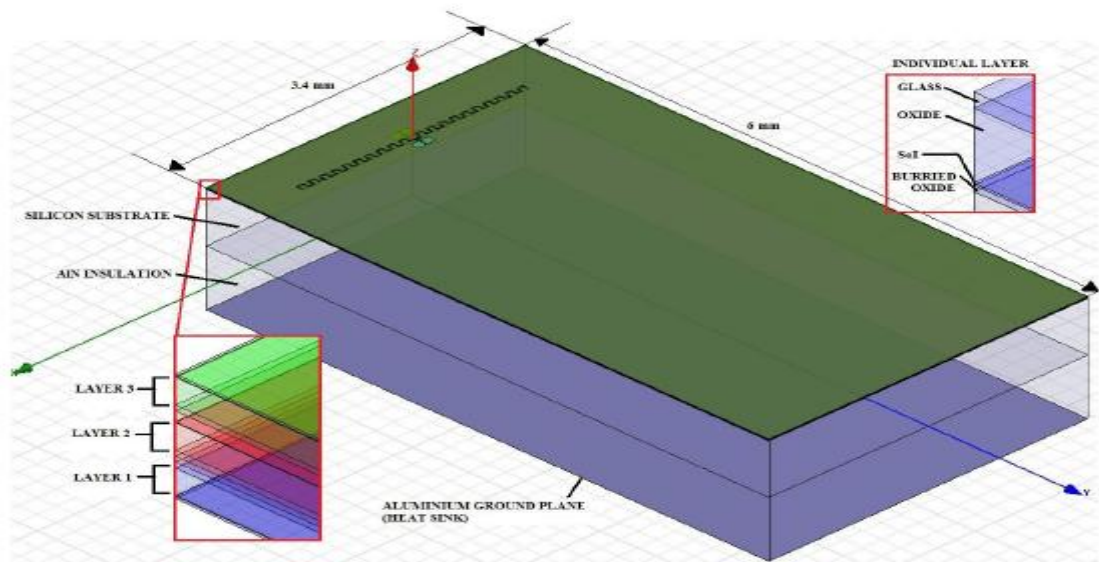
圖5 主被動去耦合電容的比較 (a)高性能IC (b) TSV 3D整合

2. Simulation Based Study of On-chip Antennas for a Reconfigurable Hybrid 3D Wireless NoC Ankit More and Baris Taskin

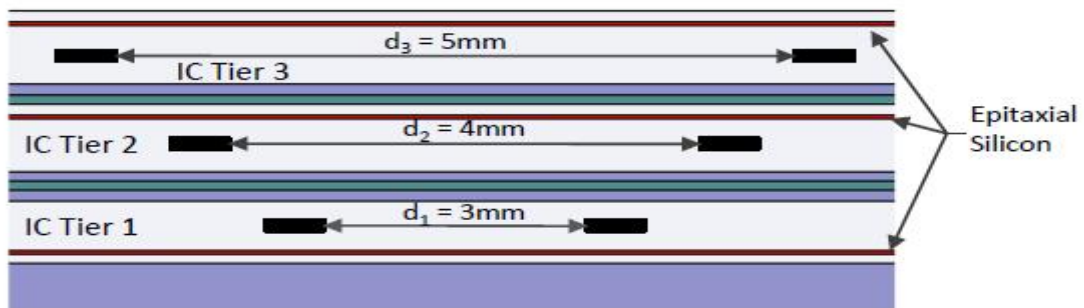
Department of Electrical and Computer Engineering, Drexel University
Philadelphia, Pennsylvania, USA 19104

這篇論文主要內容為: 使用晶片內天線(以interconnect實現)作為一可重構3D無線網絡晶片(3D-WiNoC)的可行性，晶片內的interconnect當作天線通過對3D-IC模型執行一個三維有限元法 (FEM) 的全波電磁分析來指出其可行性，三維集成電路。這3D-IC是依據CMOS SOI(silicon on insulator) Benzocyclobutene (BCB) polymer adhesive

bonding 3-D circuit 整合技術來建構model，在內中指出使用流出信號源可有兩種不同頻域及在這兩個頻域間進行流入信號的動態切換的可能性，這篇論文提出有兩個頻率通道的混合架構可以減少時間延遲及增加網路的產能(throughput)。模擬的3D結構及在這SOI 3D-IC 天線的擺放配置圖如下面圖7所示，而這3D-WiNoC內的雙頻通道路徑顯示如下面圖8所示。



(a) Simulated 3D IC structure.



(b) Antenna placement.

圖7模擬的3D結構及SOI 3D-IC 天線的擺放配置圖

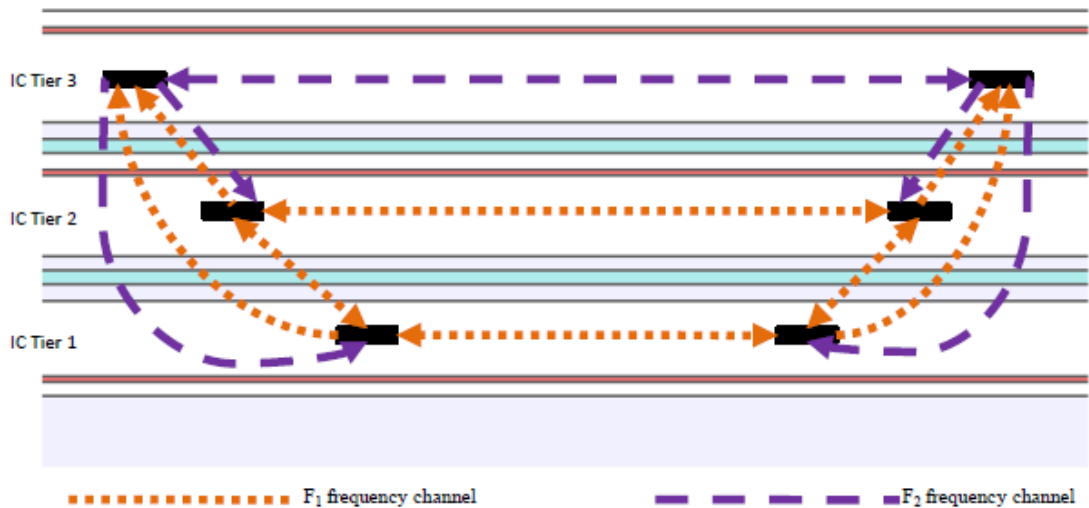


圖8 3D-WiNoC內可重構之雙頻F1及F2通道路徑

2. Thermal Via Planning for Temperature Reduction in 3D ICs

Jin-Tai Yan, Yu-Cheng Chang and Zhi-Wei Chen

Department of Computer Science and Information Engineering, Chung-Hua University
Hsinchu, Taiwan, R.O.C

這篇論文探討用方塊層級熱模型來作溫度的計算，2階段方法被提出來減少最後晶片平面(floorplan)溫度藉由未使用的白空間(white space)，重新分配所有的元件層及插入散熱用的貫孔(VIA)到可以獲得的白空間，結果顯示這篇論文所提的方法在CPU時間分別為100%，110%及120%的floorplan區域，以GSRC當測試基準平台(benchmarks)，將分別降低5.5%，11.3%及20.5%的溫度。此外，貫孔(VIA)在3D-IC上的結構如下面圖9所示

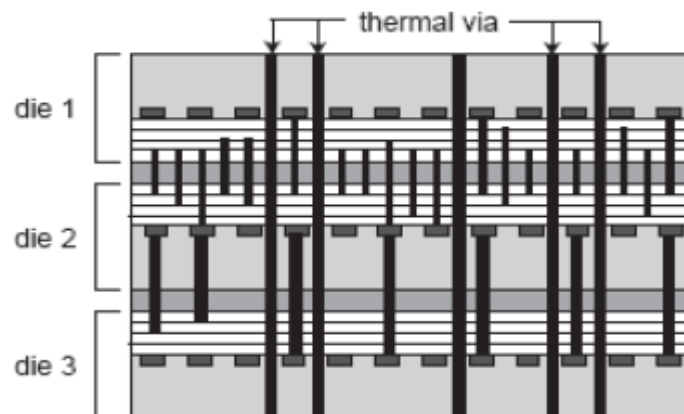


圖9 在3D晶片內的散熱貫孔(VIA)

◆ 電-熱的分析

1. STATISTICAL ELECTRO-THERMAL ANALYSIS WITH HIGH COMPATIBILITY OF LEAKAGE POWER MODELS

Huai-Chung Chang, Pei-Yu Huang, Ting-Jung Li and Yu-Min Lee

National Chiao Tung University, Hsinchu, Taiwan

主要內容為: 在這篇論文中, 提出以高相容性的功率模型來發展統計電、熱分析器, 所發展的解析器是利用蒙地卡羅法及快速收斂隨機分析法以有效的解決統計上的電-熱問題, 實驗結果指出在相同的精度下, 所發展的電熱分析器可以比蒙地卡羅法得到較快速的收斂, 計算的時間在設計超過百萬閘是1.16秒, 與比蒙特卡羅方法相較, 其全晶片溫度分佈之平均值及標準差最大誤差, 分別只有0.34%和1.84%。

圖10為緊密的實際設計熱模型, 這主要的熱路徑是由熱介面材料、散熱片(heat spreader and heat sink)。第二級熱流路徑涉及互聯層、I/O Pads、以及印刷電路板。該功能模塊被模擬成附著於靠近頂面晶片的表面的多電源。主要熱源由裝置的動態和洩漏功耗所組成。由於動態功耗對製程便度動及操作溫度較不敏感, 它被認為是確定性。但洩漏功率則被視為強烈依賴於製程參數和操作溫度。因此, 洩漏功耗被視為隨機過程, 為全晶片作溫度分佈分析, 其熱耦合效應必須被考慮, 以精確掌握全晶片溫度的分佈。

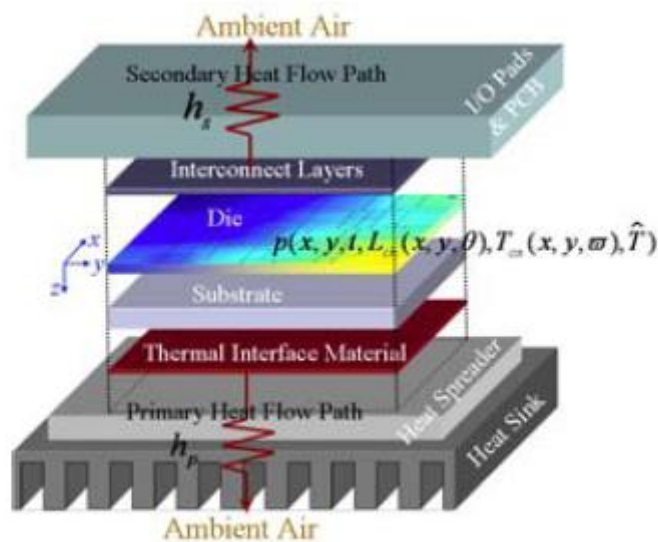


圖10 實體封裝設計的緊密的熱模型

2. Thermal Modelling of 3D Multicore Systems in a Flip-Chip Package

Kameswar Rao Vaddina¹, Tamoghna Mitra², Pasi Liljeberg³, Juha Plosila⁴

1Ph.D Researcher, 2Researcher, 3Post Doc. researcher, 4Adjunct. Professor

主要內容為: 抽象的三維 (3D) IC技術提供了更大的元件整合能力, 減少信號延遲和減少互連的功耗。它還提供了更大的設計靈活性, 允許異質結構整合。在這項工作中, 對多核系統的三維熱模型在熱點、die的擺放配置、modern flip-chip的熱效應作研究探討, 通過實驗模擬, 發現在設計上有使用模型進行設計, 會得到更好的散熱性能, 3D Flip-chip封裝截面圖如下面圖11所示。

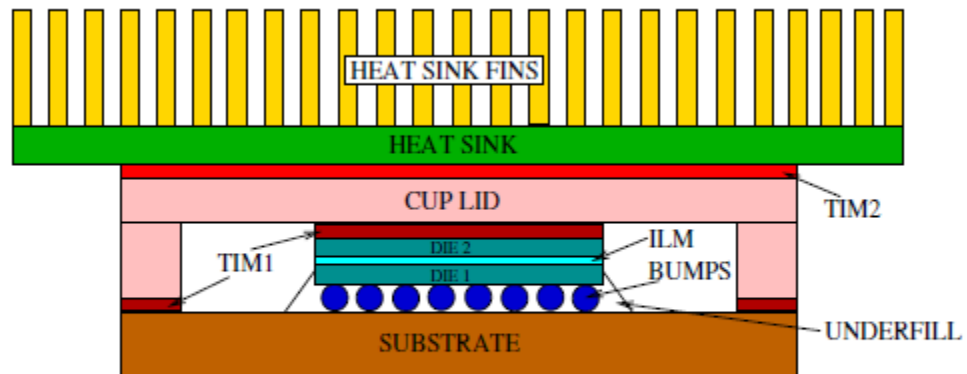


圖11 3D Flip-chip封裝截面圖

◆ 信號完整性

8Gbps High-Speed I/O Transmitter with Scalable

Speed, Swing and Equalization Levels

Mohammed. Younus, Hongjiang Song, Intel Corporation, Chandler, Arizona

主要的內容: 這篇論文提出新的傳送資料率達8Gb/ps的信號完整性分析, 一個可重構的bitslice CML based driver提供了可規劃的搖擺及去耦合水平, 是適合 Gbps速率等級之串列資料傳輸例如Gen1和Gen2的PCI - Express和SATA電路。這顆晶片是使用45nm CMOS製造技術, 晶片面積功耗為150umx50um, 在5Gbps的數據傳輸速率下功耗分別為38mw。下面圖12為所量測到位校驗下之8Gb/ps輸出信號的搖擺圖

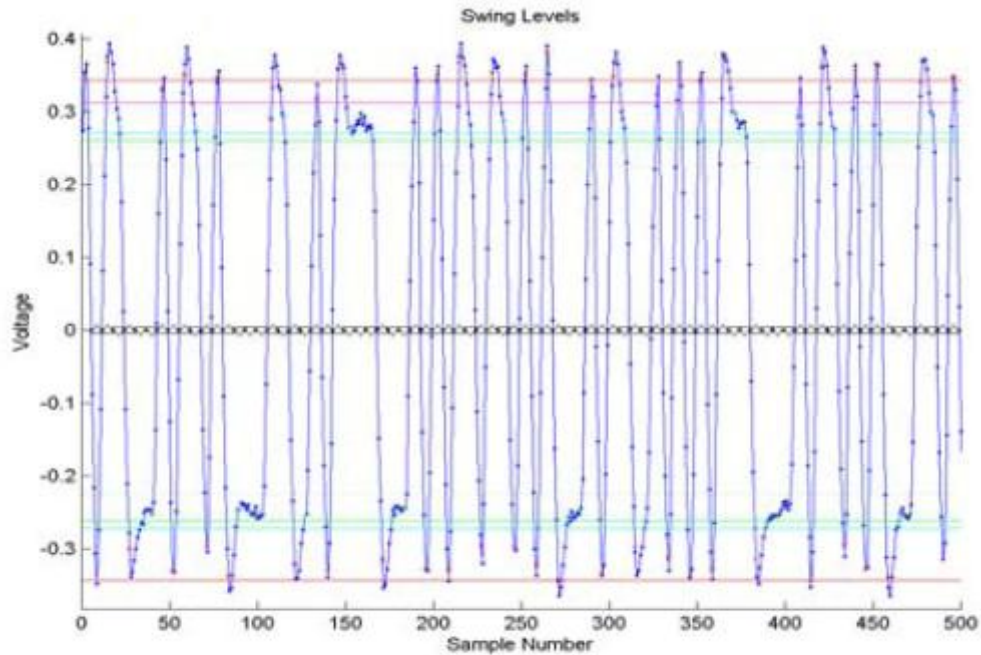


圖12為所量測到位校驗下之8Gb/ps輸出信號的搖擺圖

◆ 生醫電路設計

TA2.4 Implementation of a Hardware-Efficient EEG Processor for Brain Monitoring System

Chiu-Kuo Chen (陳秋國), Ericson Chua, Shao-Yen Tseng, Chih-Chung Fu, Wai-Chi Fang

這篇論文的EEG處理器由ICA處理器及無損失壓縮處理器所組成，本文提出低硬體成本的ICA處理器設計架構，實驗結果的所得到的獨立成分的與原來的信號相較，其關聯性係數可達0.9044，以及結合無損失資料壓縮的設計使得所傳送的腦電波信號的資料傳輸的頻寬利用率及射頻發射器的功耗可省下41.6%，這晶片以聯電UMC 90nm SP-HVT CMOS製造，面積為1,133umx 1,133um，操作頻率為32MHz，當工作在0.9V及5MHz下時，功耗為0.7mW。此外，在圖13為ICA處理器的架構，其主要由4個處理單元所組成分別為：

- 1) Buffering and calculation unit (STAGE1) :輸入記憶體單元,中心化及共變異處理單元。
- 2) Whitening unit (WHITENING):白化處理單元
- 3) ICA training unit (ICATU):ICA訓練單元

4) ICA computation unit (ICACU): ICA計算單元

所設計的架構，執行時其輸入記憶單元, ICA訓練及ICA計算將平行再處理。另外圖14為EEG處理器的布局(Layout)圖。

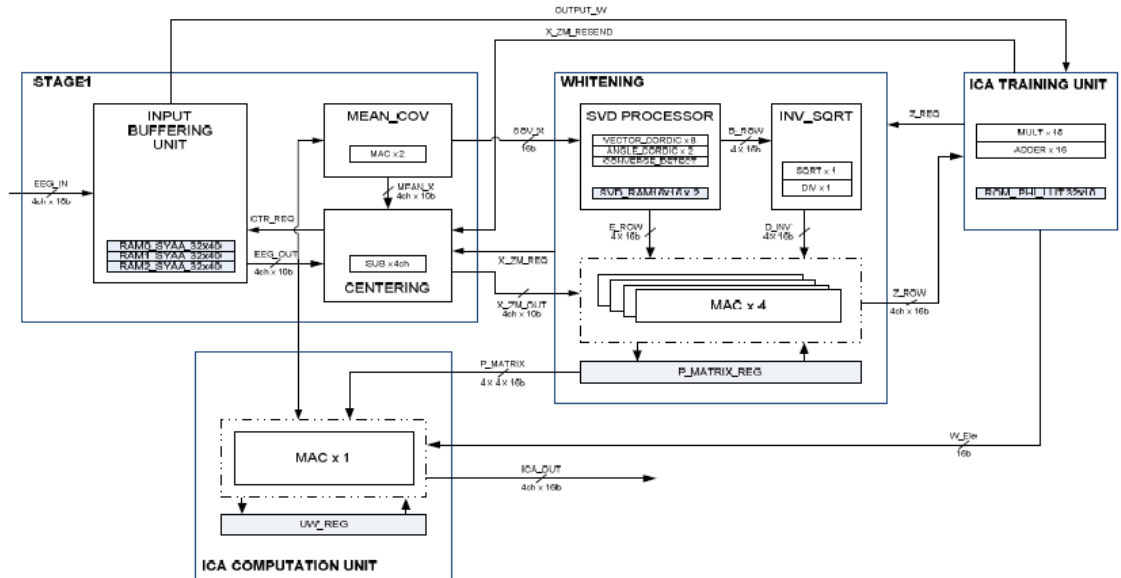


圖13 ICA處理器架構

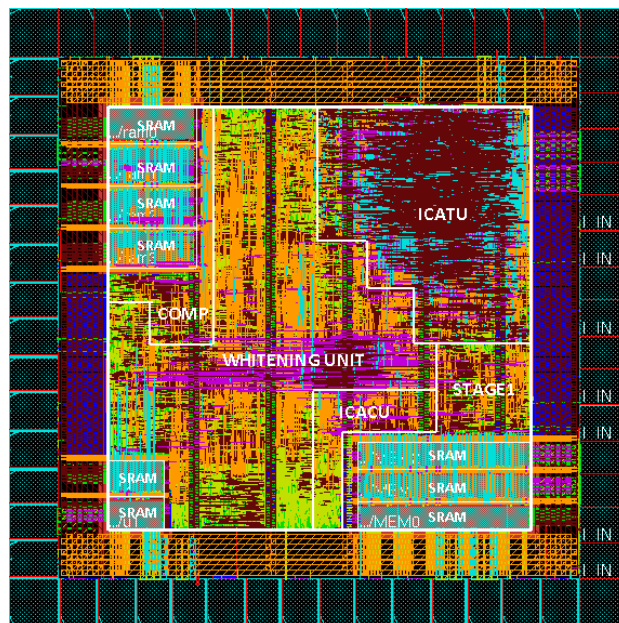


圖14 EEG 處理器Layout

肆、結語與建議

在這次研討會中可以發現前瞻3D-IC及前瞻3D混合封裝(advanced hybrid package)的設計是未來的IC領域技術發展趨勢，本次研討會中有多篇論文探討3D-IC及3D封裝之雜訊壓抑的設計方法、散熱及信號完整性的問題等，另外生醫電路的系統晶片整合及低功耗或綠能的設計也可以發現是未來的發展趨勢，基於這些趨勢，將建議本局六組101-104年新的4年科專計畫方向將朝”綠能生醫電子晶片系統產品之電磁相容檢測標準與驗證技術發展”為方向進行規劃，希冀下一期的4年科專可以整合本局六組、國內大學及研究機構的的檢測驗證技術能量，針對台灣有利基的生醫晶片系統產品，進行EMC檢測標準的建置及技術的研究開發，並建置足夠的驗證能量，我們希望藉由該新的計畫執行可以開發出IC-EMC的model資料庫認證系統，使在設計階段即可以對所設計的IC進行EMC的認證，對於對過認證的IC將提供綠能生醫電子晶片系統的EMC驗證及認證標章，並對所開發關鍵技術進行自主性技術專利佈局，在未來亦企圖將所開發的技術成果整理成IEC國際標準，透過國際合作管道將台灣所提的標準送入IEC國際標準技術委員會(TC)的工作小組(working group)。為提供足夠的驗證能量服務廠商，將廣邀實驗室參加本計畫，輔導使成為本局指定實驗室，將透過政策的規劃及優惠辦法，針對醫療器材的法定系統EMC應施檢驗產品，對其零組件有採用本計畫所推動之「綠能生醫電子晶片系統之EMC認證標章」將規劃給予適當的優惠措施，以因應未來本局在IC-EMC檢測技術及業務的發展。

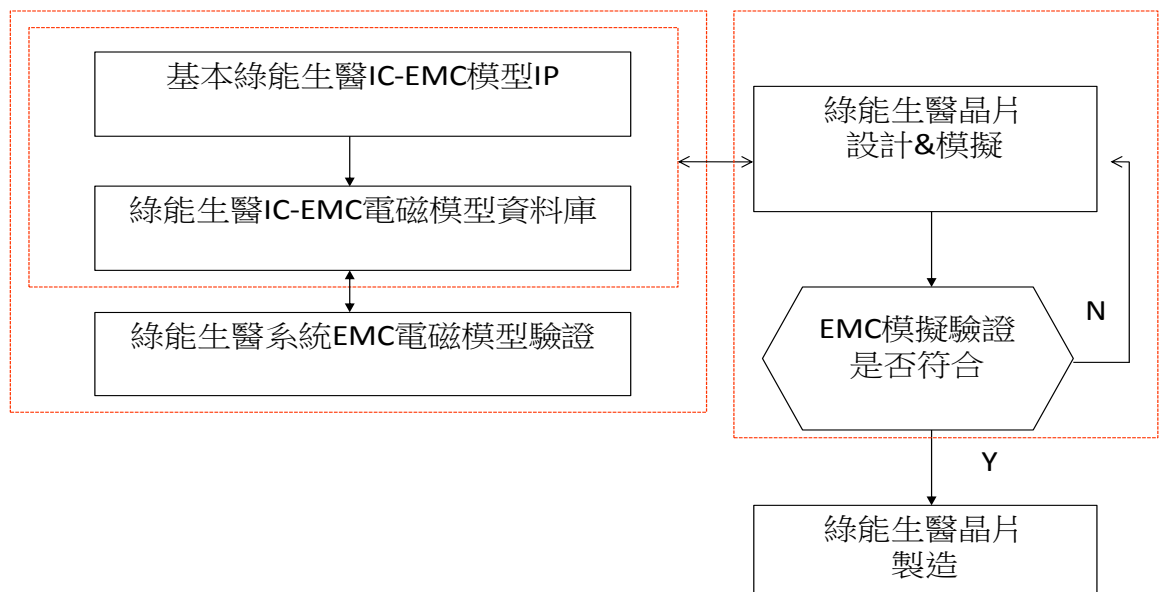


圖15綠能生醫電子晶片系統IP模型認證之電磁相容檢技術研發系統圖