

出國報告(出國類別：研究類)

第 35 屆歐洲固態電子電路研討會(35<sup>th</sup>  
European Solid-State Circuit  
Conference)心得報告

服務機關：中山科學研究院

姓名職稱：羅元蔚聘用技士

派赴國家：希臘

出國時間：98/09/12~98/09/19

報告日期：98/10/01

國防部軍備局中山科學研究院出國報告建議事項處理表

報告名稱	第 35 屆歐洲固態電子電路研討會(35 <sup>th</sup> European Solid-State Circuit Conference)心得報告		
出國單位	電子系統研究所空 用電子組	出國人員級職/姓名	聘用技士 / 羅元蔚
公差地點	希臘	出/返國日期	<u>98.09.12</u> / <u>98.09.19</u>
建議事項	<ol style="list-style-type: none"> <li>1. 經本次參與會議後，發覺本院之系統晶片 (SoC) 設計能力充足，但於類比/數位之製程整合，仍有精進空間，例如：將嵌入式 ADC、感測器 (如影像，運動姿態，溫度) 與數位系統做整合等等。</li> <li>2. 與會學者眾多，無法一一拜訪及詢問問題，甚至同一時間會有一場以上之教育課程或論文發表，僅一人參與此場歐洲半導體之盛會，無法將此次研討會之發表成果完全帶回國內，實為憾事。建議此後之研討會，可派更多專精於不同領域之先進同仁共同參與，必能增進本院之研發速度；或可於會後相互討論，加深彼此印象，激發更多創新之研發能量。</li> </ol>		
處理意見	<ol style="list-style-type: none"> <li>1. 建議本院將成熟之系統，朝向系統晶片化，並與國際知名半導體廠，如台積電，聯電等，做技術合作，以提升本院相關技術能量。</li> <li>2. 在本院核可任務及額度下，配合計畫需求，應儘可能派員參與國際或歐洲等電子電路研討會。</li> </ol>		

國防部軍備局中山科學研究院  
九十八年度出國報告審查表

出國單位	電子系統研究所空用電子組	出國人員 級職姓名	聘用技士/羅元蔚
單 位	審 查 意 見	簽 章	
一級單位			
計 品 會			
保 防 安 全 處			
企 劃 處			
批		示	

# 國外公差人員出國報告主官（管）審查意見表

本案為長征計畫合成孔徑雷達之出國案，長征雷達的設計過程中在電路設計上有許多技術以及經驗之瓶頸，例如：RF，處理器，數位信號處理以及電源等等。本次派員參加 2009 年歐洲 ESSCIRC 研討暨展示會議，希望可以藉由國際專家學者的經驗交流，來瞭解部分電子電路上的問題，這次出國所獲得的資訊與知識，對於本案之實質助益如下：

1. 瞭解國際間電子系統設計、架構及全球電子技術研究現況及未來發展趨勢，有助於未來與國際之合作。
2. 由所提供之論文資料以及心得介紹，可以為未來合成孔徑雷達數位電路設計之參考。
3. 藉由與會之國際先知與專家之經驗交流，將有助於提昇未來執行合成孔徑雷達計算機系統設計之效率。

綜合上述，本次之出國成效執行卓越，對未來計畫之執行助益良多。

## 出國報告審核表

出國報告名稱：第 35 屆歐洲固態電子電路研討會(35 <sup>th</sup> European Solid-State Circuit Conference)心得報告			
出國人姓名 (2 人以上，以 1 人為代表)		職稱	服務單位
羅元蔚		聘用技士	中山科學研究院電子系統研究所空用電子組
出國類別	<input type="checkbox"/> 考察 <input type="checkbox"/> 進修 <input checked="" type="checkbox"/> 研究 <input type="checkbox"/> 實習 <input type="checkbox"/> 其他_____		
出國期間：98 年 09 月 12 日至 98 年 09 月 19 日		報告繳交日期：98 年 10 月 08 日	
計畫主辦機關審核意見	<input checked="" type="checkbox"/> 1.依限繳交出國報告 <input checked="" type="checkbox"/> 2.格式完整 <input checked="" type="checkbox"/> 3.無抄襲相關出國報告 <input checked="" type="checkbox"/> 4.內容充實完備 <input checked="" type="checkbox"/> 5.建議具參考價值 <input checked="" type="checkbox"/> 6.送本機關參考或研辦 <input checked="" type="checkbox"/> 7.送上級機關參考 <input type="checkbox"/> 8.退回補正，原因： <input type="checkbox"/> 不符原核定出國計畫 <input type="checkbox"/> 以外文撰寫或僅以所蒐集外文資料為內容 <input type="checkbox"/> 內容空洞簡略或未涵蓋規定要項 <input type="checkbox"/> 抄襲相關出國報告之全部或部分內容 <input type="checkbox"/> 電子檔案未依格式辦理 <input type="checkbox"/> 未於資訊網登錄提要資料及傳送出國報告電子檔 <input checked="" type="checkbox"/> 9.本報告除上傳至出國報告資訊網外，將採行之公開發表： <input checked="" type="checkbox"/> 辦理本機關出國報告座談會（說明會），與同仁進行知識分享。 <input type="checkbox"/> 於本機關業務會報提出報告 <input type="checkbox"/> 其他_____		
審核人	出國人員	初審	機關首長或其授權人員

說明：

- 一、各機關可依需要自行增列審核項目內容，出國報告審核完畢本表請自行保存。
- 二、審核作業應儘速完成，以不影響出國人員上傳出國報告至「政府出版資料回應網公務出國報告專區」為原則。

# 報 告 資 料 頁

1.報告編號：	2.出國類別： 研究類	3.完成日期： 98.10.08	4.總頁數： 26
5.報告名稱：第 35 屆歐洲固態電子電路研討會(35 <sup>th</sup> European Solid-State Circuit Conference)心得報告			
6.核准 文號	人令文號	中華民國 98 年 08 月 25 日國人管理字第 0980011698 號	
	部令文號	中華民國 98 年 08 月 18 日國備獲管字第 0980011292 號	
7.經 費	新台幣： 71,129 元		
8.出(返)國日期	98/09/12 至 98/09/19		
9.公差地點	希臘雅典 (Athens)		
10.公差機構	ESSDERC/ESSCIRC conference		
11.附 記			

## 行政院及所屬各機關出國報告提要

出國報告名稱：第 35 屆歐洲固態電子電路研討會 (35<sup>th</sup> European Solid-State Circuit Conference)心得報告

頁數 20 含附件：是否

出國計畫主辦機關/聯絡人/電話

中山科學研究院/蘇惠蘭/355850

出國人員姓名/服務機關/單位/職稱/電話

羅元蔚/中山科學研究院/電子系統研究所空電組/聘用技士/355850

出國類別：1 考察2 進修3 研究4 實習5 其他(開會訪問類)

出國期間：

98/09/12~98/09/19

出國地區：

希臘雅典

報告日期：

98/10/01

分類號/目

關鍵詞：

Solid state、analog circuit、digital circuit、RF、ADC、DAC

內容摘要：(二百至三百字)

第 35 屆歐洲固態電子電路研討會(35<sup>th</sup> European Solid-State Circuit Conference)心得報告，蒐集國際固態電子發展現況，包含類比數位轉換器(ADC)、射頻電路(RF circuit)、高電壓電流電路(High-voltage high current circuit)、數位電路(Digital circuit)、電源管理電路(power management circuit)、處理器與記憶體(processor & memories)、數位信號處理 (Digital Processing)、生化醫療應用 (Biomedical Application) 等相關技術文件資料，作為計畫創新研發之參考，可增進雷達計算機設計及高速介面設計技術，以提昇未來執行合成孔徑雷達計算機系統設計之效率。本報告可瞭解國際電子電路系統設計能力與資訊，藉著這些寶貴的經驗，提升計畫執行成果與效率。取得電路設計質輕、體小及低耗能之相關知識與資訊，用以設計適合短程的小型航空載具配掛。

# 目 次

壹、 目的.....	(9)
貳、 過程.....	(9)
參、 心得.....	(15)
肆、 建議事項.....	(26)

BQ93F5CF7

# 第 35 屆歐洲固態電子電路研討會(35<sup>th</sup> European Solid-State Circuit Conference)心得報告

## 壹、目的

為執行本院 98~101 年『長征計畫合成孔徑雷達系統整測技術諮詢』之雷達酬載研發工作，派員參加 2009 年歐洲 ESSCIRC 年度研討會暨展示會議，以取得相關技術資訊。

合成孔徑雷達 (Synthetic Aperture Radar, SAR) 為全天候、大範圍的偵蒐系統，可彌補光電偵照系統的操作限制，世界先進國家均將其列為必要之偵蒐裝備，且可推廣應用於商業及學術研究用途。

本院在合成孔徑雷達的研發起步晚且投資少，以現階段技術水平而言應是處於「劣勢」。本院雖有累積多年雷達研發經驗，但由於合成孔徑雷達所需之電子系統相較於其他雷達系統而言較為嚴格，以本院而言經驗仍有許多不足之處，因此急需引進歐美等先進國家之相關技術，予以提升本院之技術能量。

為提升合成孔徑雷達雷達電子系統之設計技術與能力，藉由會議中一系列電子系統及電路設計之討論，以獲得最新之感測器、數位信號處理器及高速通訊介面等電子系統設計技術資訊。另外，由於國內在設計空用電子系統的能力及資訊仍不足的情況下，藉由本次與會之專家學者，以獲取感測器、數位信號處理器及高速通訊介面等相關廠商資訊及技術，藉以提昇計畫執行進度。

## 貳、過程

09 月 12 日晚上搭機，09 月 13 日下午抵達希臘雅典(Athens)。隔天前往 Caravel 大飯店辦理報到與註冊等手續，收集研討會相關文件，並研讀 2009 年 ESSCIRC(European Solid State Circuit Conference)各國研究論文報告，了解國際間於固態電子電路產業之發展經驗與近況，取得相關先進技術情資。

09 月 14 日下午參與教育訓練，教育訓練的內容主要是針對製程縮小時所帶來的許多負面影響與衝擊，其中包括新時代的積體電路應該如何去設計，以及為了節能電路應該如何做設計等議題，上課的內容十分的新穎，是以前所未見的。



圖一 教育訓練課程上課情形

09 月 15 日研討會以奈米級電路設計為主軸，探討利用奈米製程來實現積體電路或影像感測電路等技術。討論的內容包括數位信號處理與 3 維影像的建立機制與方法。這兩樣技術對本計畫可提供設計參考以及應用，會中瞭解現階段國際電子電路技術之發展與應用。09 月 15 日研討會主題一覽表(表一)：如後。

表一：09 月 15 日研討會主題一覽表

時間	研討會主題
上午	Challenges for Silicon Technology Scaling in the Nanoscale Era (奈米世代的矽技術微化挑戰)
	A 2.5Ghz, 6.9mW Delta-Sigma Modulator with Standard Cell Design in 45nm-LP CMOS Using Time-Interleaving (以時間交錯法 45 奈米低功率互補金屬氧化物半導體標準原件設計 2.5Hhz, 6.9mW Delta-Sigma 模化器)
	647MHz, 0.642pJ/Block/Cycle 65nm Self Synchronous FPGA (647MHz, 0.642 微微焦爾/區塊/週期 65 奈米自我同步 FPGA 設計)
	A Recovery-Charge 600Mhz FIR Filter with 1.5 Cycle Latency Overhead 1.5 週期延遲之充電回復 600MHZ 有限濾波器設計
下午	A Parallel 32x32 Time-to-Digital Converter Array Fabricated in a 130 nm Imaging CMOS Technology (以 130 奈米影像互補金屬氧化物半導體技術組裝 32x32 時間數位轉換器陣列)

<p>Pulsed Time-of-Flight 3D-CMOS Imaging Using Photogate-Based Active Pixel Sensor (以影像閘為基底之主動式像素感測器實現脈波式飛行時間 3 維互補金屬氧化物半導體成像)</p>
<p>A 32x32-Pixel Array with in-Pixel Photon Counting and Arrival Time Measurement in the Analog Domain (在類比域以像素光子計數與到達時間量測實現 32x32 像素陣列)</p>
<p>A 134-Pixel CMOS Sensor for Combined Time-of-flight and Optical Triangulation 3-D Imaging (134 像素互補金屬氧化物半導體感測器組合飛行時間與光學三角 3 維成像)</p>



圖 二 研討會會場

09 月 16 日研討會以節能技術，單晶片以及數位電路設計為主軸。在這天的研討會中有許多專家學者提出許多節能控制晶片的設計方法，由於本計畫於功率消耗的需求有著嚴格的限制，在本次電源管理晶片的設計論文發表上，發現我國的電源管理晶片技術於世界上處於領先的地位。另外，在影像辨識方面，有國外專家提出利用分散處理方式解決影像辨識的

複雜問題，值得加以運用在未來計畫的精進上。最後在，處理器與記憶體設計上，則是著重在設計的速度最佳化以及多核心系統節能問題討論，這對於雷達系統計算機設計提供了一些參考，值得我們借鏡與學習。

表二：09 月 16 日研討會主題一覽表

時間	活動
上午	Circuits For New Technology (電路新技術)
	A 1x1 802.11n WLAN SoC with Fully Integrated RF Front-End Utilizing PA Linearization (1x1 802.11n 單晶片完整整合利用線性功率放大器實現之 RF 前端設計)
	A Single-Chip CMOS UHF RFID Reader Transceiver for Mobile Applications (互補金屬氧化物半導體 UHF RFID 單晶片收發器於行動通訊之應用)
	A 400-MHZ CMOS Radio Front-End for Ultra Low-Power Medical Implantable Applications (400MHZ 互補金屬氧化物半導體前端發射器超低功率於醫學植入之應用)
	A Real-Time Image Recognition System Using a Global Directional-Edge-Feature Extraction VLSI Processor (即時影像辨識系統使用全方向邊緣特徵擷取之 VLSI 處理器)
	A High Efficiency and Compact Size 65 nm Power Management Module with 1.2V Low-Voltage PWM Control for UWB System Application (高效能與 Compact 尺寸之 65 奈米電源管理模組於 1.2V 低瓦數 PWM 控制器於 UWB 系統上之運用)
下午	The Future of High Frequency Circuit Design (高頻電路設計之未來)
	Power Reduction Techniques for an 8-Core Xeon Processor (8 核心 Xeon 處理器之功率節省技術)
	A 2.89mW 50GOPS 16x16 16 Core MIMO Sphere Decoder in 90nm CMOS (使用 90 奈米互補金屬氧化物半導體實現 2.89mW 50 GOPS 16x16 16 核心 MIMO 球狀解碼器)
	A Yield Centric Statistical Design Method for Optimization of the SRAM Active Column (收益中心統計設計方式實現 SRAM 主動行的最佳化)
	A Resonant-Clock 200Mhz ARM926EJ-S Microcontroller (200MHZ 共鳴時脈 ARM926EJ-S 微控制器)

09 月 17 日研討會以網路編碼之晶片設計介紹，以及嵌入式類比/數位電路設計介紹為

主軸，由於本計畫未來會有部分無線網路傳輸之應用，在這最後一天的研討會中內容可以為本計畫之部分硬體實現與未來精進提供設計參考。

表三：09 月 17 日研討會主題一覽表

時間	活動
上午	A 118.4GB/s Multi-Casting Network-on-Chip for Real-Time Object Recognition (118.4GB/s 多重廣播網路晶片於物件辨識上之運用)
	A 1.69Gb/s Area-Efficient AES Crypto Core with Compact on-the-fly Key Expansion Unit (以精簡即時鑰匙擴充單元實現 1.69GB/s 有效區域 AES 編碼核心)
	Area and Latency Optimized High-Throughput Min-Sum Based LDPC Decoder Architecture (區域與延遲最佳化之高輸出率 Min-Sum 為基底之 LDPC 解碼器架構)
	A 11.5-Gbps LDPC Decoder Based on CP-PEG Code Construction (CP-PEG 碼架構 11.5Gbps LDPC 解碼器)
下午	Embedded Analog-to-Digital Converters (嵌入式類比數位轉換器)
	Improved on-Chip Components for Integrated DC-DC Converters in 0.13um CMOS (整合 DC-DC 轉換器於 0.13um 互補金屬氧化物半導體實現改良式晶片元件)
	High Efficiency DC-DC Buck Converter with 60/120-MHz Switching Frequency and 1A Output Current (60/120MHz 交換頻率與 1 安培電流之高效能 DC-DC 轉換器)

9 月 18 日：一早搭機回國。



圖三 展覽會場



圖四 研討會實景

## 參、心得

ESSCIRC (European Solid State Circuit Conference) 主要是一個提供歐美國家固態電子電路論文發表的會議，但近年由於亞洲國家研究單位或是大專院校投稿數也漸漸增加，該會議也成爲一個國際間知名的論文發表會議，今年的論文發表議題，集中在於奈米級製程對設計所帶來的一些設計上的衝擊，這些衝擊包括功率消耗、數位電路、類比電路以及數位/類比混合設計等問題，這些衝擊也成爲許多電路設計師的新挑戰。

這次十分榮幸可以參加會議所提供的教育訓練-打破連結時序牆 (Breaking the interconnect timing wall)，這個教育訓練主要是介紹現今超大型積體電路 (VLSI) 設計當中所遭受的不單單只是電晶體數量、面積及複雜度，而是新增邏輯閘間連接線 (wire) 問題，這個問題看似只有直接影響晶片的電路設計，對於程式設計方式不會有太大的影響。但其實就可程式陣列 (Field Programmable Gate Array, FPGA) 上的設計，將會有極大的影響度，由於本院的系統設計十分強調及時性，所以許多單位會使用 FPGA 來實現複雜的演算法，因此瞭解現階段晶片設計原理將十分有助於提升系統穩定度，減少研發時的錯誤，並縮短開發時程。

早些年前許多數位電路設計師，把提升晶片速度或增加複雜度的提升重點擺放在縮減電晶體的面積上，爲了達到此一目的，由於電晶體的體積一旦縮小，單位面積可以容納的電晶體不但增多，而且電晶體的通道傳遞速度也會更著變快，可以說有著諸多的優點，爲了達到此一目的，許多的晶元代工廠不斷的推出更新更小的製程，如早期的  $0.35\ \mu\text{m}$ ， $0.18\ \mu\text{m}$  一直進步到 90nm 或是 35nm 的製程，但製程縮小所帶出的缺點卻因此出現。就電晶體而言，製程越小所代表的是電子游離通道越短，因此可以提升電晶體速度，而且也可以在單位面積上，容納更多的電晶體。但是這卻造成連接線 (wire) 的傳輸速度變差，連接線所追求的是體積越大越好，因爲大體積可以讓更多的電子通過，端電壓提升的速度因而較快，因此大製程將有利於連接線的應用。

由上段所述，在製程上電晶體追求的是較短的製程，而連接線卻與之相反，這就如圖五所示，在電晶體和連接線就製程技術上各自築起了一道牆，這道牆阻擋了製程技術對時間上的改良，爲了打破這兩道牆，需要運用更新穎的設計方式來實現電路，這也就是這門課的名稱由來。

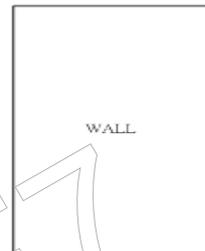
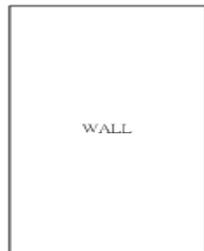


圖 五 製程的瓶頸

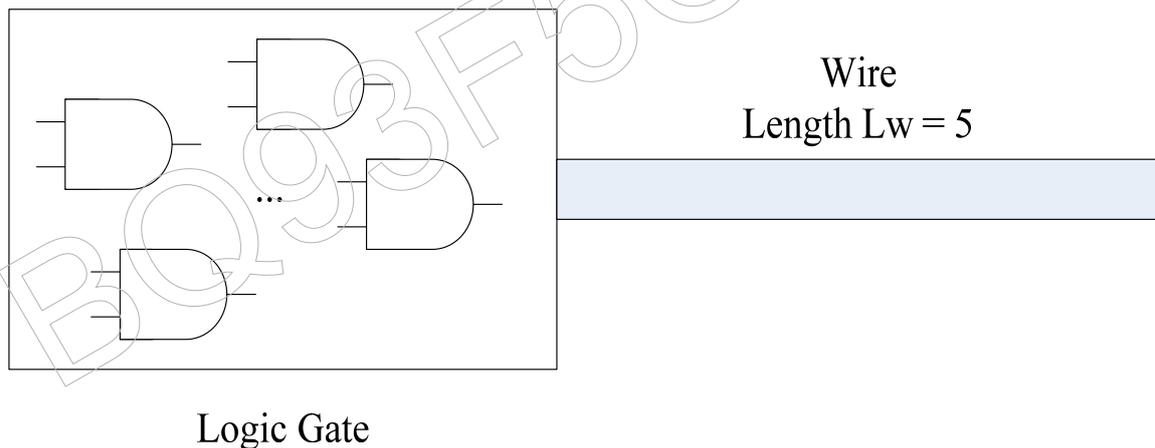
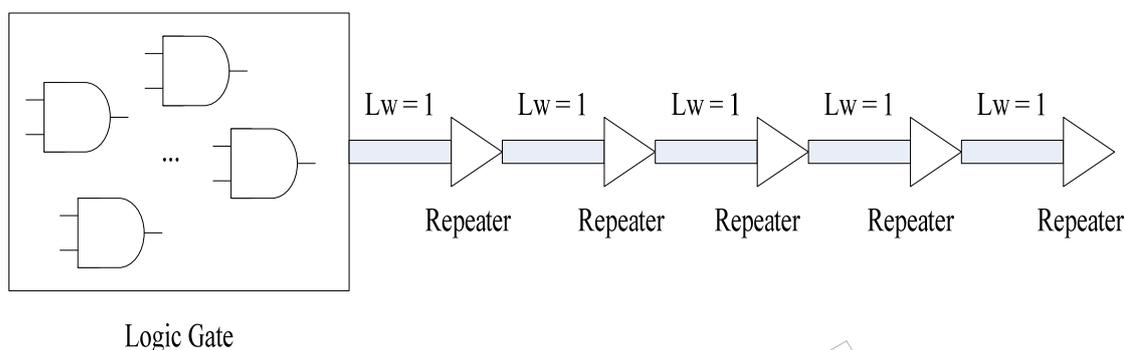


圖 六 未經特殊考量的設計

由於現階段的特殊用途積體電路（Application Specific Integrated Circuit, ASIC）設計大多以元件基底（Cell Base）的方式來實現，所謂的 Cell-Base 設計，就是由一些已經以人工設計好的邏輯元件，建立起元件資料庫（Cell library），使用者再經由 IC 設計軟體來幫助使用者合成所需的邏輯電路。所以邏輯元件（logic cell）之間的連接，便是使用連接線來連接。

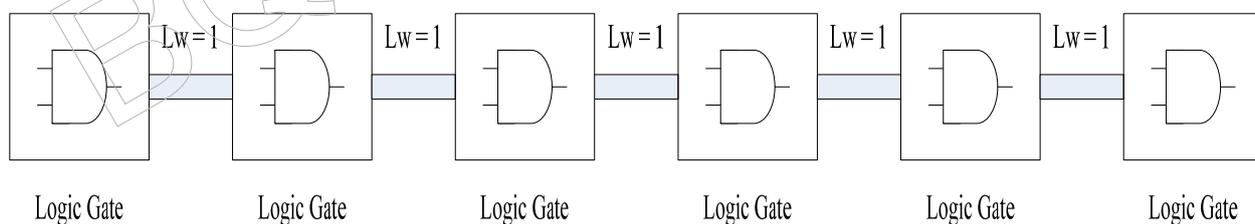
參考圖六，圖六是一個未經特殊考量的電路設計，這種電路設計方式，可廣泛的在早期的設計中出現。圖六沒有考慮到連接線的延遲，因此在連接線上的設計較長，因此在奈米製程上，會有較長的延遲，由於連接線長度  $L_w$  與時間延遲  $D$  的關係為  $D \propto L_w^2$ ，所這種設計所得的  $D$  是 25。

就上述所遭受的問題而言，一種最簡單的解決方式，就是加入中繼器（Repeater），這種方式稱為中繼器加入（Repeater Insertion, RI），請參考圖七。



圖七 以 RI 方式設計的電路

在圖七之中連接線的長度變短，因此連接線總時間的延遲變為 5，這無疑比圖六的效能要好 5 倍左右，但問題並沒有因而解決，因為適用 RI 的方式會增加許多功率消耗，這雖然解決了連接線過長的問題，卻新增加功率消耗的問題。



圖八 以 LGR 方式設計的電路

因此工程師們想出了新的方法，請參考圖八。在圖八之中把圖七中的中繼器（Repeater）給省略了，取而代之的是將原本的邏輯閘中加入連接線，由於中繼器（Repeater）的主要功能在於將連接線給切短，除此之外並沒有特殊的作用，所以直接以邏輯閘來取代之，並無不可。

這種方式不但簡化了 RI 的方式，而且可以大大減少 RI 所做成的功率消耗，我們將這種方式稱為邏輯閘中繼器（use Logic Gate as Repeater, LGR）。LGR 雖然有很多好處，但仍有許多需要考慮的地方，其中之一的原因在於，如果每一個邏輯閘間效能差距太大時，則在此路徑中最複雜的邏輯閘將會限制該段路徑的時脈效能，因此為了解決這個問題我們必須把每段邏輯閘間的複雜度。或是效能盡量的一致化或是相當，這個步驟稱之為均化邏輯效能

( Unified Logic Effort, ULE )。

ULE 其實並不是那麼容易由電腦來實現之，以現今合成軟體而言，這往往會消耗大量時間。所以整體而言 ULE，LGR 以及 RI 間彼此會相互運用，以達設計時間與效能的最佳化。

另外，通常在合成時 LGR 及 ULE 會交互的被使用。有趣的是如果以 LRG->ULE-LGR->順序考慮時可以得到較佳的效能，但在功率上卻會比較差。反之，若以 ULE-LGR-> ULE->順序考慮時可以得到較佳的功率消耗，但在效能上卻會比較差。

最後的在課程的結論上得到，LGR，ULE 及 RI 在整個 IC 設計的流程中，各有利弊，協調三種方式的運用才能使晶片的運用上達到最佳化，當然，設計師能夠貼近電路設計規則，來設計電路，才是使電路最佳化的最重要因素。

由於在計畫上會使用大量的 FPGA 來設計複雜的電路，藉由該課程的開導，使得未來的數位電路設計上，可以藉由現階段製程特性，來調整設計風格 ( Coding Style )，得以更精確的設計出符合晶片特性的電路，藉此提升系統效能。

## 重要論文回顧

由於研討會的論文有很多，這次最大的遺憾在於無法參加所有的研討會，因為許多的論文發表是在同一時間提出的，職僅能就計畫所需與職之所長來參與研討會，這次所參與之論文議題大致上可分為嵌入式設計，電源管理，3D 影像技術，光學感測與影像系統，數位信號處理，處理器與記憶體等。

本次絕大多數的論文及討論主題大多圍繞在奈米世代所帶來的衝擊與改變，附件一：奈米世代的矽技術微化挑戰 (Challenges for silicon technology scaling in the Nanoscale Era) 論文原文介紹了現今製程的挑戰。

在過去 40 年的電子業發展過程中，電子產業絕大多數都依循著莫爾定律 ( Moore's Law )，但由於新的材質，元件架構以及最新的 3 維矽製程提出後，又將電子電路與系統打破莫爾定律，繼續的推出新世代互補金屬氧化物半導體 (Complementary Metal-Oxide Semiconductor, CMOS) 發展製程。回顧過去 CMOS 的發展過程中可以發現無數人類智慧的結晶以及努力。由表格一可以看出，當製程縮小時，也意味著電路功率縮小，效能的提升，以

及可以在單位面積上容納更多的電晶體，爲了達到這個目的，電晶體的閘極介電質（gate dielectric）濃度以及通道長度（channel length）縮小一直是主要方法，以及將半導體業往前推進的主要原因。這些改變對於計畫上的晶片挑選很重要，因爲不同製程的晶片，對於環境及系統的影響不一，基本上製程越小晶片的功耗及速度都有益處，但是在全系統的穩定卻不見得如此。

表 四 CMOS 縮小時各參數間關係

Parameter	Scaling
Physical dimensions, L, W, Tox, wire pitch	$1/\alpha$
Body doping conc.	$\alpha$
Voltage	$1/\alpha$
Circuit density	$\alpha^2$
Capacitance per circuit	$1/\alpha$
Circuit speed	$\alpha$
Circuit power	$1/\alpha^2$
Power density	1
Power-delay product (energy per operation)	$1/\alpha^2$

請參考圖九，當閘極絕緣到達了 1 奈米寬度時，量子效應就會浮現，閘極的絕緣的濃度將阻止了通道的縮減，這連帶引發靜態漏電以及短通道效應等元件操作時的現象，不可避免的當無法再度縮小時，動態及靜態功率消耗將隨的電晶體密度以及參數而提升。雖然以現今半導體技術可以不經縮減閘極長度而達到元件效能，但新縮小技術又將藉著高介電值（High-K）材料應用的提出而重新開始。然而這又引發新的挑戰，這個挑戰在於以傳統的 CMOS 晶元製程來達到所述的方法。然而，藉由介面層材質、高介電材質、金屬閘極等技術整合進傳統製程中，將逐步的達到或超越 CMOS 技術要求。

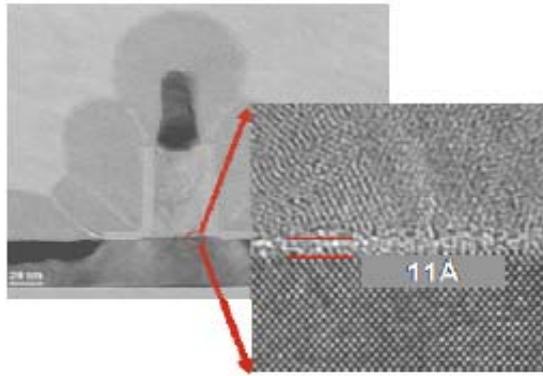


圖 九 1 奈米閘極的絕緣寬度

以嵌入式設計議題而言，類比與數位整合的系統單晶片（SOC），由於雷達的信號處理系統都必然會使用類比與數位系統，而兩種元件會在印刷電路板（Printed Circuit Board, PCB）板件上的佈局，會佔據相當的面積，功耗上也佔據一定的份量。然而在製程的進步下，陸陸續續有廠商提出整合的方案。

附件二：嵌入式類比數位轉換器(Embedded Analog-to-Digital Converters)是一篇介紹嵌入式類比數位轉換器(ADC)的論文內容，參考圖十以典型的嵌入式 ADC 而言，在表 2 之中我們可以看見嵌入式 ADC 在訊號量化比（Signal Quantization Ratio, SQR）、訊雜比（Signal Noise Ratio, SNR）評估參數等，都比獨立的 ADC 來的好，更加重要的是在面積以及功率消耗上，嵌入式 ADC 會比獨立的 ADC 要來的要好很多，由於合成孔徑雷達對於體積以及功率消耗都有較為嚴謹的需求，所以在計畫的考量上應以嵌入式系統為主要需求。但以目前 SoC 技術而言卻又有很多問題需要考量，比如：電晶體互相產生干擾（cross-talk）,低增益（low intrinsic gain），以及閘漏電（gate-leakage）等都是需要考量的。

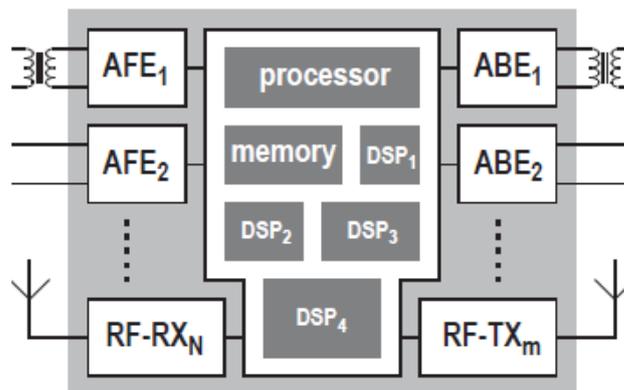


圖 十 典型的嵌入式 ADC 架構

以目前現階段設計而言，我們也採用了 FPGA 來實現數位系統晶片，但整合類比/數位晶片部分雖然有部分廠商，但目前並沒有實際可應用晶片可供本計畫運用，原因在於這類整合類比/數位系統晶片在數位部分通常功能較為薄弱，以致於無法應付本計畫對運算以及即時性的龐大需求，經過這次研討會也瞭解到技術的瓶頸在於何處，但相信再不久必然會有廠商提供，更加強大的系統晶片以供使用。

表 五 典型的嵌入式與獨立 ADC 之比較

Specification	Embedded	Stand-alone
NOB	12	10
SQR[db]	74.0	61.9
Thermal Noise[db]	65.1	65.1
SNR[db]	64.6	60.2
THD[db]	61.1	68.0
SNDR[db]	59.5	59.5
ENOB	9.6	9.6
INL(10b)[db]	0.6	0.4
DNL(10b) [db]	0.3	0.03
ERBW[MHz]	80	100
Fsamp[MS/s]	320	200
CMOS[nm]	45	250
Options	Thick-Oxide(free)	MiM
Vsupply[V]	1.0 / 2.5	2.5
Area[mm <sup>2</sup> ]	0.5	8.0
Package	776 pin BGA	128-pin EPQFP
Power[mW]	19.6	33.5

其中在光學感測與影像系統以及數位信號處理中有幾篇論文與影像辨識系統有關，值得將其設計方式用於本計畫之中，附件三：即時影像辨識系統使用全方向邊緣特徵擷取之

VLSI 處理器 ( A Real-Time Image Recognition System Using a Global Directional-Edge-Feature Extraction VLSI Processor ) 是一篇令職印象深刻的論文。參考圖十一，文中以 FPGA 來處理接收自數位像素感測器的資料，該文先將原始圖片 4 種不同方向的邊緣濾波器，產生出四種不一樣的圖片，之後在各自切割成 16 組影像方塊，每組方塊以像素累加的方式將方塊向量化，因此會產生 64 種不同的向量，再藉由這 64 種向量來對圖形資料庫做比對的動作，比對的方式是以 SAD ( Sum of Absolutely Difference ) 來做比對，經實驗之後的結果可以在 906us 之內比對出正確的物件 ( 辨識約 50 種不同物件 )，而且辨識度將近 100%。

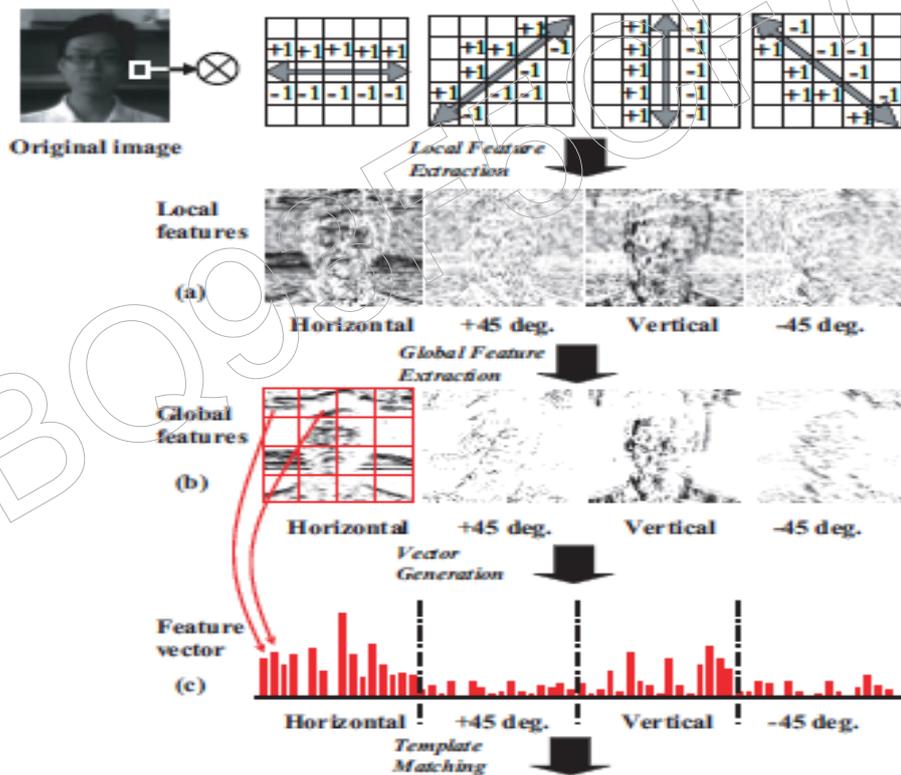


圖 十一 向量產生的過程

另一篇論文附件四：118.4GB/s 即時物件辨視多重廣播網路晶片 ( A 118.4GB/s Multi-Casting Networking-on-Chip for Real-Time Object Recognition Processor )，也是一篇和物件辨識有關的論文，這篇論文所使用的方式是採用一種叫網路晶片 ( Network-on-Chip, NoC ) 的技術，網路晶片簡單的說就是將我們日常生活的網路概念移植到晶片上實現，網路的兩端是 SoC 單元，SoC 通常是處理單元群 ( process element group ) 或是處理器群 ( processor group )，以這篇論文而言，SoC 是屬於處理單元群，這些處理單元用來

處理物件辨識的演算法。

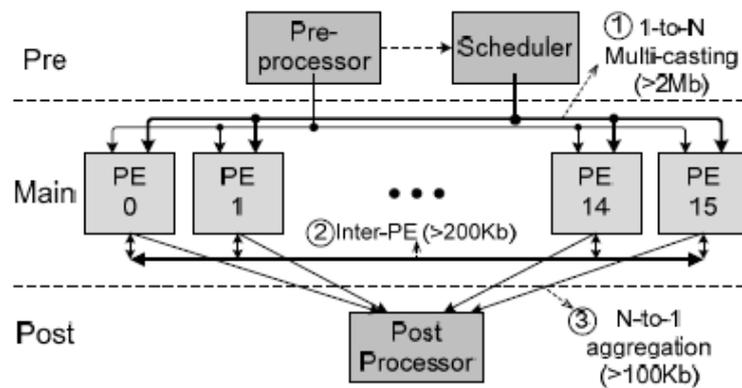


圖 十二 資料分配過程

文中使用了 16 顆處理單元，在一開始時影像會由一顆前置處理器 (pre-processor) 和排程器 (scheduler) 來利用多重廣播 (Multi-casting) 的方式分配資料至不同的處理單元，由 16 顆處理單元分別對所配置的原始和資料庫影像做運算，並將結果傳算至後置處理器 (post-processor) 做整合，藉此來達成影像物件辨識的工作。因為從硬體的架構上以及頻寬的利用率較高，所以系統的比對速度以及功率消耗都較以往方式都要來的好。

附件三和附件四應該有整合的空間，若以附件四的架構來實現附件三的演算法，應該可以在功率消耗，效能及設計時間上取得不錯進步。這兩篇文章所使用的方式，應該都可以運用於雷達微波影像的辨識上，由於方法簡單且容易實現，對於計畫上應有幫助。在處理器以及記憶體的問題中，有專家學者針對電源控制提出論文，以英特爾 (Intel) 而言由於核心數不斷的提升，對於電源消耗問題也越來越大，附件五：8 核心 Xeon 處理器之功率節省技術 (Power Reduction Techniques for an 8-core Xeon® Processor) 是英特爾的工程師所提出的論文，請參考 Figure 8，新的 Xeon 處理器 Nehalem-EX 是一顆 8 核心的處理器，這顆處理器利用新的製程、控制不需使用的記憶體或是處理器核心以功率消耗較低或是頻率較低的模式運作等方式來改進晶片消耗的功率。這顆晶片特殊的地方在於工程師將電源控制單元 (power control unit) 整合進入晶片之中，這在一般的處理器上比較少見。

一般來說處理器上的電源控制模組是需要使用者去定義或是控制，因為這種方式要實現晶片的方法比較簡單。但由於核心數變多，若一樣由使用者去定義的電源運作模式的話，

必然會是件複雜的工作，然而，這篇論文介紹的方式是以自動化控制的方式來去對核心工作模式來去做控制，這在設計上會遭受的問題有很多，其中之一是在製程整合上並不易，因為就電源控制而言是需要使用類比及數位整合的技術，這在製程整合上並不容易，另外由於核心數變多所代表的是電晶體數量也會跟著激增，這無疑會提升晶片設計的複雜度，但英特爾工程師卻將它給實現了，這也顯示這顆晶片了不起的地方。

請參考圖十三，就該圖所示的處理器核心電源功率消耗來說，要將這種處理器來實現無人載具（UAV）部分的合成孔徑雷達實在是幾乎不可能的事，因為光 Nehalem-EX 晶片所消耗的功率就已經將無人載具上所能提供給 DSP 的電源給耗盡。但由於該晶片的功能強大，所以就地面處理而言是一種很好的選擇。

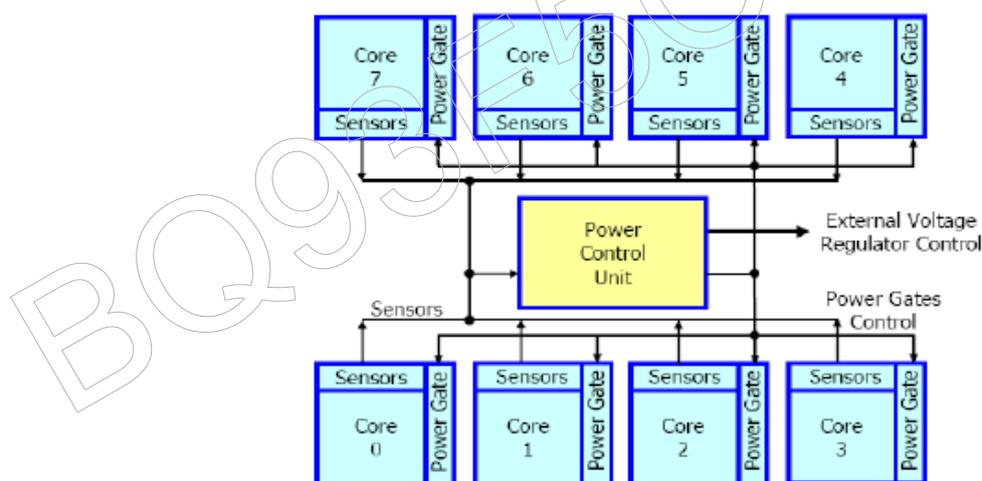


圖 十三 Nehalem-EX 處理器架構

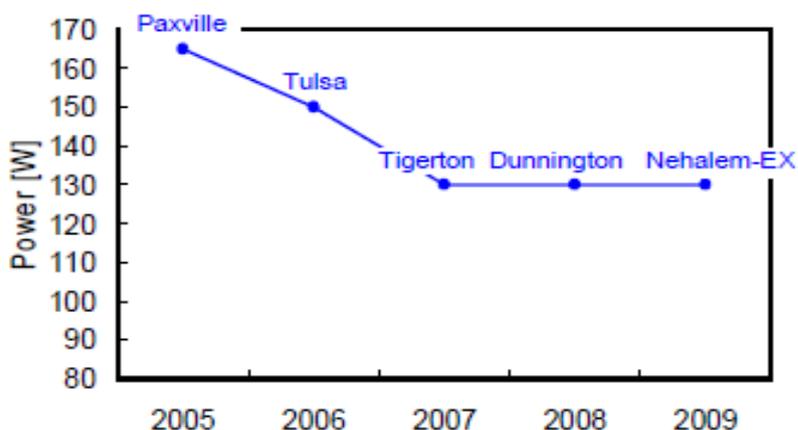


圖 十四 各世代處理器的功率消耗（16 個線程（thread））

在雷達相關方面的論文方面， 主要都是和 RF 端以及消費性電子有關，附件六：以互補金屬氧化物半導體整合功率放大器與混波電路拓樸邏輯於雷達應用(Merged Power Amplifier and Mixer Circuit Topology for Radar Applications in CMOS)，是一篇介紹功率放大器 (power amplifier) 和混波器 (mixer) 結合的電路，結合這兩種電路的主要目的是將一些消費性雷達應用產品的價格壓低，消費性雷達多半應用於車輛或是工業上，因此除了要求體積小價格低之外，還會要求功率消耗低，文中的輸出結果顯示在雜訊圖(noise figure, NF) 部分為 11.5db，但是在功率消耗上卻只有 16mW，所以適合應用於消費電子上。本計畫所需的 NF 值需低於 3.5db，所以這顯示要將這種電路應用於本計畫當中還有相當的距離。

附件七：以碳矽鎵化合物技術實現 24GHz 低雜訊靜電防護接收器於雷達應用 (Low-Noise ESD-protected 24 GHz Receiver for Radar Applications in SiGe:C Technology)，是一篇介紹的低雜訊接收機靜電防護的 RF 電路，文中所提出的電路可以忍受-40 °C to 125°C的溫度變化，而且還可以忍受 2kv 以上的靜電干擾，但是以圖十五來看，這顆 IC 在常溫(約 25~45°C)時 NF 的值仍然很大，並不符合計畫所需。

這次發表的雷達相關文章都和消費性電子有關，尤其以車輛電子為主，所以訴求的是體積小價格低，因此在雜訊上來說都難以滿足計畫上要求，但設計的概念或許值得我們做參考。。

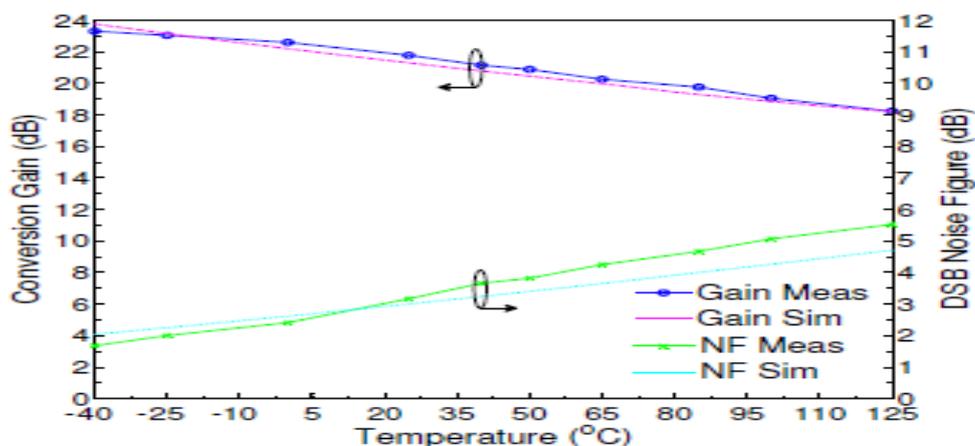


圖 十五 附件七的溫度變化與 NF 關係圖

Parameter	[3]	[12]	[11]	[4]	This work
Technology $f_T$ (GHz)	170	120	80	130	200
Gain (dB)	31.8	43	33	39	21.5
DSB NF (dB)	3.5	7.4	NA	7	3.1
$f_0$ (GHz)	21 <sup>1</sup>	23	24	14 <sup>1</sup>	24
BW (GHz)	18-25 <sup>1</sup>	NA	22.5-24.9	8-26 <sup>1</sup>	21.5-26.5
Size (mm <sup>2</sup> )	2.22	11.55 <sup>3</sup>	1.27 <sup>3</sup>	2.55 <sup>3</sup>	1
$P_{dc}$ (mW)	80 <sup>2</sup>	910 <sup>3</sup>	960 <sup>3</sup>	920 <sup>3</sup>	129
$V_{dc}$ (V)	2.5	2.5	4	4	3.3
$P_{1dB}$ (dBm)	-40	-27	-27	NA	-20.5
IIP3 (dBm)	NA	-11.5	NA	-34	-11

圖 十六 附件七的效能

綜合所述，參與的本次會議獲益良多，在知識見聞上增加了不少，但美中不足的部分除了無法參與所有場次的研討會之外，廠商的展覽也沒有預期的多，也為這次的出差留下了一些缺憾。

## 肆、建議事項

1. 經本次參與會議後，發覺本院之系統晶片 (SoC) 設計能力充足，但於類比/數位之製程整合，仍有精進空間，例如：將嵌入式 ADC、感測器 (如影像，運動姿態，溫度) 與數位系統做整合等等。
2. 歐洲固態電子電路研討會討論之議題範圍涉及材料、半導體元件製程、電路設計、影像處理、影像合成、演算法等，如應用於國防工業上，實能大幅度提升本院在雷達及信號處理之技術，但參展之學者眾多，無法一一拜訪及詢問問題，甚至同一時間會有一場以上之教育課程或論文發表，僅一人參與此場歐洲半導體之盛會，無法將此次研討會之發表成果完全帶回國內，實為憾事。建議此後之研討會，可派更多專精於不同領域之先進同仁共同參與，必能增進本院之研發速度；或可於會後相互討論，加深彼此印象，激發更多創新之研發能量。