

出國報告（出國類別：實習）

赴美國維吉尼亞理工學院暨州立大學研究實習先進能源相關電力電子技術出國 研究報告

服務機關：行政院原子能委員會核能研究所

姓名職稱：何元祥/副工程師、鄭志銘/副工程師

派赴國家：美國

出國期間：97年05月16日至97年06月28日

報告日期：97年08月

Advanced Research and On-Job Training for Power Electronics of Future Energy at Virginia Polytechnic Institute and State University

by

Yuan-Hsiang Ho · Chih-Ming Cheng

Abstract

In recent years, INER turned his research direction into the new and renewable energy area. One of the important aspects of these researches is the power electronics. Power electronics is not only just a modern technology for power conversion, but also plays an important role for the integration of various energy sources, including wind power, solar energy, and fuel cell etc. Therefore, with the increase of special requirement of those power sources with their certain specifications, the development of advanced power electronics demands immediate attention.

This project starts from Mar. 2007 to Feb. 2008. The goal of this project is to develop 3 sets of hardware for high-efficiency 5-kW SOFC power conversion system with grid-tie functionality. The requirements of system conversion efficiency are 96% for DC-DC conversion, 98% for DC-AC conversion, and 94% for overall system conversion, respectively. The specification of the system input and output voltage are with 48 DC (V) nominal and 220 AC (V), respectively. The THD of output voltage should be less than 5%. All of above are under the condition with load range from 20% to 100%.

Keywords: Converter, Inverter, Energy, Power Electronics.

Institute of Nuclear Energy Institute

赴美國維吉尼亞理工學院暨州立大學研究實習 先進能源相關電力電子技術出國研究報告

何元祥、鄭志銘

摘要

最近幾年，核研所投入研究資源於新能源與再生能源研究領域。在能源研究領域中，電力電子乃是一項不可或缺的關鍵技術。先進電力電子不僅為現今尖端科技研究課題之一，同時扮演整合包含風力、太陽能、燃料電池的整合性電力輸出的重要角色。因此，隨著特定新能源的特性與特殊規格需求的日益遽增，發展能源相關之先進電力電子技術已是刻不容緩的議題。

本計畫時程從 2007 年 3 月至 2008 年 2 月，計畫目標為發展 3 套高效率 5-kW 市網併聯型固態氧化物燃料電池(SOFC)之電力轉換系統。系統規格須符合在負載變動 20~100 %條件下，DC-DC 轉換效率方面需維持於 96 %以上、DC-AC 轉換效率方面需維持於 98 %以上、整體系統效率需維持於 94 %以上、輸入電壓為 48 DC (V)、輸出電壓為 220 AC (V)、THD (Total Harmonic Distortion) 需控制在 5%以下。

關鍵字：轉換器、逆變器、能源、電力電子。

核能研究所 綜合計畫組

目 錄

1. 目的	1
2. 過程	2
3. Inverter 基本架構	4
3.1 DSP board	5
3.1.1 Auxiliary power supply.....	5
3.1.2 DSP2808 controller.....	8
3.1.3 Voltage and current sensing.....	9
3.1.4 Low Speed I/O.....	15
3.2 Filter Board	17
3.2.1 LCL filter board.....	18
3.2.2 12V 電源	21
3.2.3 SSR 及 Relay 及 Current Sensor 電路	22
3.3 Power Stage	22
3.3.1 Main Switch Driver.....	23
3.3.2 Auxiliary Switch Drive.....	25
3.3.3 MOSFET/IGBT.....	27
4. 硬體製作與測試流程	30
4.1 DSP 輔助電力系統製作及測試.....	30
4.2 DSP2808 製作及測試.....	31
4.3 感測電路製作及 Frequency Response Analyzer 測試.....	32
4.4 Power stage 製作及測試.....	35
5. 系統整體設計流程	42

5.1 系統 Modeling.....	42
5.2 控制器設計	45
5.2.1 Voltage Open Loop Gain 設計	46
5.2.2 Voltage Controller Design.....	48
5.2.3 Current Open Loop Gain 設計	51
5.2.4 Current Controller Design.....	53
5.2.5 控制器實現.....	54
5.2.6 Phase Locked Loop 設計及實現	55
5.3 LCL filter 設計.....	58
6. 硬體測試結果	61
6.1 Fine tune 諧振電感值及測試	61
6.2 效率測試結果.....	64
7. 心 得	67
8. 建議事項	68
9. 致 謝	69
10. 參考文獻	70

附 圖 目 錄

圖 3-1 : SOFC 高效率市電併聯型 5kW 電力調控系統之控制系統方塊圖...	5
圖 3-2 : DSP 控制板 Schematic 電路圖	6
圖 3-3 : DSP 控制板 PCB Layout	6
圖 3-4 : DSP2808 Auxiliary power supply 之電路設計圖.....	8
圖 3-5 : DSP 及周邊輔助電路圖	9
圖 3-6 : 電壓回授電路圖	10
圖 3-7 : 二階 LP filter 之波德圖	11
圖 3-8 : 一階 RC LP 濾波器	12
圖 3-9 : RC Low-pass filter 之波德圖	13
圖 3-10 : 二階 RLC Low-pass filter	13
圖 3-11 : RLC Low-pass filter 之波德圖	14
圖 3-12 : DSP 板上 LED 燈號訊息	15
圖 3-13 : DSP 實驗設備架設	16
圖 3-14 : Filter board Schematic	17
圖 3-15 : Filter board PCB Layout	18
圖 3-16 : Inverter 輸出端及市電端的電感	19
圖 3-17 : LCL filter board 上的 12V 電源	21
圖 3-18 : Main power stage 電路圖	23
圖 3-19 : Main switch 之 gate driver 電路圖.....	24
圖 3-20 : Auxiliary switch 之 driver 電路圖	26
圖 3-21 : Driver IC MC33153 電路	27
圖 3-22 : MOSFET/IGBT 單臂電路圖	28

圖 3-23 : MOSFET/IGBT 全橋電路圖.....	29
圖 4-1 : DSP2808 Auxiliary power supply 之實作電路.....	30
圖 4-2 : DSP2808 chip 之實作電路.....	31
圖 4-3 : DSP2808 PWM 測試	32
圖 4-4 : 感測電路製作	33
圖 4-5 : 頻譜分析儀器外觀及軟體設定界面	33
圖 4-6 : 頻譜分析儀器外觀及軟體設定界面	35
圖 4-7 : 測試 driver 時之裝置	36
圖 4-8 : auxiliary switch 和 main switch 量測之波形.....	37
圖 4-9 : AUX IGBT(20N60A4D)及 MAIN MOSFET(6B045)組裝.....	38
圖 4-10 : resonant 的電感製作.....	38
圖 4-11 : resonant 的電感製作.....	39
圖 4-12 : main switch 測試結果及補強.....	40
圖 4-13 : Inverter 輸出波形	41
圖 5-1 : SOFC 高效率 5kW 電力調控系統之 Inverter 控制系統方塊圖...	42
圖 5-2 : Inverter 系統之等效電路圖.....	43
圖 5-3 : Inverter 控制系統的轉移函數.....	44
圖 5-4 : 補償過後的 Inverter 控制系統的轉移函數	45
圖 5-5 : Voltage open loop 的頻率響應.....	48
圖 5-6 : PR controller 頻率響應.....	49
圖 5-7 : 二階濾波器 G_{c_LP} 頻率響應	50
圖 5-8 : 控制器補償後 $G_{vclloop}$ 頻率響應.....	51
圖 5-9 : Current open loop 的頻率響應.....	53
圖 5-10 : Inverter 控制系統的轉移函數.....	54

圖 5-11 : PLL 鎖相原理	56
圖 5-12 : 加入 LCL 濾波器的 grid-tie inverter.....	60
圖 5-13 : LCL 濾波器的波德圖	60
圖 6-1 : Fine tune 之諧振電感完成圖	62
圖 6-2 : 效率測試儀器	64
圖 6-3 : 電路效率測試	64
圖 6-3 : 電路效率曲線	65
圖 6-4 : 諧振電流波形	66
圖 6-5 : Soft switching 波形	66

附表目錄

表 1-1：時程規劃	2
表 3-1：DSP2808 Auxiliary power supply 規格及需求.....	7
表 3-2：DSP board LED 燈號訊息.....	15
表 3-3：TTL 的準位邏輯	25
表 4-1：sensing 電路整理	34
表 6-1：諧振電感規格	62
表 6-2：計算所得之諧振電流理論值	63
表 6-3：效率測試結果	65

1. 目的

本所從 2004 年起積極發展再生能源與新能源研究計劃，於太陽能、風能、燃料電池、生質能等各領域已有相當的成果。在各領域中，電力轉換系統是不可或缺的一部分，更是需要投入更多的研發人力，目前，國際上各知名的電力電子實驗室正積極投入研究於先進能源電力電子領域，更以高效率大功率為未來目標。國際知名學者美國維吉尼亞理工學院暨州立大學 Prof. Jason Lai (賴日生)曾來所訪問，其提及美國能源部 DOE 對新能源研究的規劃以及再生能源與新能源領域對電力電子的需求。Prof. Lai 為美國能源部 DOE SECA 聯盟中的 Core Tech Team 之一，所帶領的團隊積極投入高效率大功率電力電子領域，其發展的電力轉換系統具有世界領先地位。

目標以開發 3 套 SOFC 高效率市電併聯型 5kW 電力調控系統，此系統包含前端 Converter V6 系統以及後端 Inverter 系統，本所已於 2007 年派員赴美國維吉尼亞理工學院暨州立大學進行 Converter V6 相關電力電子技術的研究實習，目前已在所內建立這套系統且有不錯之成果，本次派員將進行後端 Inverter 系統，此系統是將 DC 轉換為 AC 以併網上市電，Inverter 效率可達 98%以上。

2. 過程

本次公差時間含去程及回程共 44 天，主要行程為開發 3 套 SOFC 高效率市電併聯型 5kW 電力調控系統，此行主要是學習電源轉換器後端之 Inverter 系統，本所已於 2007 年派員赴美國維吉尼亞理工學院暨州立大學進行前端 Converter V6 相關電力電子技術的研究實習，目前已在所內建立這套系統且有不錯之成果，本次派員將進行後端 Inverter 系統，此系統是將 DC 轉換為 AC 以併網上市電，Inverter 效率可達 98% 以上。表 1-1 為時程規劃。

表 1-1：時程規劃

日期	工作重點
1st week (5/19~5/25)	Inverter 主電路級的電路設計 DSP code 2808 ADC 電壓電流迴授 Inverter 主電路級硬體製作及進行訊號量測 I 出國報告 (1/6)
2nd week (5/26~5/31)	Inverter 主電路級的元件選用 DSP 控制 SPWM 訊號原理及 DSP code 實現 Inverter 主電路級硬體製作及進行訊號量測 II 出國報告 (2/6)
3rd week (6/1~6/7)	Inverter PCB Layout 設計 DSP 控制 Soft-switching 訊號原理及 DSP code 實現 Inverter 主電路級硬體製作及進行訊號量測 III 出國報告 (3/6)

<p>4th week (6/8~6/14)</p>	<p>DSP 2808 的電路設計 鎖相迴路 PLL 電路設計和原理以及 DSP code 實現 DSP 2808 主電路級硬體製作及進行訊號量測 I 出國報告 (4/6)</p>
<p>5th week (6/15~6/21)</p>	<p>DSP 2808 元件選用 以 Matlab 進行補償器頻域響應設計 市電並聯及 DSP code 實現 DSP 2808 主電路級硬體製作及進行訊號量測 II 出國報告 (5/6)</p>
<p>6th week (6/22~6/27)</p>	<p>DSP 2808 PCB Layout 設計 5kW Inverter 效率量測 DSP 2808 主電路級硬體製作及進行訊號量測 III 出國報告 (6/6)</p>

3. Inverter 基本架構

本計畫之 Inverter 的包含三塊 PCB 板其中包含的是 DSP board， Filter board， 和 Power stage， 如圖 3-1， 其 Schematic 及 PCB Layout 以詳述於本章之各小節。

(1) DSP Board

- Auxiliary power supply
- DSP2808 controller
- Voltage and current sensors
- Low Speed I/O

(2) Filter Board

- LCL filter;
- 12V 電源;
- SSR 及 Relay
- Current Sensor 電路

(3) Power stage

- Main Drive
- Auxiliary Drive
- One Leg

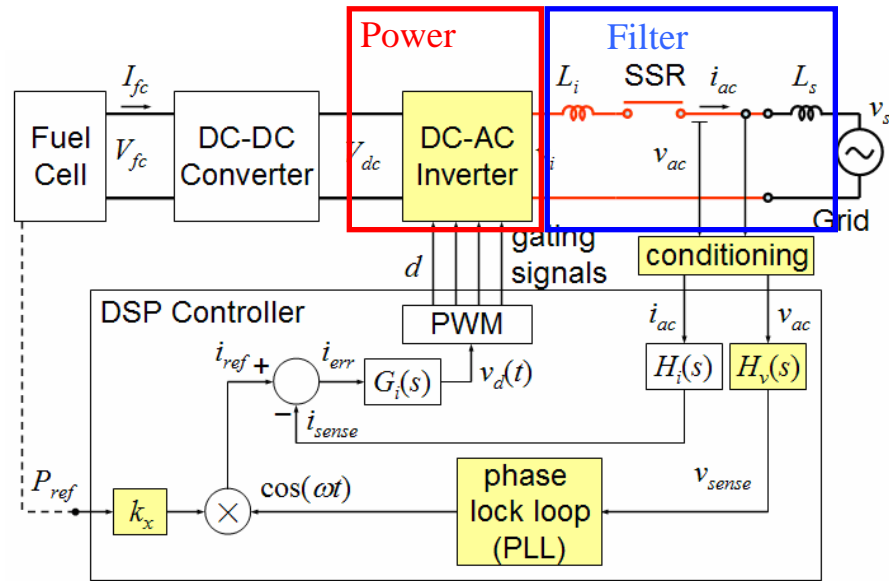


圖 3-1：SOFC 高效率市電併聯型 5kW 電力調控系統之控制系統方塊圖

3.1 DSP board

首先進行 DSP board 的部分，DSP 控制板主要分成下列四大部分，其中包含(一) Auxiliary power supply; (二) DSP 2808; (三) Voltage and Current Sensing; (四) Low Speed IO，其 Schematic 及 PCB Layout 如圖 3-2，3-3 所示。

3.1.1 Auxiliary power supply

Inverter 所需的小電源主要利用燃料電池的低壓側直流 36V~72V 轉換而成，以提供 DSP2808 所需的 3，3V 以及 1，8V 以及一些

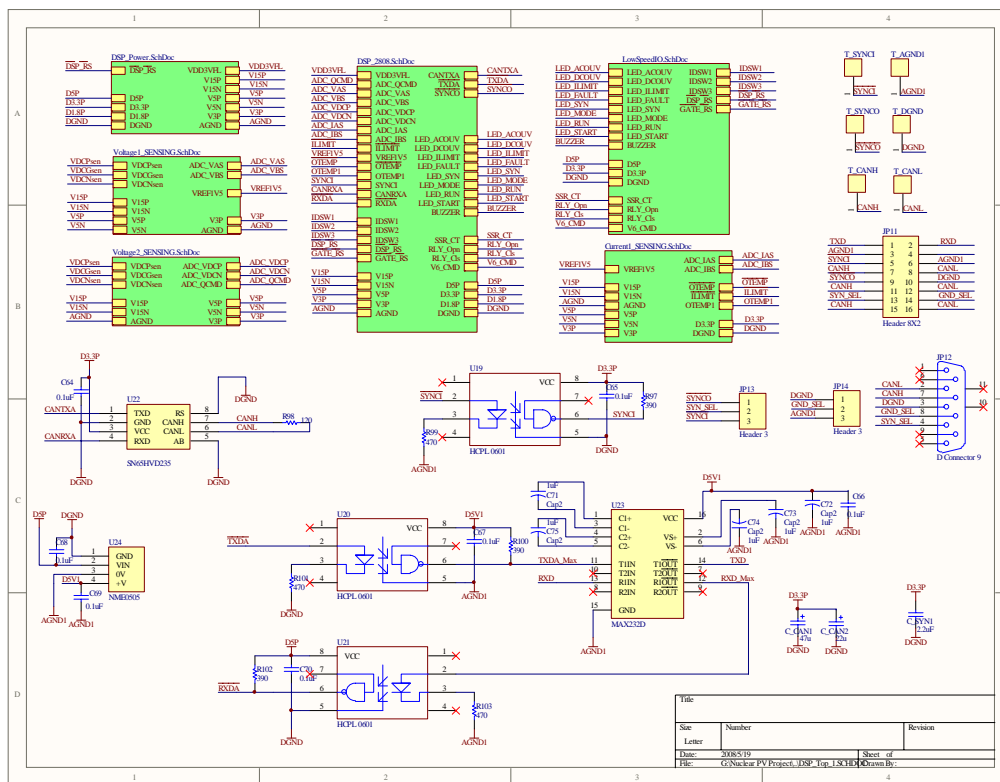


圖 3-2 : DSP 控制板 Schematic 電路圖

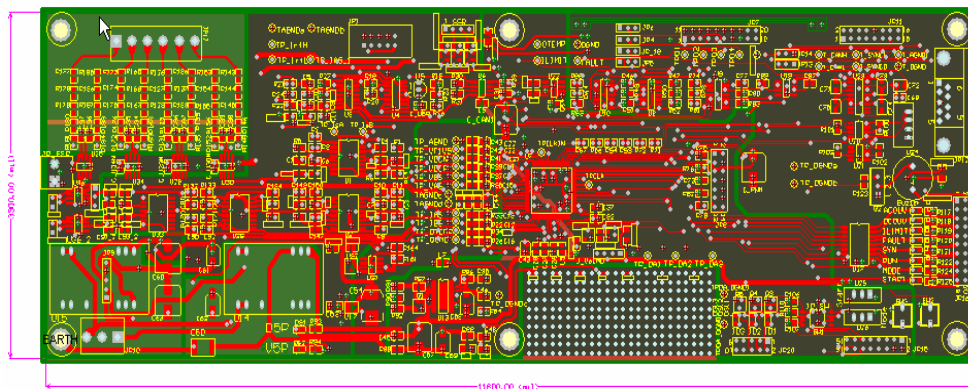


圖 3-3 : DSP 控制板 PCB Layout

類比 IC 所需的 3V、±5V 以及 ±15V 電源，如圖 3-4 所示，電源規格及需求如表 3-1 所述。

表 3-1：DSP2808 Auxiliary power supply 規格及需求

訊號類別	規格	功用
INPUT		
Vin	36~72VDC	Full Cell 所提供之電源
DSP_RS	High , Low	Reset 2808 power if signal is low
Output/ Analog GND		
V15P , V15N	+ -15VDC	提供給周邊 IC(HCM OP)
V5P , V5N	+5VDC	提供給周邊 IC(OP, 比較器, 邏輯閘)
V3P	3VDC	搭配 0 , 3V 之 Schottky Diode 箝制 ADC 正向 3 , 3V 電壓
Output/ Digital GND		
D3 , 3P	3 , 3VDC	提供 2808 所需電源
D1 , 8P	1 , 8VDC	提供 2808 所需電源
VDD3VFL	3 , 3VDC	提供 2808 flash 所需電源

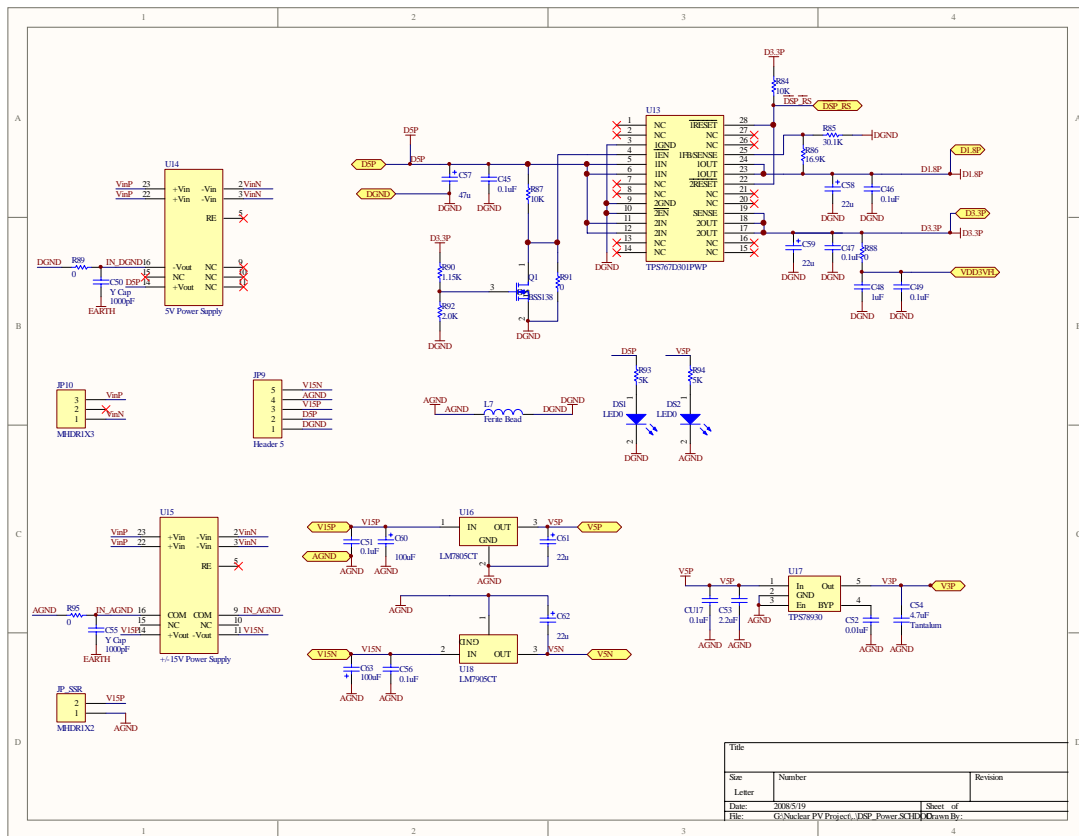


圖 3-4 : DSP2808 Auxiliary power supply 之電路設計圖

3.1.2 DSP2808 controller

如圖 3-5 所示，主要為 DSP 及周邊之輔助電路其中可在細分為：

1. DSP 2808 Chip

2. 20MHz Clock Circuit:

提供 2808 chip 之時脈

3. Operaton Mode Switching Circuit:

決定是操作在 emulation 或是在 flash program mode 一開始讀完後即可使用其 IO

4. JTAG(Joint Test Action Group)界面:

可用於追蹤內建軟體、讀取內部處理器暫存器的存取埠，甚至用於記憶體和可配置邏輯的板上編程

5.PWM Interface:

2808 PWM 輸出，主要有 GPIO PWM 輸出控制 Inverter MOSFET 及 HRPWM 輸出幫助程式 Degut

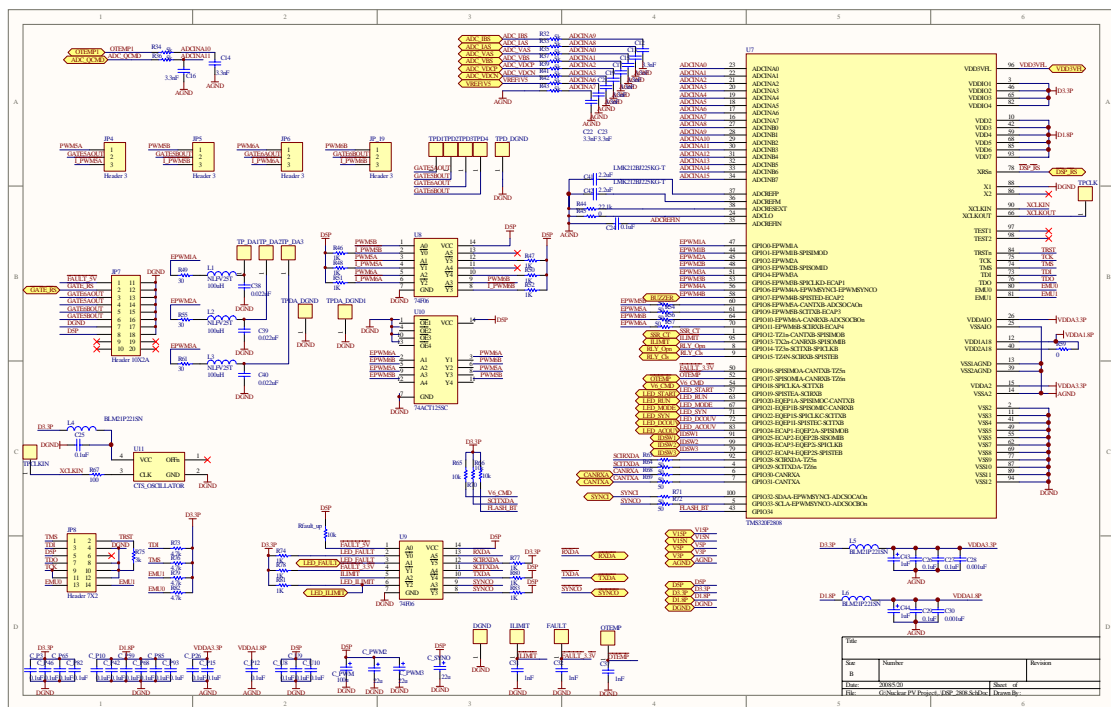


圖 3-5：DSP 及周邊輔助電路圖

3.1.3 Voltage and current sensing

此一部份含有五組 voltage 及一組 current sensing 電路，分別量取 VAS(inverter 輸出電壓)，VBS(市電電壓)，VDCP(Inverter 輸入之 DC 電壓)，VDCN(Pcmd)，VQCMD(Qcmd)，IAS(Inverter 輸出電流)，由於偵測之電壓電流值超過 DSP 的 ADC 上限值以及雜訊消除之考量，需要調整電壓及濾波並且含有 ADC 保護，以下就為此訴求所設計之電路加以介紹，如下圖 3-6 所表示，共分成(1)電壓調整電路 (2)二階濾波電路及

(3) ADC 保護電路。

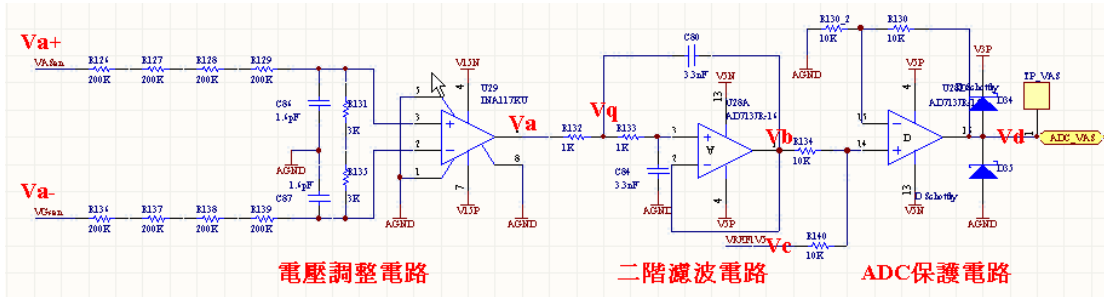


圖 3-6：電壓回授電路圖

(1) 電壓調整電路：

V_a 為 V_{a+} 及 V_{a-} 差值的 $3/803$ 倍，以美國系統為例市電端電壓為 $240V_{ac}$ ，所以

$$V_a = \pm 240 \cdot \sqrt{2} \cdot \frac{3}{803} \cong \pm 1.26$$

，其中含有一顆 Impedance buffer 達到穩定分壓。

(2) 二階濾波電路：

此為一個二階 LP filter，藉由 KVL 可求得

$$V_q = \frac{V_b}{1} \cdot \left(R + \frac{1}{SC} \right) = V_b \cdot (1 + SRC) \quad (3-1)$$

再藉由虛短路特性加上 KCL 得到

$$\frac{V_b \cdot SRC}{R} + \frac{V_b \cdot (1 + SRC) - V_a}{R} + \frac{V_b \cdot SRC}{1/SC} = 0 \quad (3-2)$$

上式加以整理可得到

$$G_v(S) = \frac{V_b}{V_a}(S) = \frac{1}{R^2 C^2 S^2 + 2RCS + 1} \quad (3-3)$$

進而求得

$$f_c = \frac{1}{2\pi RC} = 48k(Hz) \quad [R = 1k\Omega, C = 3.3nF] \quad (3-4)$$

圖 3-7 為對 $G_v(S)$ 繪製出的 Bode plot 可明顯看出 $f_c = 48kHz$ 時， $|G_v(S)| = -6dB$ (二階重根)。

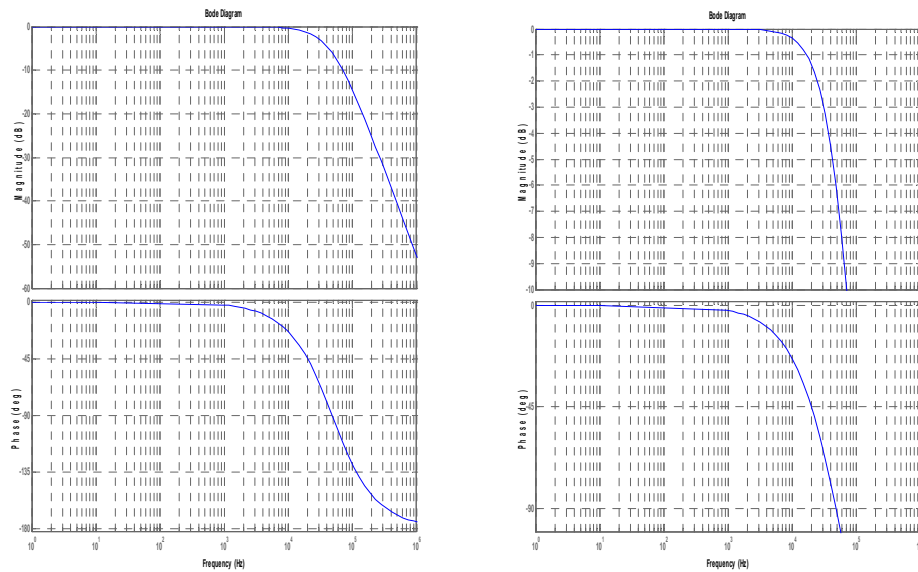


圖 3-7：二階 LP filter 之波德圖

除此濾波電路之外 2808 周邊尚有兩種濾波電路---RC 及 RLC 濾波電路，分別為 ADC 輸入之一階 RC LP filter 及 HRPWM(可將欲量測的訊號寫入某個 register 內，實際的訊號值可由此三組精確的 5MHzPWM 量測)之二階 RLC LP filter，其 cut-off 頻率分別為 9kHz，6kHz 以及 104kHz，可藉由電阻 R，電感 L 以及電容 C 來決定，我們可推導以分析此兩種濾波電路如下：

圖 3-8 為一階 RC LP filter，由 KVL 得到

$$G_v(S) = \frac{V_o}{V_i}(S) = \frac{\frac{1}{SC}}{R + \frac{1}{SC}} = \frac{1}{SRC + 1} \quad (3-5)$$

進而求得

$$f_c = \frac{1}{2\pi RC} = 9.6\text{kHz} \quad [R = 5\text{k}\Omega, C = 3.3\text{nF}] \quad (3-6)$$

正好略小於 10kHz(ADC 之 sample rate=20kHz)，跟據 Nyquist 法則，10~20kHz 之訊號會造成訊號失真，圖 3-9 為對 $G_v(S)$ 繪製出的 Bode plot 可明顯看出 $f_c=9.6\text{kHz}$ 時， $|G_v(S)| = -3\text{dB}$ 。

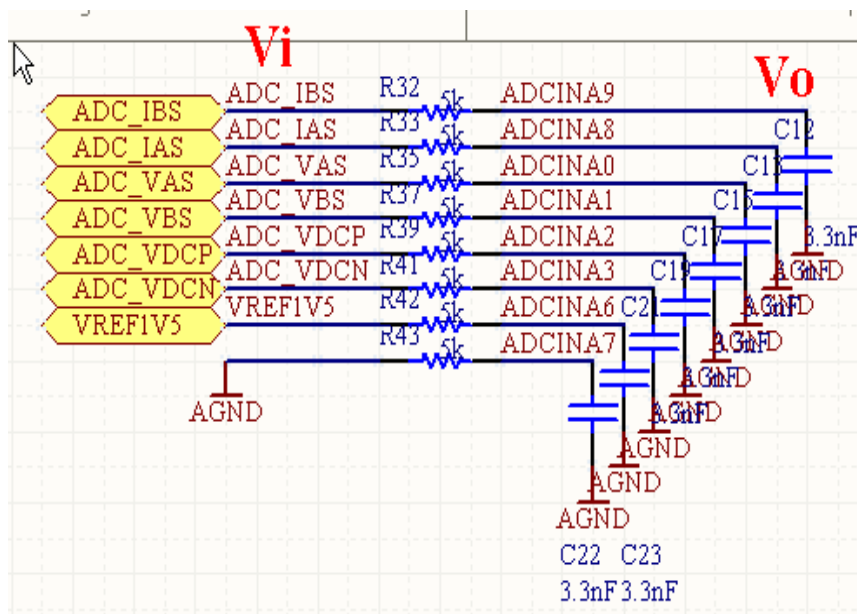


圖 3-8：一階 RC LP 濾波器

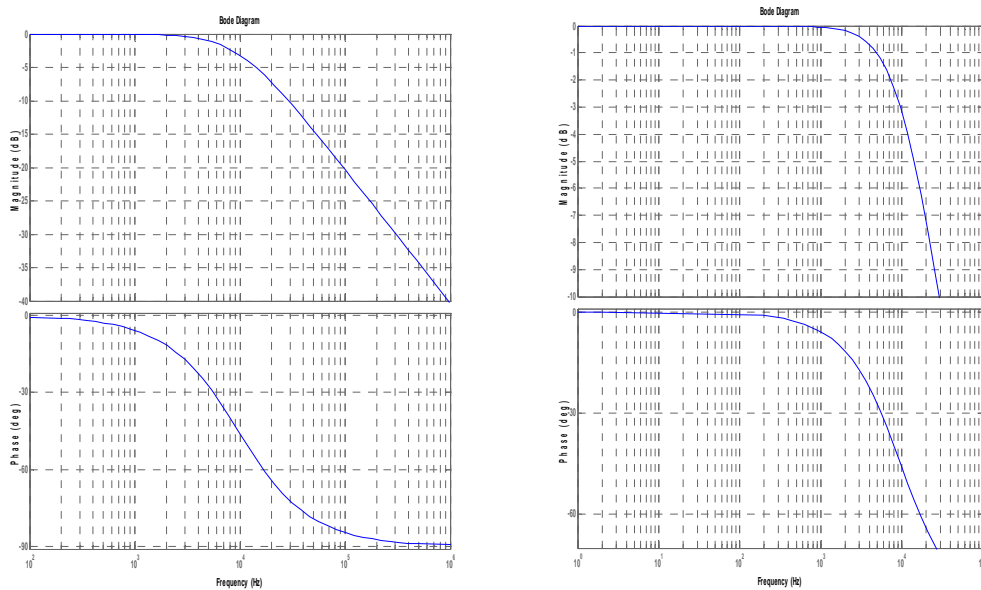


圖 3-9：RC Low-pass filter 之波德圖

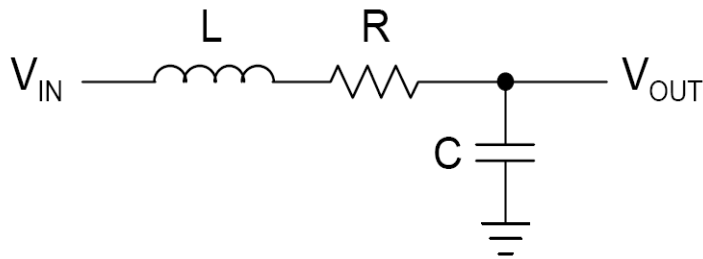


圖 3-10：二階 RLC Low-pass filter

圖 3-10 為二階 RLC Low-pass filter，藉由 KVL 可推導得到

$$\frac{V_{out}}{V_{in}} = \frac{1/CS}{R + LS + 1/CS} = \frac{1}{LCS^2 + RCS + 1} \quad (3-7)$$

$$S_{1,2} = \frac{-RC \pm \sqrt{R^2C^2 - 4LC}}{2LC} \quad (3-8)$$

其中 $R = 30\Omega, L = 100\mu H, C = 0.022\mu F$ ，求出有兩個複數根在左半平面， $S_{1,2} = -0.15 \pm j681.8$ ，再根據標準二階系統的轉移函數

$$G_v(s) = \frac{1}{S^2 + 2\xi\omega_n S + \omega_n^2} \quad (3-9)$$

$$\omega_n = \sqrt{\frac{1}{LC}} = 674200, \quad \xi = \frac{R/L}{2\omega_n} = 0.22 \quad (3-10)$$

因此我們可求出 cut-off 頻率為

$$\omega_d = \sqrt{1 - \xi^2} \omega_n = 657682 \text{ rad/s} = 104\text{kHz} \quad (3-11)$$

圖 3-11 為對 $G_v(S)$ 繪製出的 Bode plot 可明顯看出 $f_c = 104\text{kHz}$ 時， $|G_v(S)| = -6\text{db}$ ，

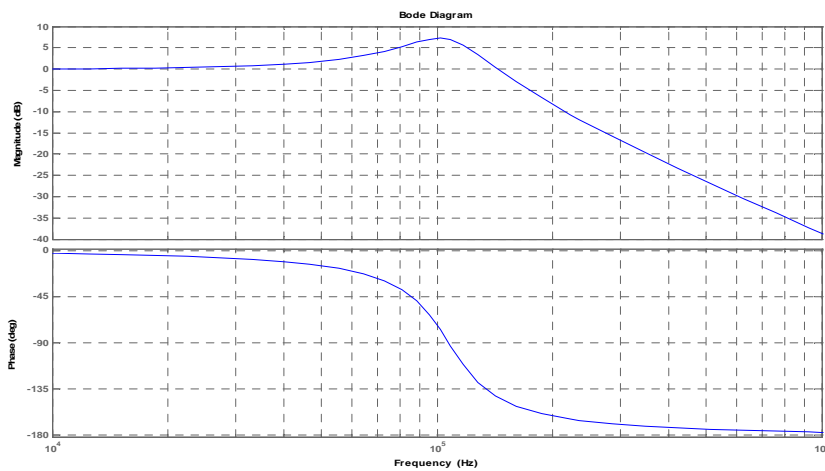


圖 3-11：RLC Low-pass filter 之波德圖

(3) ADC 保護電路：

計算得知

$$V_d = 2 \cdot \left[V_b - \frac{V_b - V_c}{2} \right] = 2 \cdot \frac{V_b + V_c}{2} = V_b + V_c \quad (3-12)$$

回顧之前討論 $V_a = \pm 1.26V$ ，所以 V_b 大約也是這個值，加上 V_c 之 $1.5V$ 得到 V_d 會大約在 $0.24 \sim 2.76V$ 之間，萬一超過 $3.3V$ 或是低於 $0V$ ，則有 ADC 保護電路最後之 Schottky Diode 保護。

3.1.4 Low Speed I/O

此一部分主要是處理一些訊息顯示，以及對於 Inverter 操作模式切換之 IO 界面，藉由 2808 監控(1)DC 及 AC 測電壓(藉由 ADC)；(2)Inverter 過電流偵測(藉由 ILIMIT 判斷電路)；(3)GATE 是否過流(藉由 GATE 模組偵測) (4)溫度是否過高(藉由過溫判斷電路)，並將 Inverter 狀態用 LED 表現出來，如圖 3-12 所示燈號訊息整理如表 3-2。



圖 3-12：DSP 板上 LED 燈號訊息

表 3-2：DSP board LED 燈號訊息

發生事件	LED 燈號
DC Fault (DC voltage Over)	DCOUV ON
AC Fault (AC voltage Over)	ACOUV ON
Gate Fault (Gate current Over): 大約過額定電流之 3 倍，2808 將 turn off the inverter	Both DCOUV and ACOUV ON/OFF
OVR CRT (AC current Over):	ILIMIT ON

大約過額定電流之 1, 5~2 倍， 2808 將在此一週 期停掉 PWM 輸出並且繼續監測，	
OVR PWR (<u>AC current Over</u>): 大約過額定電流之 1, 2 倍， 並且持續有大約三分 鐘	Both DCOUV and ACOUV ON
Grid tie or Stand alone mode	G:ON; S:OFF
Start or Stop Mode	Start: ON; Stop: OFF
Program is running	RUN Blinking

DSP 電路版最後完成所有製作，但是對於 2808 chip 是否能夠順利執行內部運算，以及是否可以正確讀到 ADC 訊號作迴授之用，最終以三項程式並接上現成之主電力級加以測試 (1)open loop voltage control(stand alone);(2)close loop voltage control(stand alone) (Pcmd 送入 0~10V 類比訊號輸出變動之 AC 電壓，1V 對應約 20Vac 輸出);(3)grid tie(Pcmd 送入 0~10V 類比訊號輸出變動之 power，1V 對應約 500W 輸出)，最後圖 3-13 為測試環境。

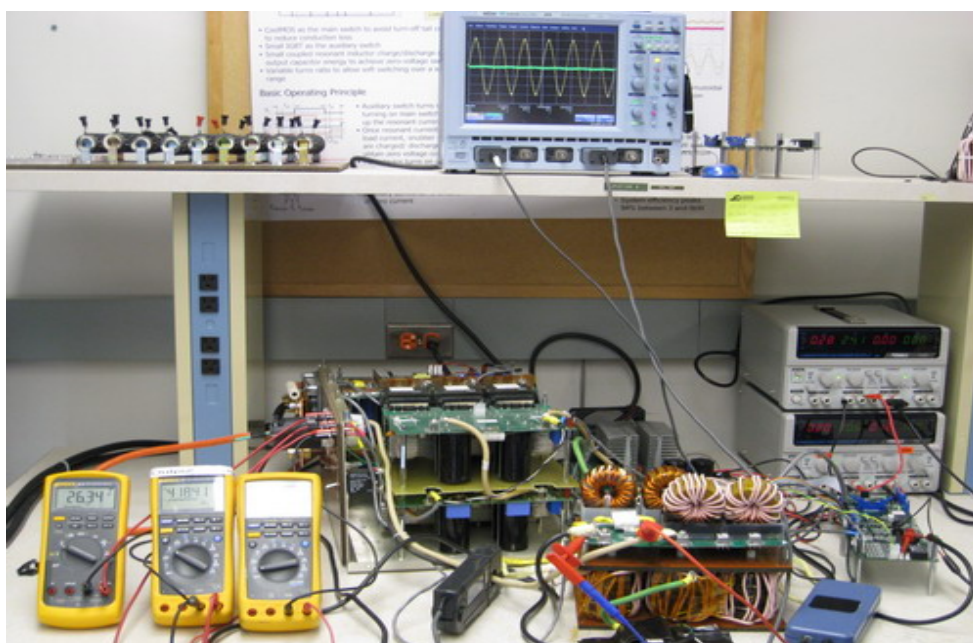


圖 3-13：DSP 實驗設備架設

3.2 Filter Board

接下來進行 filter board 的製作部分，filter board 的部分主要分成下列三大部分，其中包含了(一)LCL filter; (二)12V 電源; (三)SSR 及 Relay 及 Current Sensor 電路,其 Schematic 及 PCB Layout 分別如圖 3-14, 15 所示，並加以詳述於本章之各小節。

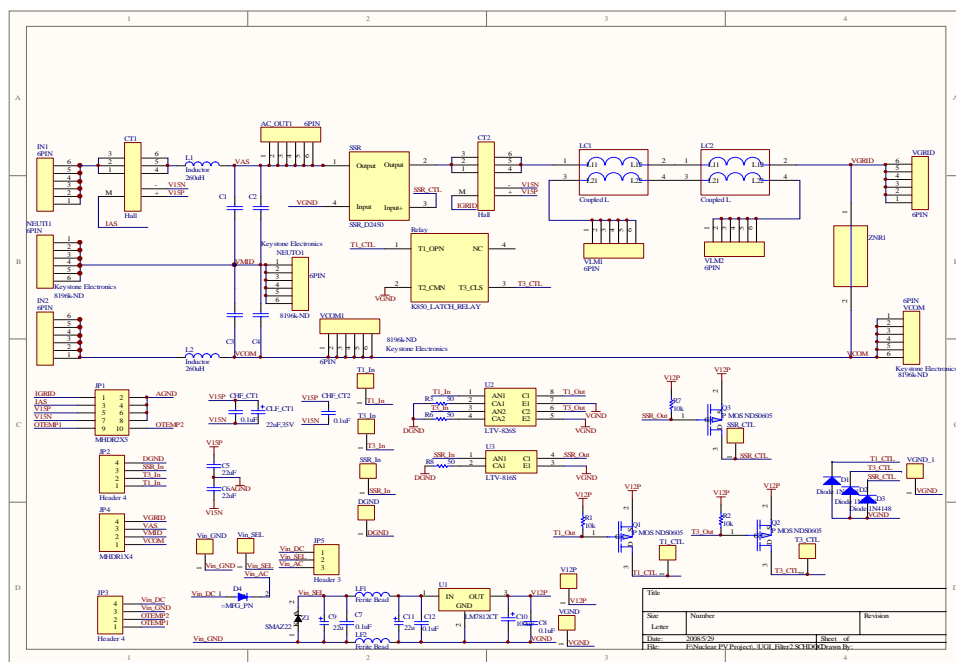


圖 3-14：Filter board Schematic

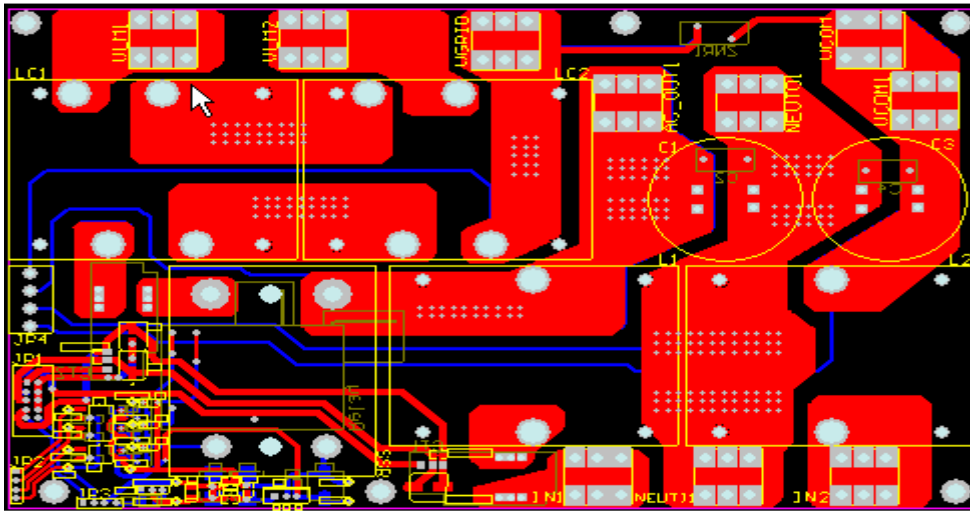


圖 3-15：Filter board PCB Layout

3.2.1 LCL filter board

對於 filter board 的製作，首先要先繞電感，Inverter 輸出部分的 LCL filter 一共需要六顆電感，供給 $L_i=1.5\text{mH}$ (4 個 77191 core 繞成之電感串連，每個皆為 4 個 core 堆疊而成，每個電感為 0.38mH ，用 AWG14 的軟線雙線並聯繞成，繞 40 匝 (810cm^*8)) 及 $L_g=0.5\text{mH}$ (2 個 77195 core 繞成之電感串連，每個皆為 2 個 core 堆疊而成，每個電感為用 AWG10 的軟線繞成，繞 20 匝 (330cm^*2))，電感製作過程相當費時，需要注意隔離及繞線擺放之緊密性，圖 3-16 為電感完成圖。

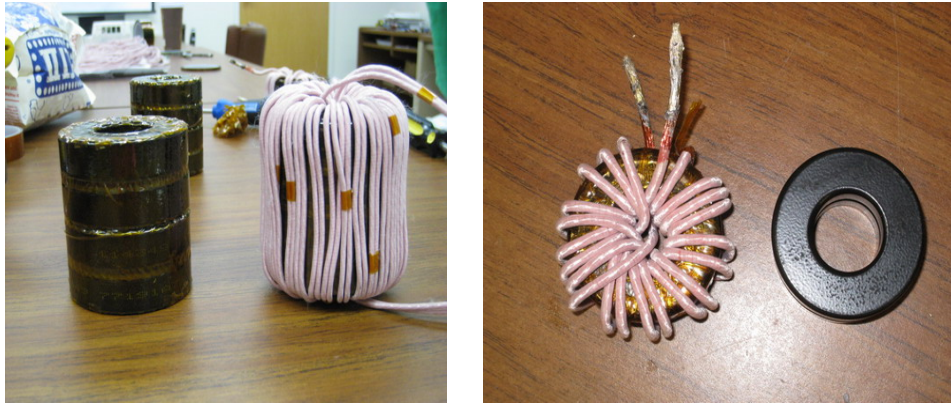


圖 3-16：Inverter 輸出端及市電端的電感

接著介紹一下電感的 core 選擇及如何計算是否合乎設計，以需求為 $P_o=5000(W)$ ， $V_o=220(V)$ ， $L=0.25mH=2.5e-4(H)$ 為例，設計步驟如下：

(1) 首先計算電流

$$I_{\text{opk}} = \frac{P_o \cdot \sqrt{2}}{V_o} = \frac{5000 \cdot \sqrt{2}}{220} = 32.141(A)$$

(3-13)

如此一來以耐流為考量點，選擇 AWG10 的線來繞

(2) 計算

$$LI^2 = (2.5 \cdot 10^{-4}) \cdot (32.14)^2 \cdot 10^3 = 258.24(\text{mH}/A^2)$$

(3-14)

查 LI^2 值對應到的 permeability(per) μ 選擇了 Core 77195 其規格為 $\mu=125$ ，選擇 per 較大可減少所需繞的匝數，但是在(5)查表會使得 core 之利用率較高

(3) 再去查 77195 的 datasheet 得到 $A.L=287$ (nH/N^2)，A.L 表一個 core

每平方匝的電感量，接著計算所需要繞的匝數會大約需 29，5 匝接近 30 匝，再以 77195 的尺寸為考量點，為避免匝數過多導致 Fill Factor 過高，選擇以雙 core 堆疊來繞，如此可增加 A，L 為兩倍，降低所需繞線匝數，計算後得到

$$N = \sqrt{\frac{L}{A_L}} = \sqrt{\frac{2.5 \cdot 10^{-4}}{287 \cdot 2 \cdot 10^{-9}}} = 20.86 \cong 21$$

(3-15)

(4)接著再估計所需線長，由 77195 的 datasheet 可知外型規格為 OD(外直徑)=5.8(cm)，ID(內直徑)=2.56(cm)，HT(厚度)=1.61(cm)，對於兩個堆疊之 core 所需之線長為

$$N \left\{ \left[\frac{OD - ID}{2} + 2HT \right] \cdot 2 \right\}$$

(3-16)

$$\begin{aligned} &= N \{ (OD - ID) + 4HT \} \\ &= 21(5.8 - 2.56 + 4 \cdot 1.61) \\ &= 203.28(cm) \end{aligned}$$

最終兩端接留 30cm 以及繞線所需大概抓個 100cm 計算出 303cm 為所需線長。

(5)最後要評估 core 是否飽和，以及利用率是否接近 50%，利用率太高接近飽和，太低則太浪費，首先也是由 77195 的 datasheet 查出其 path length=12.5cm，再藉由公式算出

$$H_{over-NI} = 0.4 \frac{\pi}{path_length}$$

$$(3-17)$$

$$= \frac{0.4\pi}{12.5} = 0.1$$

$$H = H_{over_NI} \cdot N \cdot I_{opk} = 0.1 \cdot 21 \cdot 32.14 = 67.5(Oster) \quad (3-18)$$

再去查Flux Density(B) vs. Magnetizing Force(H)的curve在u=125之下，

B=6500大約是Bmax之一半。

3.2.2 12V 電源

利用 7812 穩壓 IC 將 DSP board 之+15V 電源轉為+12 輸出提供給 SSR 及 Relay 作為工作電源之用電路如圖 3-17，經由測試確認有穩定之 12V 輸出。

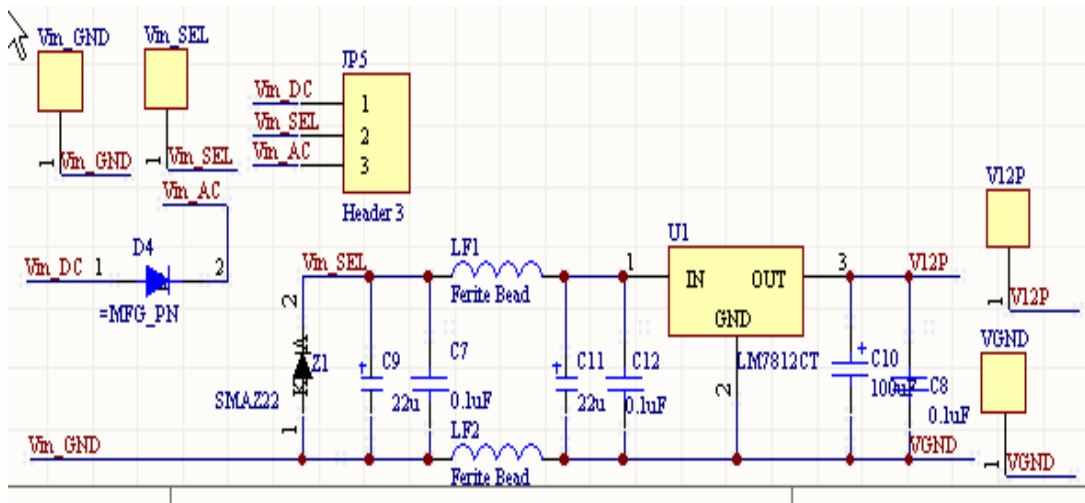


圖 3-17：LCL filter board 上的 12V 電源

3.2.3 SSR 及 Relay 及 Current Sensor 電路

此為併網所需之 SSR(solid state relay)及一般 relay 之組合，SSR 的優點為在給予接通訊號之前他不會馬上接上會等到零交越點時才接通，如此可減低 EMI，一般 relay 的優點為接通時跨壓為零，但是 SSR 接通時大約有 0.6V 之壓降，所以各取其優點將其並聯使用，DSP 程式會先將 SSR 導通，隔一段延遲時間後才給予 relay 導通訊號將其跨壓調回至零，此一部份還有一些控制 SSR 及 Relay 的簡單邏輯電路在此不加以敘述，另外還有一組 hall sensor 抓取 Inverter 之輸出電流。

3.3 Power Stage

接著進行 main power stage 的部分，這個部分主要分成下列三個部分，其中包含了(一)Main Switch Driver; (二)Auxiliary Switch Driver; (三)MOSFET/IGBT，其 Schematic 及 PCB Layout 如圖 3-18 所示。並加以詳述於本章之各小節。在此先交代其 Main Drive 一共有四塊相同的硬體分別為 M1~M4 以代表四個 main switch(IGBT)的 driver，同樣的道理 Auxiliary Drive 一樣共有四塊相同的硬體分別為 A1~A4 以代表四個 auxiliary switch(IGBT)的 driver。這些 driver 要來控制主要兩個 Leg 上的所有 switch，每個 leg 上有兩個 main switch(MOSFET)及兩個 auxiliary switch(IGBT)。

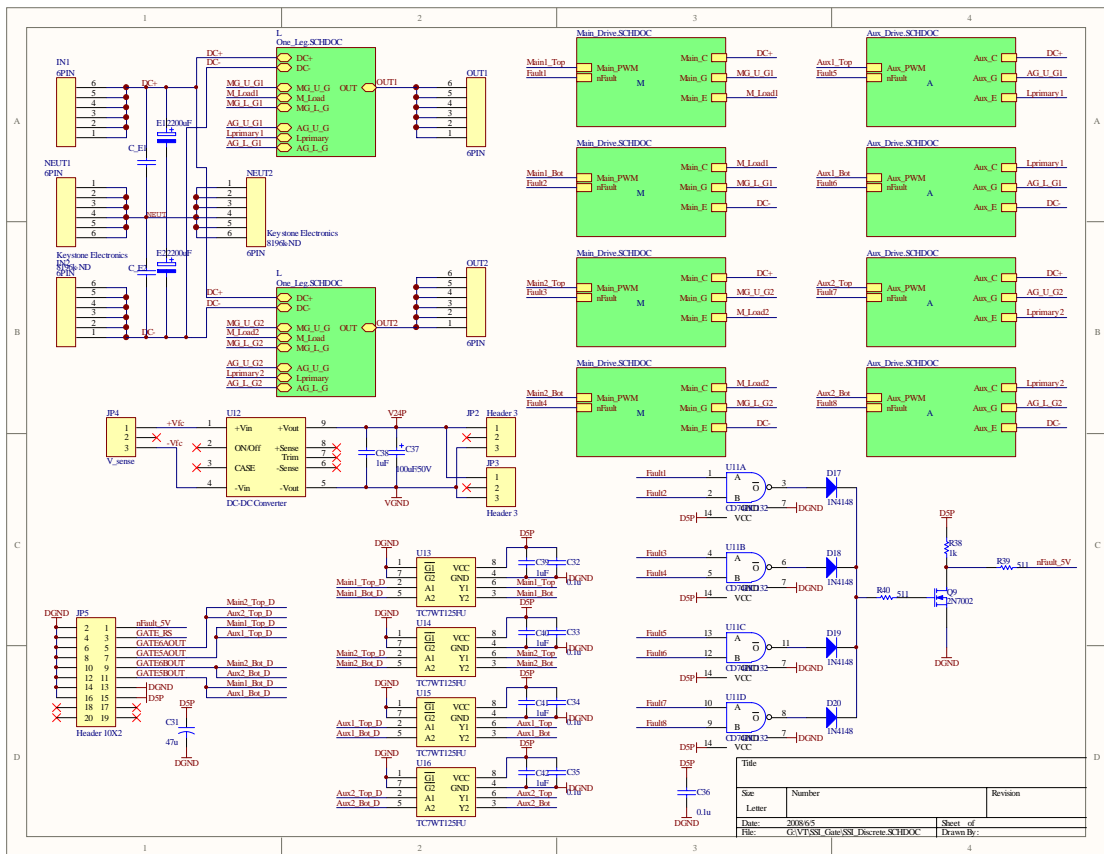


圖 3-18 : Main power stage 電路圖

3.3.1 Main Switch Driver

此一電路作為 main switch 之 gate driver 之用如圖 3-19，包含了 IC 所需之 power supply(藉由 MSVH-240515)，driver IC(MC33153) 包含 Blanking Time 設定之偵測 V_{DS} 進入 DESAT 送出過壓訊息作 protection 警示之用，最後還有 delay 及邏輯判斷電路作為設定 t_{dly} 之用。

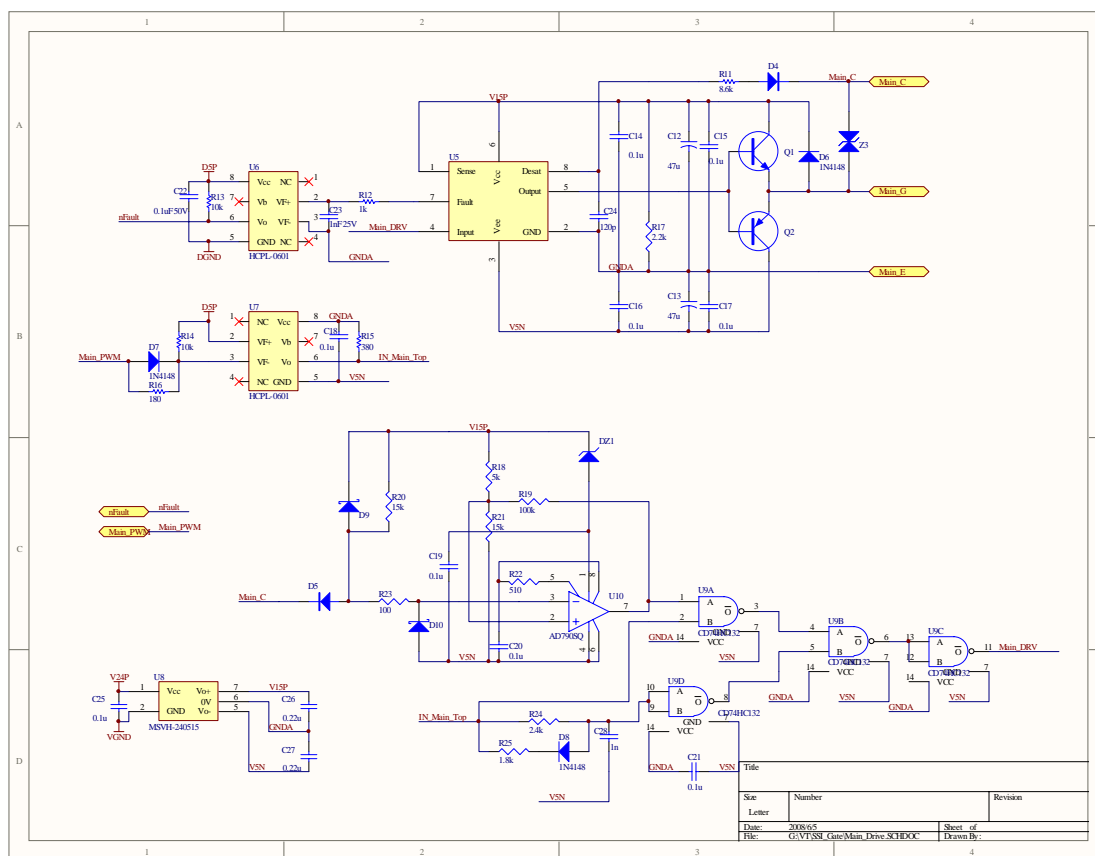


圖 3-19：Main switch 之 gate driver 電路圖

對於 t_{dly} 之設定主要是靠偵測 V_{DS} 看是否已經低於 V_{ref} ，注意其電路之電壓準位以及邏輯判斷之規則達到 $V_{DS} < V_{ref}$ 或 t_{dly} 大於 $2.4\mu s$ [RC delay] (時間常數約為 $2.4\mu s$) 即導通 delay 之 main switch。在此一圖中 In Main Top 為 H 之下 (表示 S_{x1} 已開啓)，TTL 的準位邏輯真值表如表 3.3 所示。Main DRV 為 L 之下即可推動 main switch。Driver IC (MC33153) 之 Desat 會偵測在 V_{gs} turn on 之下 V_{DS} 的電壓，對於此一電壓如果高於 IC 預設值則其 Fault 會送出 H 訊號到 DSP 並且讓 Fault LED 亮，再藉由圖 3-19 右下角之邏輯電路可知只要有一個 Fault 訊號送出則 nFault 即為 low 即可將 Fault LED 亮。

表 3-3：TTL 的準位邏輯

$V_{CE} < V_{ref}$	delay time > 2.4us	U9B node4	U9B node5	Main DRV
H	H	L	L	L
H	L	L	H	L
L	H	H	L	L
L	L	H	H	H

3.3.2 Auxiliary Switch Drive

此一電路作為 auxiliary switch 之 driver 之用如圖 3-20，包含了 IC 所需之 power supply(藉由 MSVH-240515)，driver IC(MC33153) 包含 Blanking Time 設定之偵測 V_{CE} 送出過壓訊息作 protection 之用，工作內容如上一小節所描述。

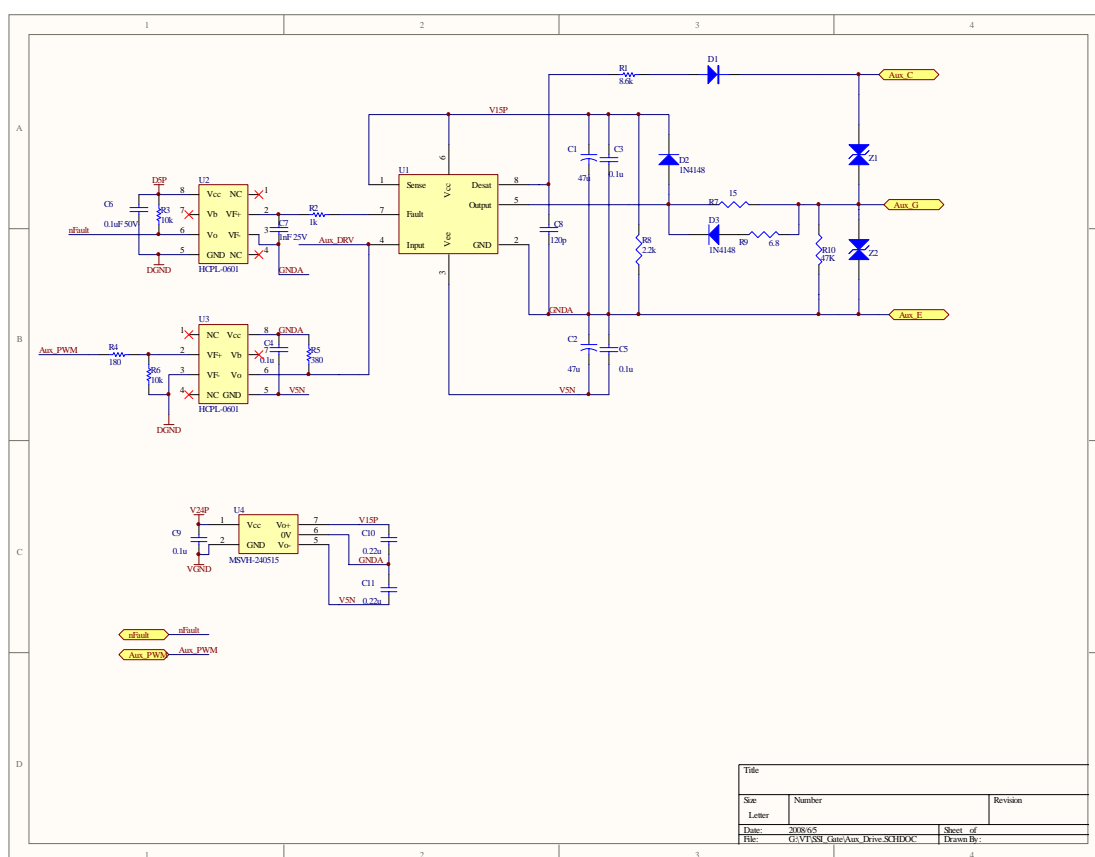
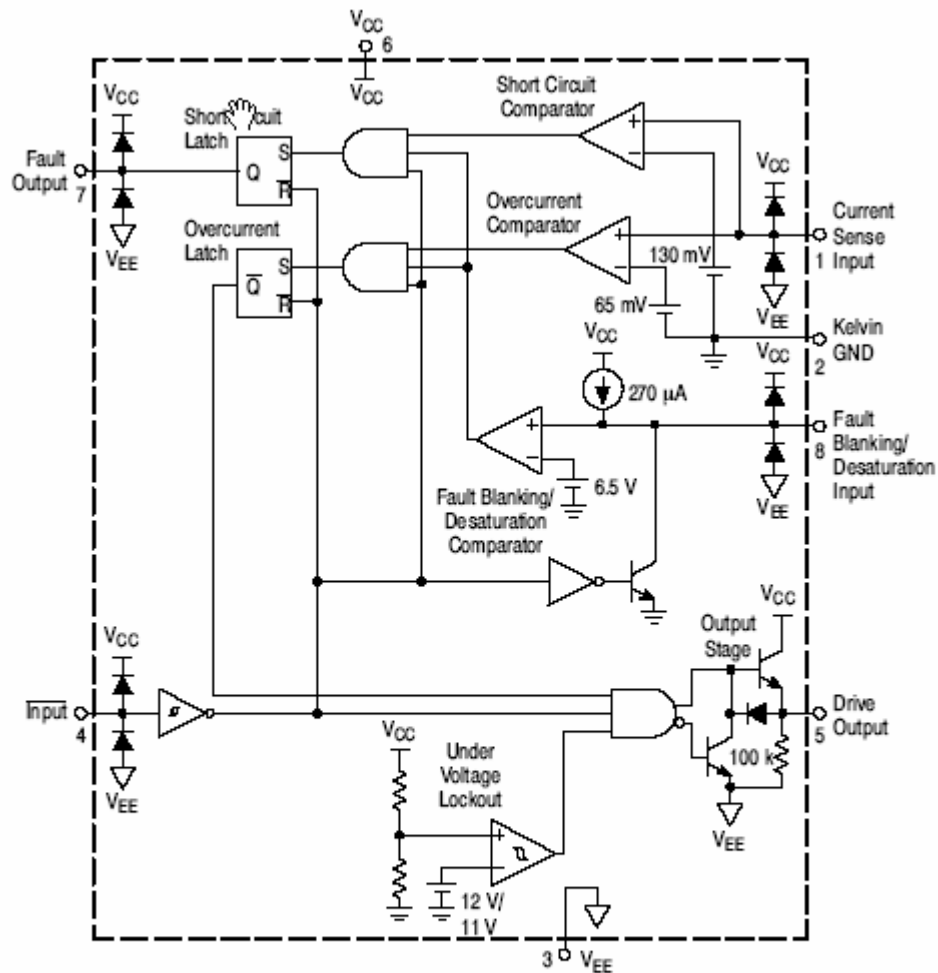


圖 3-20：Auxiliary switch 之 driver 電路圖

現在對於 Driver IC(MC33153)加以介紹，其內部結構如圖 3-21 所示，內部有一個 270uA 的電流源，藉由外部電容的選擇可以決定 Desat 的 blanking time，以圖 3-20 之 Driver IC(MC33153)電路加以舉例，外部電容值為 120pF，經過計算其 blanking time 為 2.89(us) [$I_{dt}=Cdv$, $270u * T_{bt} = 120p * 6.5$, $T_{bt}=2.89u(s)=2.89(us)$]。當 Vgs 欲 turn on 瞬間 *Input* 瞬間 turn off，造成 270uA 下方之 BJT turn off 及兩個 AND gate 之輸入一端轉正。Desat 準位由零開始改變，Desat 準位在 +15V 以下 270uA 接流至 Vcc，接下來等到 VDS 低於 15V 則 270uA 開始充電至外部 120pF 的電容。再經過 2.89(us) 之後看看 VDS 是否還高於 6.5V，是的話即送出 Fault 訊號。注意 Blanking time 設定太大則沒有檢查的意義，太小則對於 hard

switching 會很容易造成 Fault 訊號，在此情形下必須配合好元件特性，估好元件 VDS 的下降時間(率)。



This device contains 133 active transistors.

Figure 1. Representative Block Diagram

圖 3-21 : Driver IC MC33153 電路

3.3.3 MOSFET/IGBT

此一電路如一般全橋電路，包含了兩臂切換開關，以一臂來說明如圖 3-22 其中包含了兩個 auxiliary switch(IGBT)來達成柔性切換及兩個 main switch(IGBT)，而在

main switch 可並聯 MOSFET，因為在輕載之下 MOSFET 會有較低的壓降，但在載加大會增加其壓降，導致其導通損會比較大，所以分別在輕重載之下分別依賴 MOSFET 跟 IGBT，此一組合即可達到在不論輕重載之下皆提高其效率。圖 3-23(a)(b)即為完成圖。

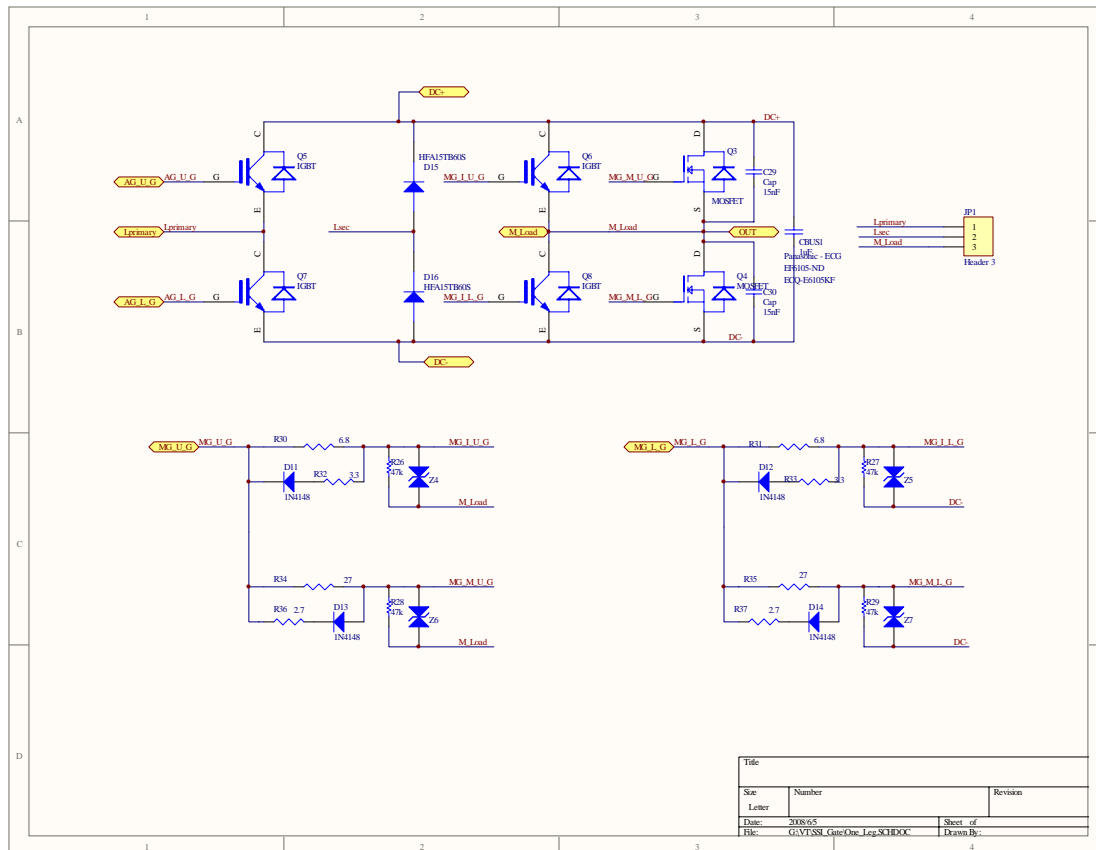
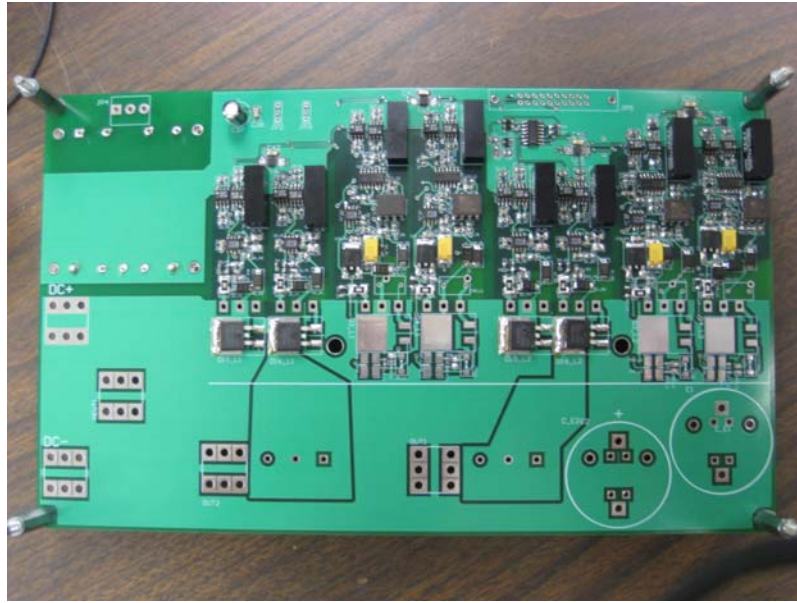
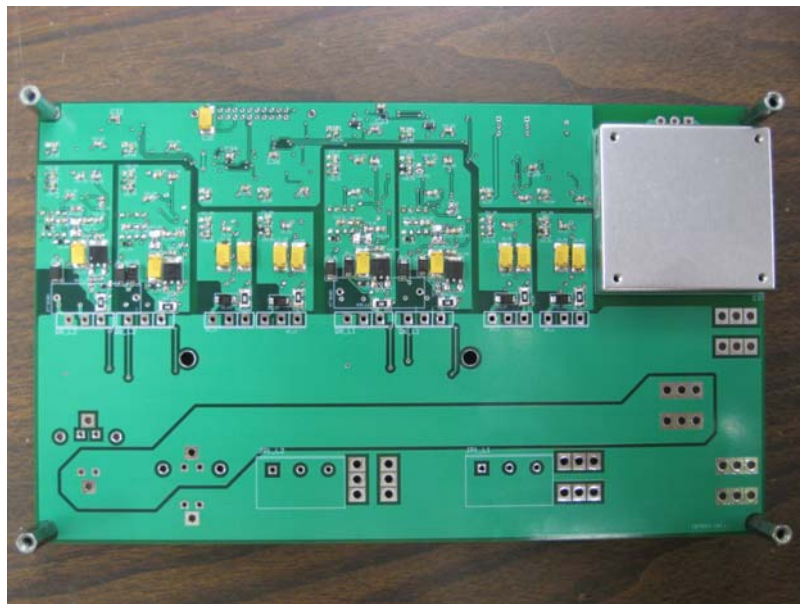


圖 3-22：MOSFET/IGBT 單臂電路圖



(a)



(b)

圖 3-23：MOSFET/IGBT 全橋電路圖

4. 硬體製作與測試流程

皆下來的章節將針對硬體製作方面加以介紹，在製作過程中必須注意的事項以及失敗的地方都將一一說明，並且指出修改的地方，並且介紹測試的環境及流程。

4.1 DSP 輔助電力系統製作及測試

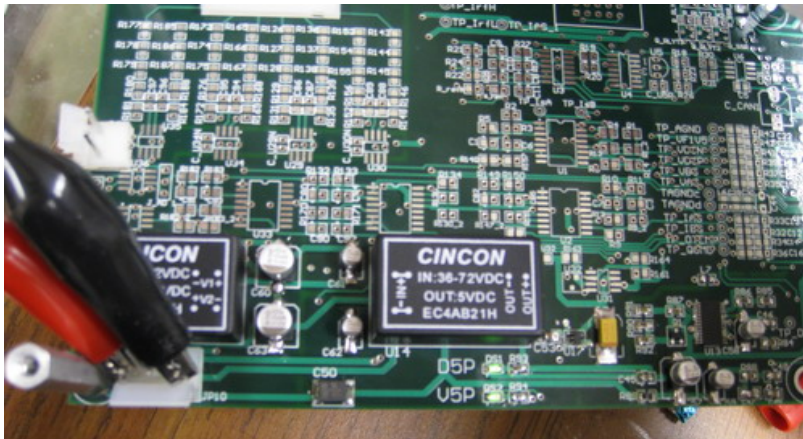


圖 4-1：DSP2808 Auxiliary power supply 之實作電路

完成 DSP 部分電路製作，此一部份如圖 3-1 所示，本節測試項目為測試所有輸出電壓測試皆符合表一之規格，測試結果輸入之 V_{in} 在 20V 左右即可輸出穩定之規格電壓供給 2808 chip，在空載之下 V_{in} 大約在 6V 即可得到穩定輸出電壓。

4.2 DSP2808 製作及測試

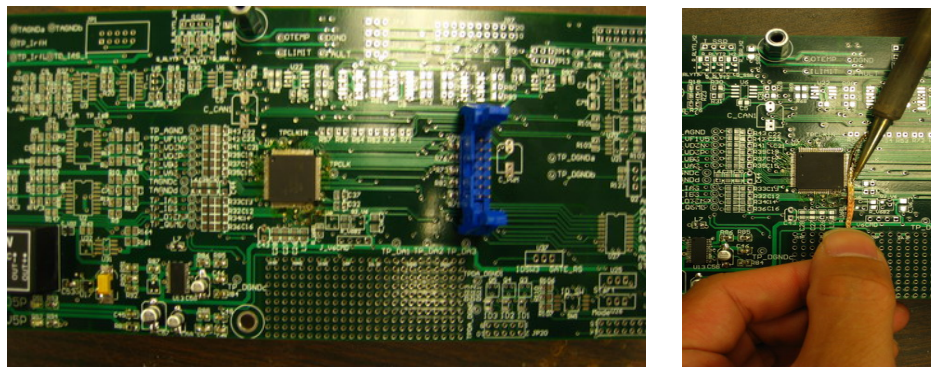


圖 4-2：DSP2808 chip 之實作電路

其中在銲 2808 chip 時遇到最多困難，過程中曾經發生把 pin 腳銲歪，腳位短路，重新解銲再上錫，最後將成功經驗記錄下來，可依照步驟逐步進行，必可順利完成，(1) 先將焊槍溫度調整至 700~800 度 F，確切溫度需配合環境及槍頭的狀況；(2) 將 chip 位置對好，需確認每一隻 pin 腳皆有對正後，先點上兩個點加以固定；(3) 先選擇一邊來處理，先吃上一層薄薄的錫後，利用吸錫線，前後來回將多餘的錫吸掉，尤其是腳與腳之間的空隙，吸錫線需挑選較粗的較好進行，注意焊槍不要施力向下，只需輕觸即可；(4) 目視沒有腳與腳之間短路造成之後，可用燈光照射看是否各腳皆有吃錫的光面，並用電表確認是否有短路發生；(5) 確認前一步驟之後，可供電給 chip，並加以限流，看是否有過流之短路現象；(6) 最後再將焊槍逐一在各 pin 腳上停留 1 至 2 秒加熱，如此可將 pin 腳與錫之間更加緊密，銲錫過程及完成圖如圖 4-2 所示。

完成 1~4 部分之後即可測試 2808 是否正常，測試方式為安裝 CCS 及 emulator driver 為了連結 2808 並且 LOAD 程式進 2808 測試，為此需先安裝軟體，安裝流程整理如下：

- (1) CCS3.1---Code Composer 3.1 Platium;
- (2) USBJTAG form--- setupCCSPlatinum_v30104C;

- (3) Flash---C2000-3.1-SA-to-UA-TI-FLASH2X, EXE and sprc193;
- (4) Example---sprc191
- (5) 浮點運算---IQmath;
- (6) 使用” C:\CCStudio_v3.1\specdig\xds510usb” 安裝 driver 當你已裝上 emulator;
- (7) 使用桌面捷徑 “Setup CCStudio v3.1” 加入 F2808 XDS510USB Emulator;
- (8) compile and download 程式確認安裝及連線成功，

最後這部分測試可分為兩部分，第一部份為 2808 chip 鐸好就可以先供電看看 DSP Power 電路部分輸入測電流是否過大(Test Data: $V_{in}=60V$ ， $I_{in}=0.02A$)，第二部份為 load program 進 2808 量測 PWM Interface 輸出，看看是否有送出正常之 PWM 訊號，圖 4-3 為測試過程記錄之照片。

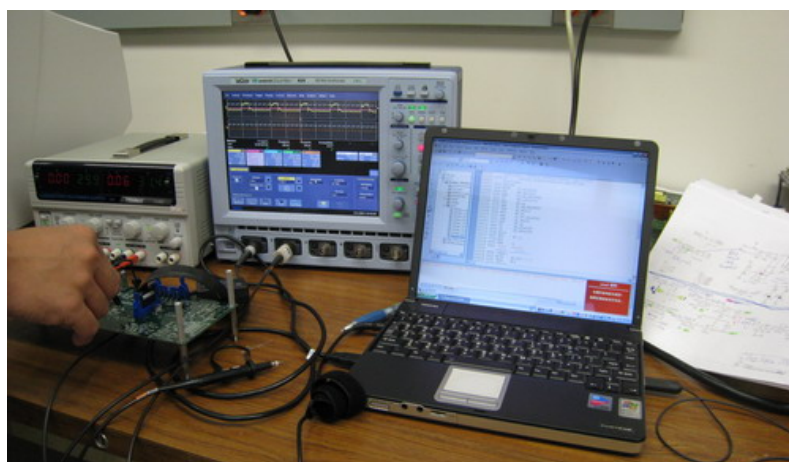


圖 4-3：DSP2808 PWM 測試

4.3 感測電路製作及 Frequency Response Analyzer 測試

最後完成此一部份含有五組 voltage 及一組 current sensing 電路如圖 4-4，分別量取 VAS(Inverter 輸出電壓)，VBS(市電電壓)，VDCP(Inverter 輸入測之 DC 電壓)，

VDCN(Pcmd), VQCMD(Qcmd), IAS(Inverter 輸出電流), 並利用 Venable 3120 Frequency Response Analyzer(可分析範圍在 0.01Hz to 2.2MHz 之間)作頻率響應分析來加以驗證電路是否正常, 圖 4-5 為該儀器外觀及軟體設定界面, 其中 VAS, VBS, IAS, VDCP, VDCN 及 VQCMD sensing 電路分別整理如下之表 4-1 經由理論及頻率響應實驗結果即可驗證其正常運作, 以圖 4-6 為 VAS 及 VDCP 所做出來的頻率響應為例, 皆與理論一致, 如此即可確認電路之正常運作。

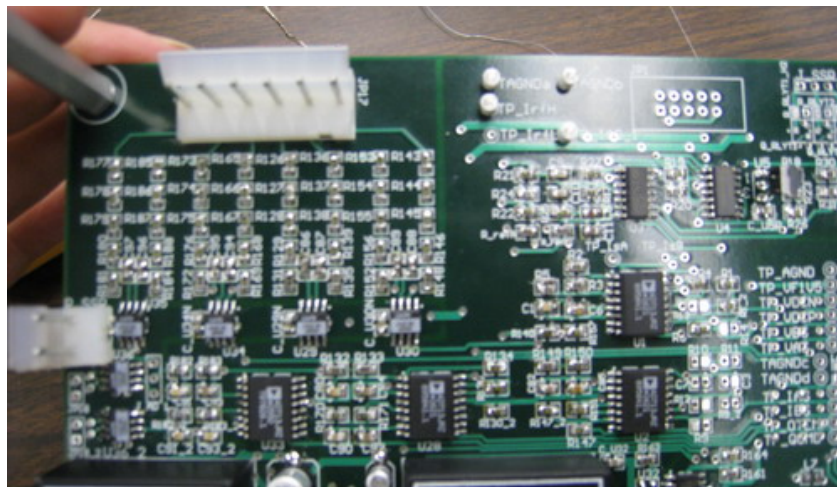


圖 4-4：感測電路製作

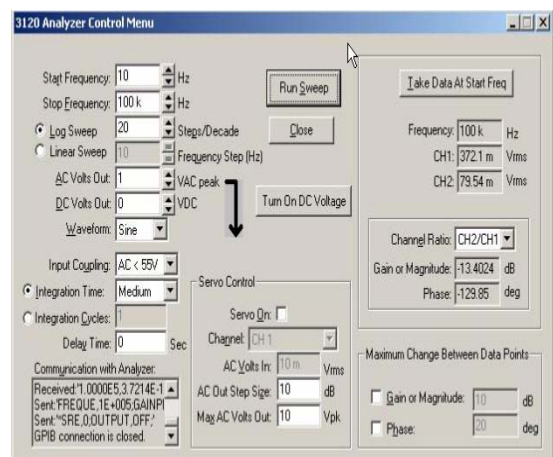
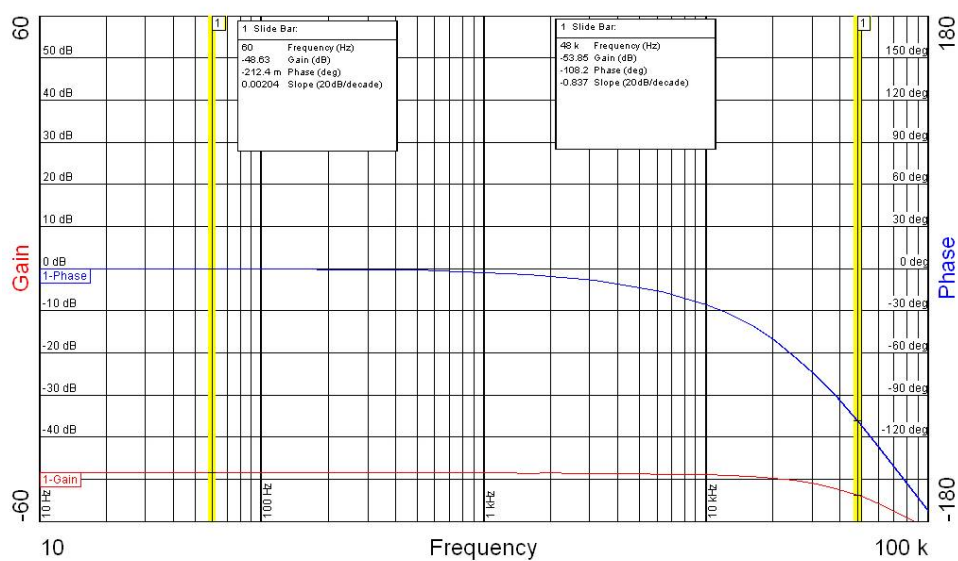


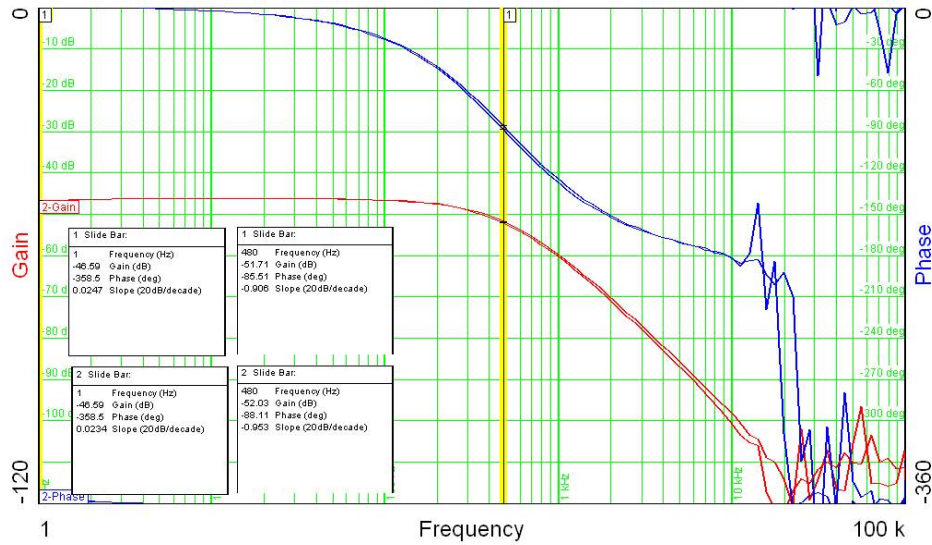
圖 4-5：頻譜分析儀器外觀及軟體設定界面

表 4-1：sensing 電路整理

組別	功能	直流增益	fc(Hz)
VAS	迴授 Inverter 輸出電壓	3/803(-48, 6db)	48k
VBS	迴授市電電壓	3/803(-48, 6db)	48k
VDCP	迴授 Inverter 輸入測之 DC 電壓	3/803(-48, 6db)	480
VDCN	輸入之 Pcmd	0.3 (-10, 5db)	48
VQCMD	輸入之 Qcmd	0.3 (-10, 5db)	48
IAS	迴授 Inverter 輸出電流	1 (0db)	48k



(a)



(b)

圖 4-6：頻譜分析儀器外觀及軟體設定界面

4.4 Power stage 製作及測試

當完成了 driver 電路製作之後，必須對其電路加以測試，接著再處理諧振電感及 IGBT 模組，測試方式首先檢查所有的小電是否都正常，包含 5V 及 15V 的部分，再來就是測試 driver 的正常工作，注意在還沒裝置 IGBT 之下，Driver IC(MC33153)的 DESAT 會接收到浮接的 V_{CE} 訊號導致送出 fault 訊號，如此一來 DSP 就不會送出 PWM 訊號以及會顯示 fault 燈號，所以一定要記得暫時先將 IGBT 的 C, E 短路，刻意作出低準位給 DESAT，如此才可順利測試。另一方面，由於測試時沒有迴授訊號進 DSP 所以必須改成燒錄 standalone 功能的程式進 2808 才會有 PWM 訊號輸出，作為測試 driver 的輸入訊號。首先確定在將 IGBT 的 C, E 短路之下，每一組的 DESAT 皆為 low，邏輯閘輸出也都為 low，如此 Fault 5V 訊號為 high，不會讓 DSP 認為是 switch fault，如此 DSP 才會送出 PWM 訊號。最後再測試，輸入跟輸出的關係。輸入出皆為 20kHz 之 PWM 訊號，輸入跟輸出之 auxiliary switch 訊號沒有相位差，但是跟 main switch 會有時間常數為 24us 的 delay。圖 4-7 為測試 driver 時之裝置圖示，以及圖 4-8(a)(b)為任意一組之 auxiliary switch 和 main switch 量測之波形。由圖中看出確實同組為同時開啓，且有

大約 24us 的 delay。

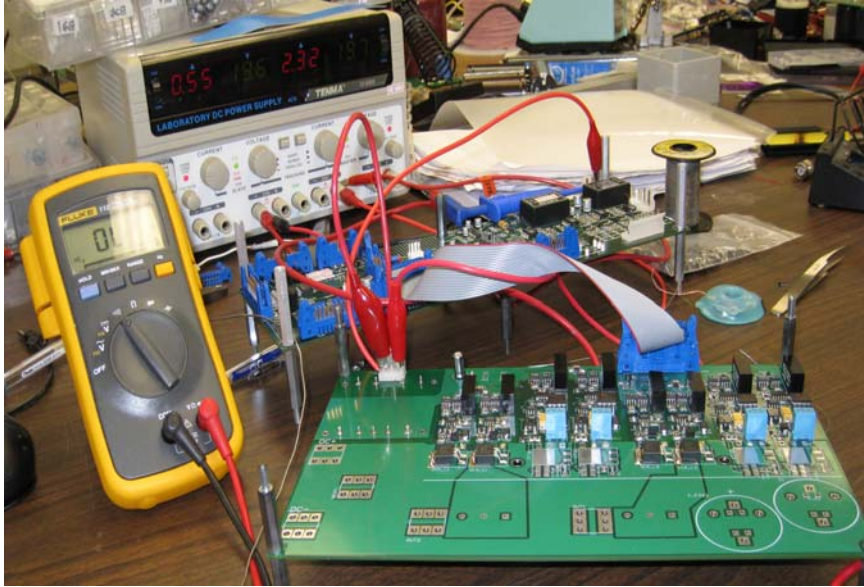
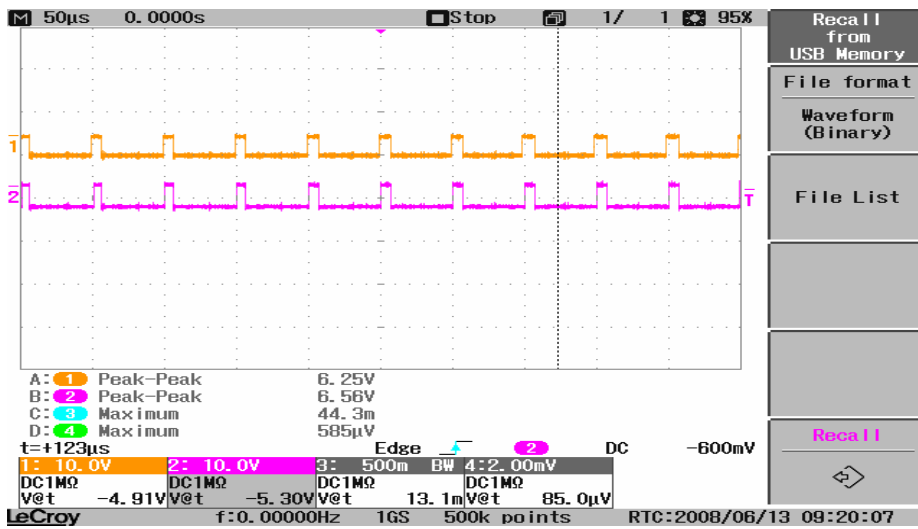
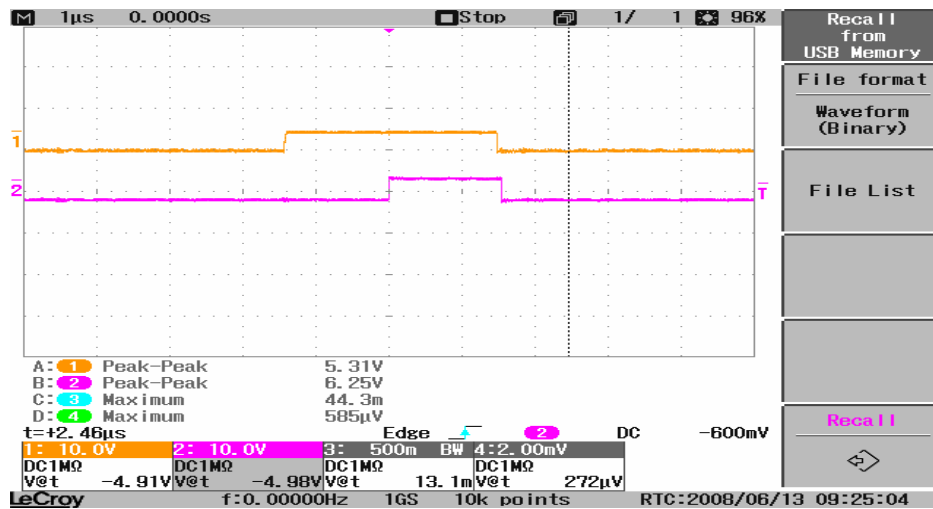


圖 4-7：測試 driver 時之裝置



(a)



(b)

圖 4-8：auxiliary switch 和 main switch 量測之波形

皆下來進行 AUX IGBT(20N60A4D)及 MAIN MOSFET(6B045)組裝如圖 4-9 所示，注意需要墊上導熱膠帶，具有高導熱係數以及高絕緣係數特性。再來就是 resonant 的電感製作，耦合電感一共需要兩組分別給兩臂用，規格皆為 $L_p=1.28\text{mH}$ ， $L_{p_lk}=12.5\mu\text{H}$ ， $L_s=2.87\text{mH}$ ， $L_{s_lk}=26.77\mu\text{H}$ ，匝數比=1.5，P 側 3 條 AWG18 (60/36(AWG36 的線 60 條並聯))並繞 12 匝，S 側 2 條 AWG18 並繞 18 匝，兩側分明(加大 L_{lk})並將一側共接為 middle side(共 5 條線)，core 型號為 OP43825TC 另外為了增加 resonant current 的 smooth 在 middle side 加上繞了 saturation core MP3210P4AS，完成圖如圖 4-10 所示。



圖 4-9：AUX IGBT(20N60A4D)及 MAIN MOSFET(6B045)組裝

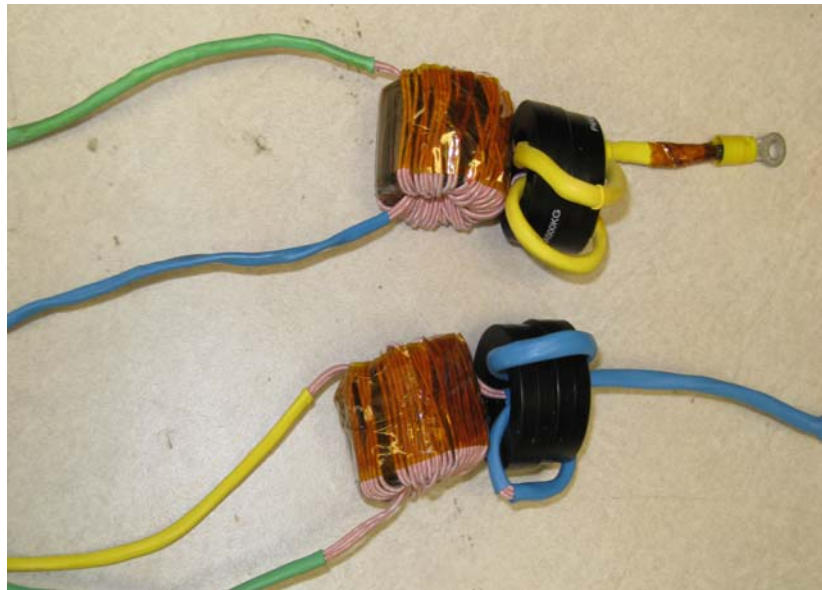


圖 4-10：resonant 的電感製作

接下來將 DSP board，filter board，和 main power stage 接起來作測試，測試如圖 4-11，測試過程有異常現象，輸入測發生過電流且有燒焦味，檢查結果為版子 layout 的不當，在 L2 側之上臂 main switch 之 MOSFET 元件的 D 端和電路 Vdc+相接之鋪銅由於

爲了避開鑽孔的螺絲所以隔開來，且僅靠一條細通道(阻值大)相通，耐流根本不夠，所以導致通道整條燒掉，造成原因圖示及利用銅條跨線解決分別顯示如圖 4-12 (a)(b)。

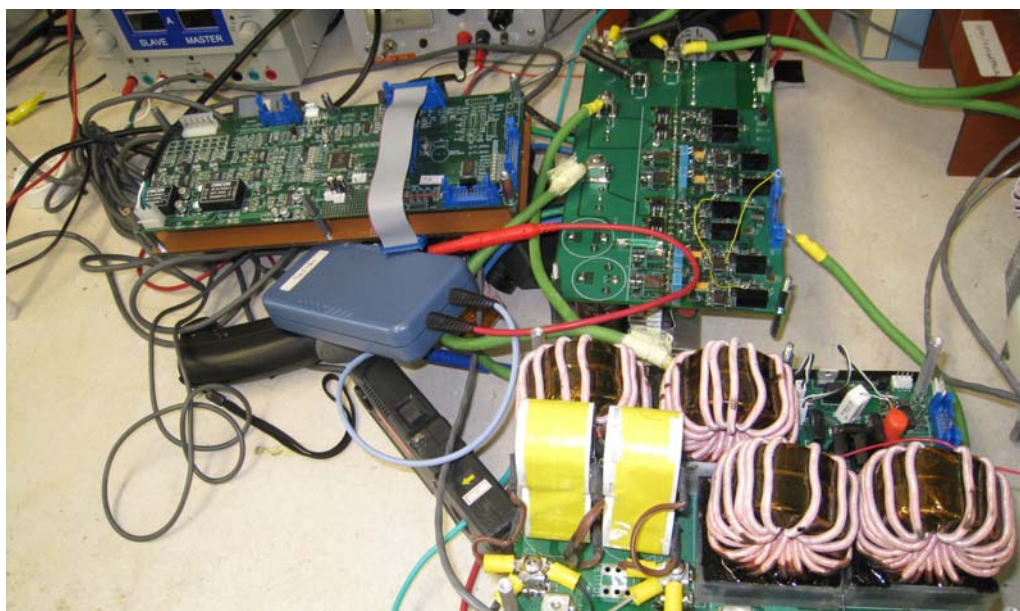
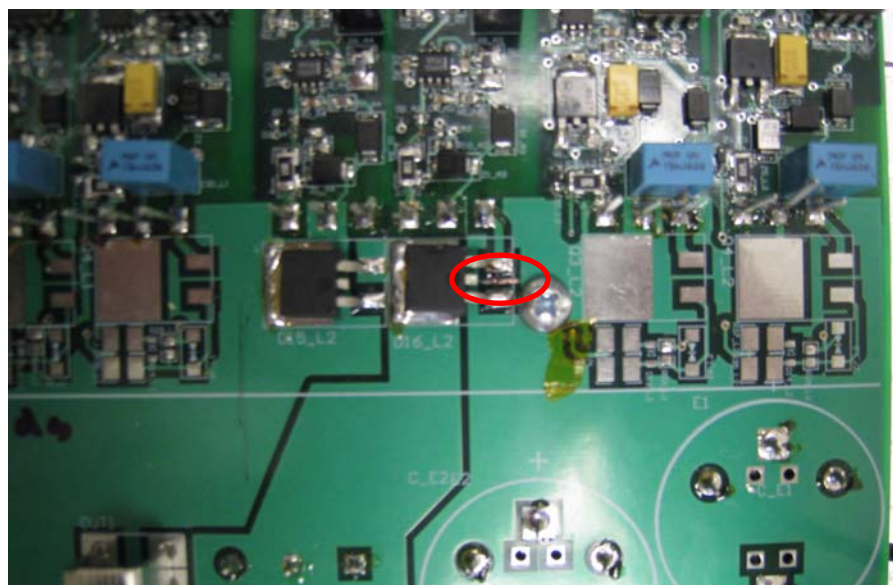
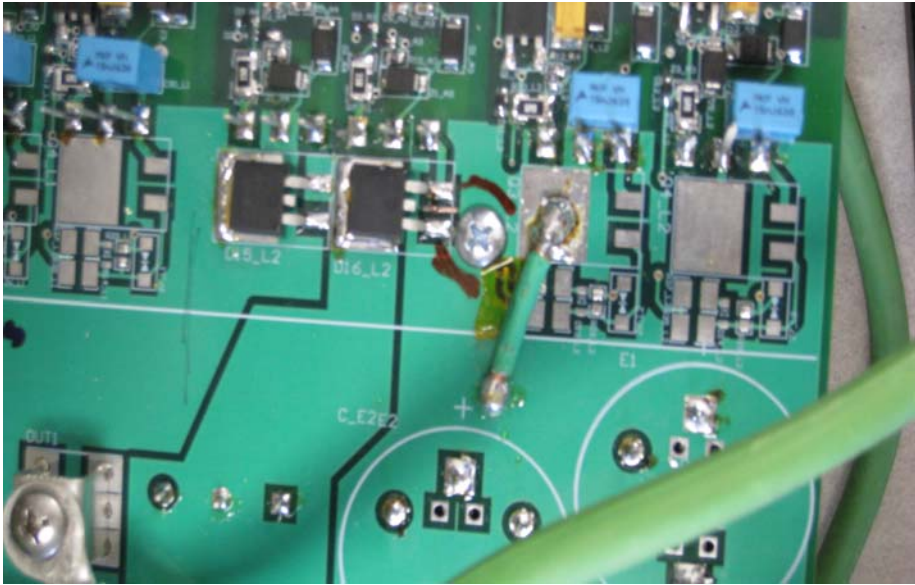


圖 4-11：resonant 的電感製作



(a)



(b)

圖 4-12：main switch 測試結果及補強

完成電路修改之後，初步測試其 standalone 功能正常，輸出波形如預期如圖 4-13，但是 resonant current 還是過大，所以效率仍有進步空間，皆下來需進行 resonant 電感之最佳化，以及元件之微調，以達到更佳的 performance，再加以測試 grid tie mode。

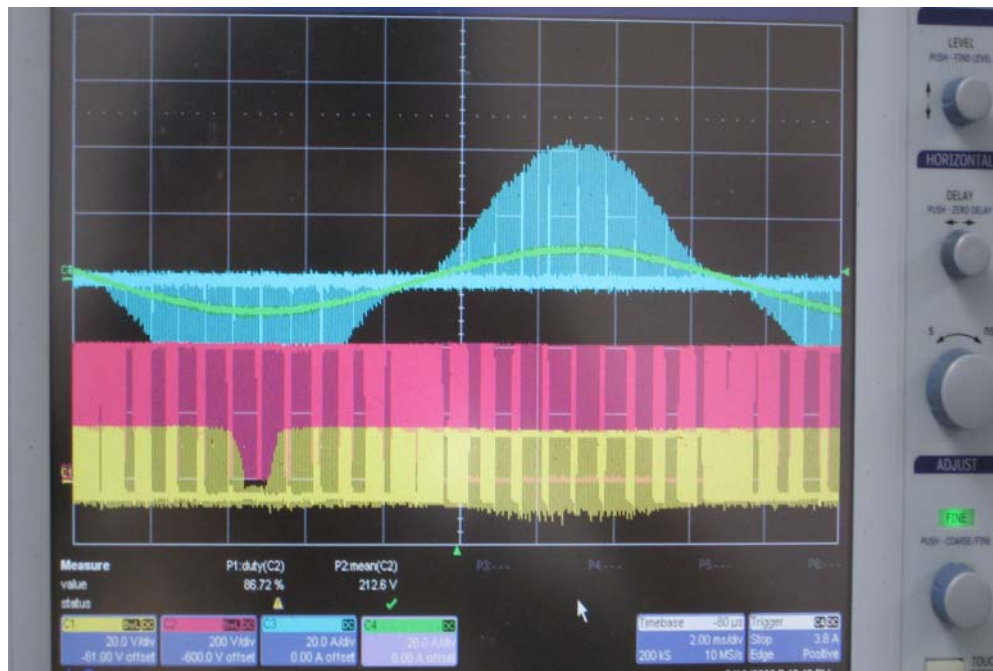


圖 4-13：Inverter 輸出波形

5. 系統整體設計流程

SOFC 高效率 5kW 電力調控系統之 Inverter 控制系統方塊圖，如圖 5-1 所示，整個系統設計流程可分為系統 modeling、電流及電壓回授、控制器設計、LCL filter 設計、元件選用、PCB Layout、銲製及測試，將在以下各章節中一一詳述。

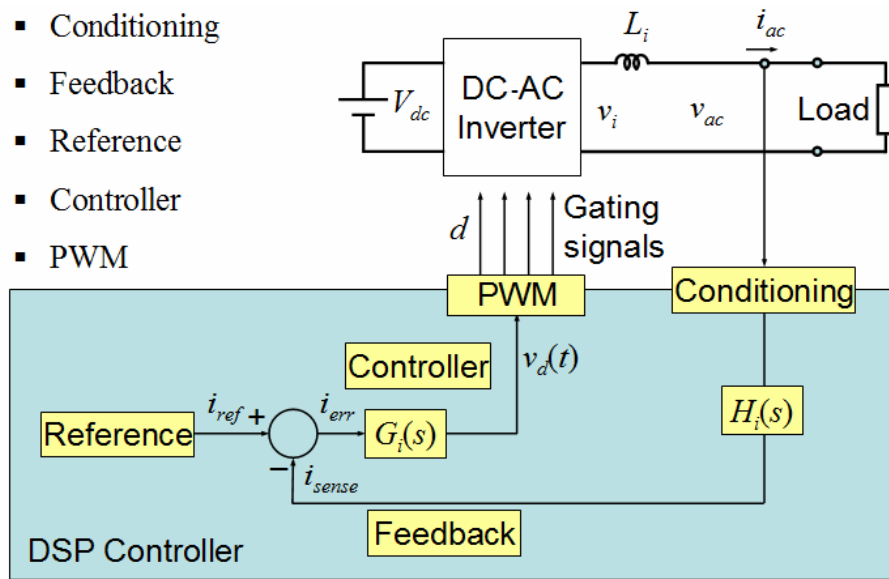


圖 5-1：SOFC 高效率 5kW 電力調控系統之 Inverter 控制系統方塊圖

5.1 系統 Modeling

在設計控制器前，我們必須先將系統的等效電路如圖 5-2 做理論推導以求出系統數學模型如圖 4-3 所示。透過解微分方程來分析系統時域性能是十分有用的，但對於比較複雜的系統這種方式比較困難。因為微分方程的求解計算工作量將隨著微分方程階數的增加而增大。另外，當方程式已經求解而系統的響應不能滿足要求時，也不能確定應該如何調整系統來獲得預期結果。所以古典控制學中，為了解決此問題，發展了頻域分析法，其是在頻域內應用圖解分析來評價系統性能的一種工程方法。該方法是以輸入訊號的頻率為變量，對系統的性能在頻域內進行研究的一種方法。頻率特性可以由微分方程或轉移函數求得，還可以用實驗方法測定，頻域分析法不必直接求解系統的微分方

程，而是間接地可得知系統的時域性能，它能方便的顯示出系統參數對系統性能的影響，並可以進一步指明如何設計控制器以改善系統性能，這種分析法有利於系統設計，能夠估計到影響系統性能的頻率範圍。特別地，當系統中存在難以用數學模型描述的某些元部件時，可用實驗方法量測出系統的頻率特性，從而對系統和元件進行準確而有效的分析。

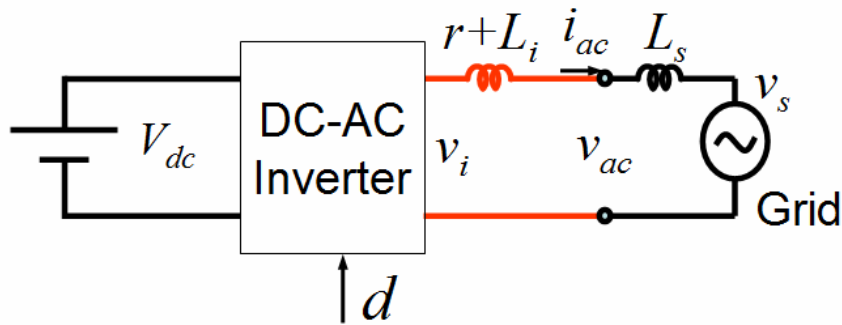


圖 5-2：Inverter 系統之等效電路圖

訊號頻域分析是採用傅立葉轉換，將時域訊號轉換為頻域訊號，幫助我們從另一個角度來了解訊號的特徵。訊號頻譜代表了訊號在不同頻率分量成分的大小，能夠提供比時域訊號波形更多的系統性能。因此，我們可將系統的等效電路經由 Laplace transform 求得系統數學模型如下：

$$i_{ac} = G_{id}(s)d - G_{iv}(s)v_{ac} \quad (5-1)$$

其中 $v_i = d \times V_{dc}$

$$G_{id}(s) = \frac{i_{ac}}{d} = \frac{V_{dc}}{r + sL_i} \quad (5-2)$$

$$G_{iv}(s) = \frac{i_{ac}}{v_{ac}} = \frac{1}{r + sL_i} \quad (5-3)$$

未補償前 Inverter 控制系統轉移函數方塊圖，如圖 4-3 所示。因此可求得系統轉移函數 $Y(s)$ 為

$$Y(s) = \frac{i_{ac}(s)}{v_{ac}(s)} = \frac{G_{id}(s)F_m G_i(s)}{1+T_i(s)} k_x P_{ref} H_v - \frac{G_{iv}(s)}{1+T_i(s)} = Y_1(s) + Y_2(s) \quad (5-4)$$

其中

$$T_i = G_{id} F_m H_i G_i \quad (5-5)$$

$$T_{icl} = \frac{G_{id} F_m G_i}{1+T_i} \quad (5-6)$$

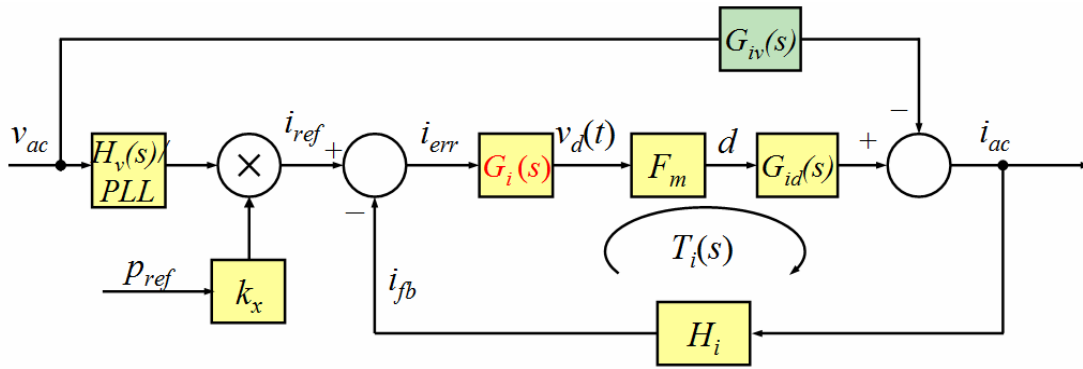


圖 5-3：Inverter 控制系統的轉移函數

$$Y(s) = Y_1(s) + Y_2(s) + Y_3(s) = Y_1(s) \quad (5-7)$$

$$Y_3(s) = \frac{H_v G_c(s) F_m G_{id}(s)}{1+T_i(s)} = -Y_2(s) \quad (5-8)$$

$$G_c(s) = -Y_2(s) \frac{1}{H_v(s) T_{icl}(s) G_i(s)} = \frac{1}{H_v(s) V_{dc} F_m} \quad (5-9)$$

如式(5-9)所示，系統轉移函數 $Y(s)$ 可分為 $Y_1(s)$ 和 $Y_2(s)$ 兩項， $Y_1(s)$ 為 controlled term， $Y_2(s)$ 為不受控的 disturbance term，必須設計一個補償器 $Y_3(s) = -Y_2(s)$ ($Y_3(s)$)

位置如圖 5-4 所示，回授市電電壓加以補償)，將 $Y_2(s)$ 項消除，否則，在低電流命令情況下，可控制的 $Y_1(s)$ 項將有可能小於 $Y_2(s)$ ，會造成系統不穩定無法控制，換言之，在輕載情況下，整個系統轉移函數的值為負的，使原本 inverter 的功能變成 rectifier，造成電流逆流回 DC bus 以及過電壓情形發生。在補償過後的 Inverter 控制系統轉移函數方塊圖，如圖 5-4 所示。

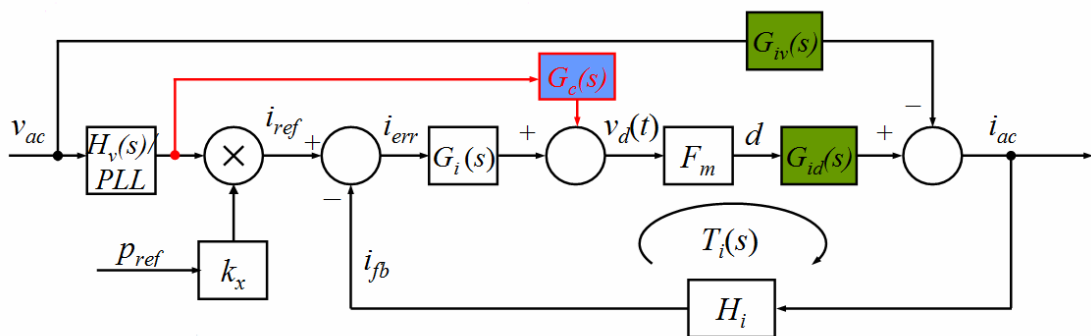


圖 5-4：補償過後的 Inverter 控制系統的轉移函數

5.2 控制器設計

對電力電子系統而言，控制器的設計最為重要也最複雜，可利用在頻域中系統之頻率特性，藉由波德圖（Bode diagram）來簡化分析，利用在不同頻率下其系統開迴路系統轉移函數之增益大小以及相位，來判斷閉迴路系統之穩定特性，以下章節將藉由 Matlab 軟體來模擬系統的頻率響應。另外，對於閉迴路控制系統而言，感測回授電路設計也是重要的一部分，若無法得到正確的回授訊號，則對系統的控制訊號皆無任何意義。此系統共包含了三組電壓回授訊號 v_{ac} 、 v_g 、 v_{dc} 以及一組電流回授訊號 i_{ac} ，在 Standalone 模式下，採用電壓回授控制，而 Grid-tie 模式下，則採用電壓回授控制，以下將詳述感測回授電路設計過程。

5.2.1 Voltage Open Loop Gain 設計

電壓回授電路前端設計一組硬體的二階濾波器， G_{HWF} 即為此濾波器的轉移函數，其 cut-off frequency 為 48kHz，在電壓訊號進入 DSP 前，必須經由 ADC 將類比訊號轉換成數位訊號，所以，在此 ADC 前端設計一組 RC 濾波器 G_{ANF} ，其 cut-off frequency 必須為 sampling rate 的 1/2 倍頻(=10 kHz)，在此設計為 9.6kHz。

$$G_{vd} = \frac{V_{dc}}{\left(\frac{s^2}{\omega_o^2} + \frac{s}{Q\omega_o} + 1\right)}, \quad G_{HWF} = \frac{\omega_{HWF}^2}{(s + \omega_{HWF})^2}, \quad G_{ANF} = \frac{\omega_{ANF}}{(s + \omega_{ANF})} \quad (5-10)$$

$$\text{其中 } \omega_{HWF} = 2\pi * 48k, \quad \omega_{ANF} = 2\pi * 9.6k$$

另外，電壓回授增益值為 H_v ，DSP 設計的電壓增益值 $G_{DSPGain}$ ，以及 duty cycle 對 inverter output voltage 的轉移函數 G_{vd} ，可計算求得

$$H_v = \frac{1.5}{400} \quad (5-11)$$

$$G_{DSPGain} = \frac{2048}{1.5} * \frac{1}{1250} \quad (5-12)$$

$$G_{vd} = \frac{V_{dc}}{\left(\frac{s^2}{\omega_o^2} + \frac{s}{Q\omega_o} + 1\right)} \quad (5-13)$$

其中 $V_{dc} = 450$ ，另外，為了在 switching frequency (20kHz) 時，系統開迴路增益能減少 40dB，我們必須將輸出二階濾波器 $L_i C_f$ 的 resonant frequency 設計在 2kHz (我們選用 2.91kHz)，故可求得

$$\omega_o = \frac{1}{\sqrt{L_i C_f}} = 2\pi * 2.91k \quad (5-14)$$

考慮系統成本、尺寸大小、效率影響以及欲補償 output current performance，在此我們選用 $L_i = 1.5m, C_f = 2\mu F$ ，內容詳述於後面小章節 LCL filter 設計中。接著，我們假設負載為 5kW 的 10% 以及輸出電壓為 220V，可計算求得

$$Q = \frac{\sqrt{L_i C_f}}{L_i / R_o} = 7.98, \quad R_o = \frac{0.1 P_{o\max}}{V_o^2} = \frac{500}{220^2} = 0.01 \quad (5-15)$$

因此，我們可求得整個電壓回授電路的開迴路轉移函數為

$$G_{vloop} = G_{vd} * G_{HWF} * G_{ANF} * H_v * G_{DSPGain} \quad (5-16)$$

可藉由 Matlab 軟體來模擬系統的頻率響應，劃出開迴路轉移函數 G_{vloop} 系統波德圖，如圖 5-5 所示，從波德圖可以瞭解系統在不同頻率下其所對應的增益大小，在 60Hz 頻率下，DC gain 為 5dB，而系統電壓回授之 Gain Margin = -11.7dB，Phase Margin = -19°，故可判斷此閉迴路系統為不穩定，後面章節將討論如何加入控制器補償，以改善系統穩定性以及提高閉迴路系統之相對穩定度。

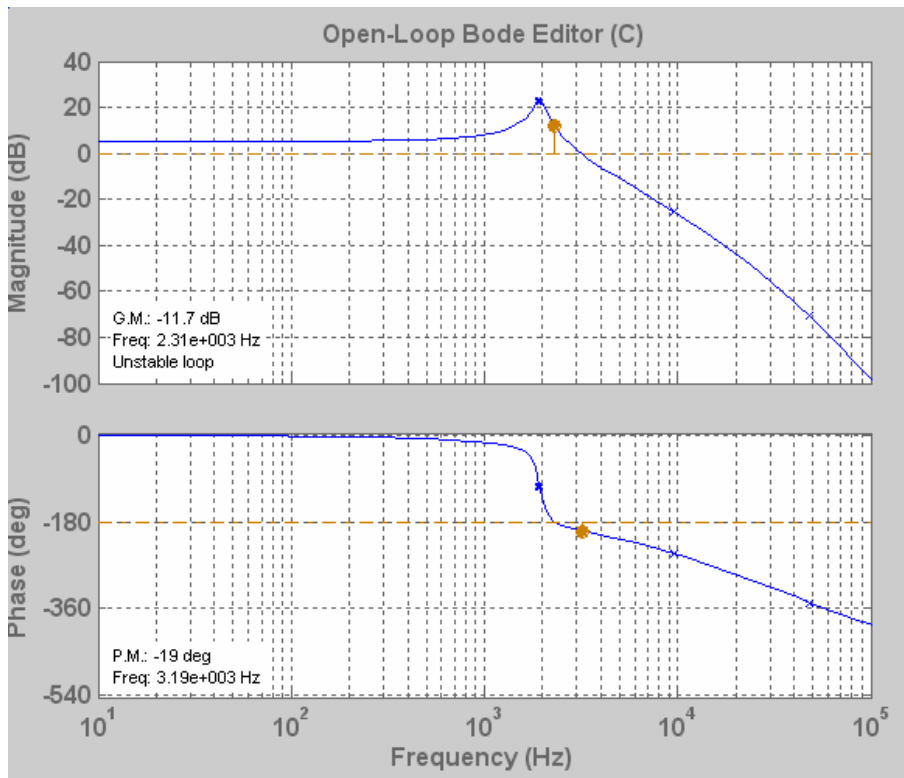


圖 5-5 : Voltage open loop 的頻率響應

5.2.2 Voltage Controller Design

一般傳統的 PI controller 仍會存在 steady-state error，會造成參考電壓值和實際值之間存在相位和大小誤差，在此，我們提出使用 PR controller 做為控制補償器，可大大增加 60Hz 處的大小增益使 steady-state error 接近於零，其頻率響應如圖 5-6 所示。

$$G_{i_PR} = \left(K_p + \frac{2\omega_c K_r s}{s^2 + 2\omega_c s + \omega_1^2} \right) = \left(0.6 + \frac{900s}{s^2 + 20s + 142.1k^2} \right) \quad (5-17)$$

$K_p = 0.6$, $K_r = 75$, $\omega_c = 2\pi * 1.592$, $\omega_1 = 2\pi * 60$ ，其中 K_p 為 proportional gain， K_r 為 resonant gain， ω_1 為 fundamental angular frequency， ω_c 為 equivalent bandwidth。另外，設計一個二階濾波器，此濾波器 cut-off frequency 為 465Hz，具有

二個相同根之特性，其頻率響應如圖 5-7 所示。

$$G_{i_LP} = \left(\frac{\omega_{c_LP}^2}{(s + \omega_{c_LP})^2} \right) = \left(\frac{1}{(s/2.92k + 1)^2} \right)$$

(5-18)

$$\omega_{c_LP} = 2\pi * 465$$

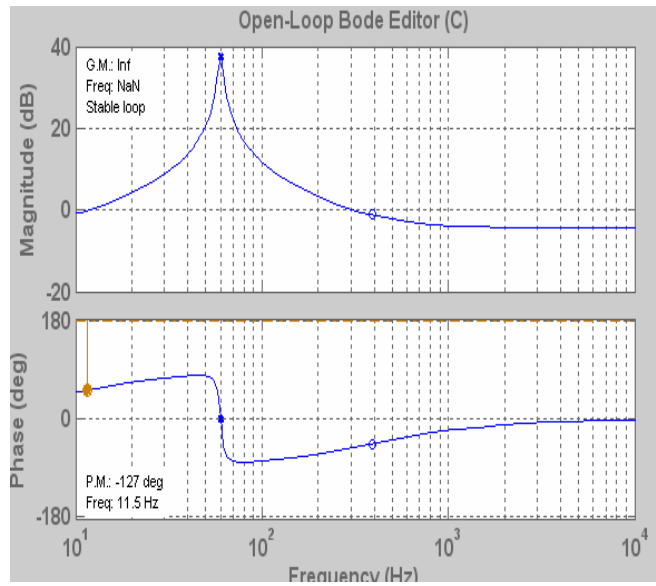


圖 5-6：PR controller 頻率響應

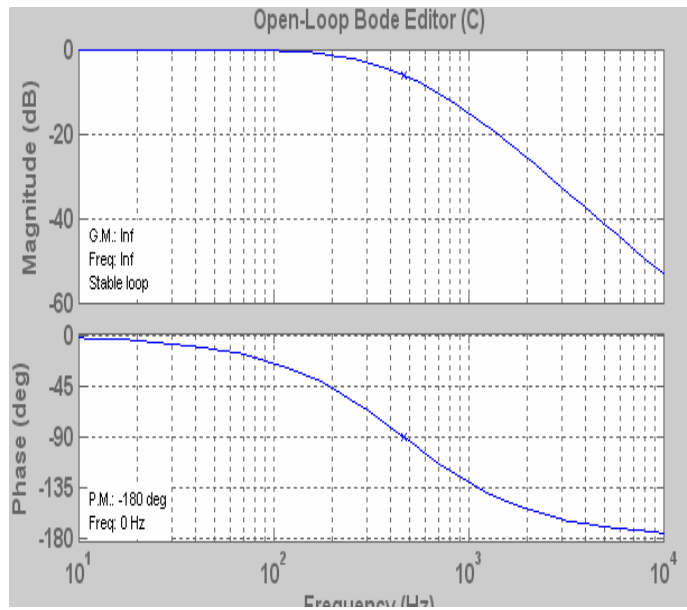


圖 5-7：二階濾波器 G_{c_LP} 頻率響應

$$G_i = G_{i_PR} * G_{i_LP} = \left(0.6 + \frac{900s}{s^2 + 20s + 142.1k^2}\right) * \left(\frac{1}{(s/2.92k + 1)^2}\right) \quad (5-19)$$

在加入控制器補償後，可求得整個電壓回授電路的閉迴路轉移函數為

$$G_{vclloop} = G_{vloop} * G_i \quad (5-20)$$

閉迴路轉移函數 $G_{vclloop}$ 系統波德圖，如圖 5-8 所示，從波德圖可得知在 60Hz 頻率下，系統增益增大為 42.5dB，而系統電壓回授之 Gain Margin=6.5dB（未加入控制器補償前為 -11.7dB），Phase Margin=49.7°（未加入控制器補償前為 -19°），故可判斷此閉迴路系統為穩定系統，且改善系統穩定性以及提高閉迴路系統之相對穩定度。

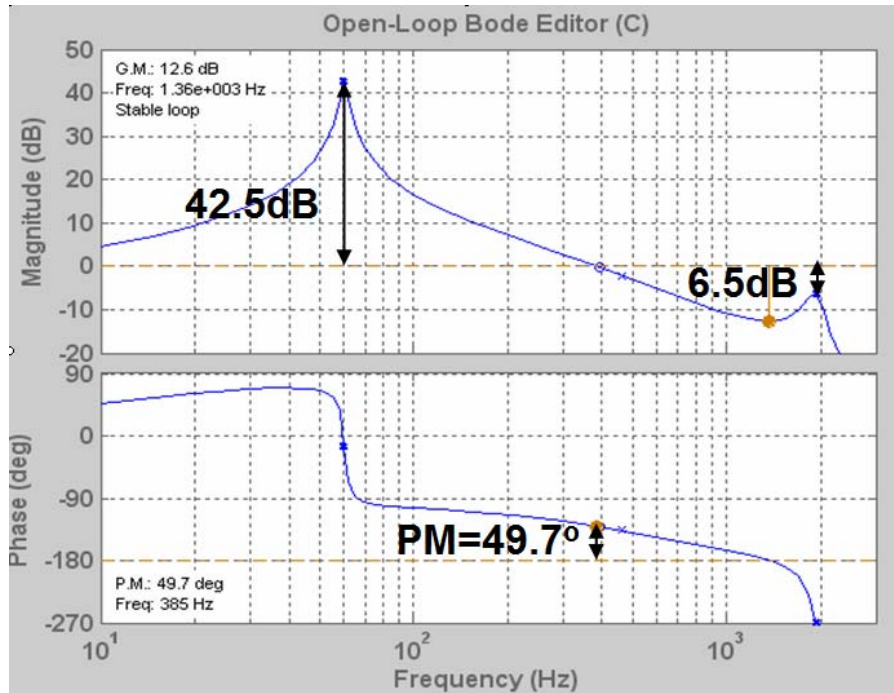


圖 5-8：控制器補償後 G_{vloop} 頻率響應

5.2.3 Current Open Loop Gain 設計

電流回授電路前端設計一組硬體的二階濾波器， G_{HWF} 即為此濾波器的轉移函數，其 cut-off frequency 為 48kHz，在電流訊號進入 DSP 前，必須經由 ADC 將類比訊號轉換成數位訊號，因為，在此 ADC 前端設計一組 RC 濾波器， G_{ANF} 即為此 RC 濾波器的轉移函數，其 cut-off frequency 為 9.6kHz。

$$G_{HWF} = \frac{\omega_{HWF}^2}{(s + \omega_{HWF})^2} = \frac{90.95827G}{(s + 301.59k)^2} = \frac{1}{(s/301.59k + 1)^2} \quad (5-21)$$

$$G_{ANF} = \frac{\omega_{ANF}}{(s + \omega_{ANF})} = \frac{60.32k}{(s + 60.32k)} = \frac{1}{(s/60.32k + 1)} \quad (5-22)$$

其中 $\omega_{HWF} = 2\pi * 48k$ ， $\omega_{ANF} = 2\pi * 9.6k$

另外，電流回授增益值為 H_i ，DSP 設計的電流增益值 $G_{DSPGain}$ ，以及 duty cycle 對 inverter output current 的轉移函數 G_{id} ，可計算求得

$$H_i = \frac{1.5}{60} \quad (5-23)$$

$$G_{DSPGain} = \frac{2048}{1.5} * \frac{1}{1250} \quad (5-24)$$

$$G_{id} = \frac{i_{ac}}{d} = \frac{V_{dc}}{r_{Li} + sL_i} \quad (5-25)$$

其中 $V_{dc} = 450$

在上一小節，我們選用 $L_i = 1.5m$ ， $C_f = 2\mu F$ ，以及量測可得 $r_{Li} = 80m\Omega$ 故可以計

$$\text{算求得 } \omega_{Li-r_{Li}} = \frac{r_{Li}}{L_i} = 2\pi \cdot 12.73$$

我們可求得整個電流回授電路的開迴路轉移函數為

$$G_{ioloop} = G_{id} * G_{HWF} * G_{ANF} * H_i * G_{DSPGain} \quad (5-26)$$

如圖 5-9 所示，我們將開迴路轉移函數 G_{ioloop} 輸入 Matlab 軟體，以劃出系統的頻率響應，由此波德圖可以瞭解系統在不同頻率下其所對應的增益大小，在 60Hz 頻率下，DC gain 為 30dB，而系統電流回授之 Gain Margin=23.3dB，Phase Margin=74.6°，下一小節將討論如何加入控制器補償，以提高閉迴路系統之相對穩定度。

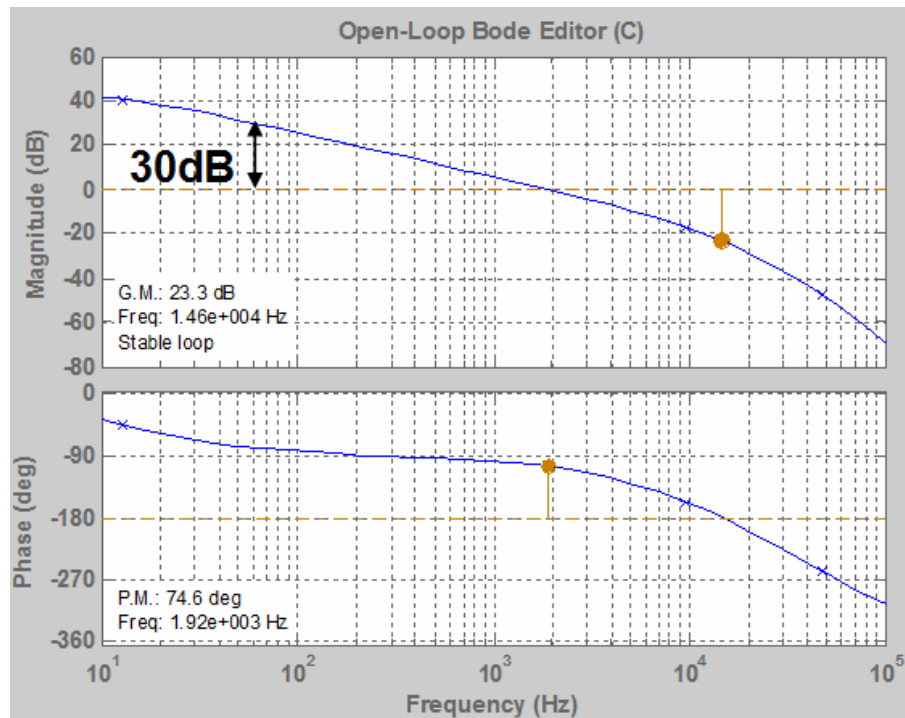


圖 5-9 : Current open loop 的頻率響應

5.2.4 Current Controller Design

對於電流回授電路，我們採用一樣的 PR controller，可明顯增加 60Hz 處的大小增益使 steady-state error 接近於零，其頻率響應如圖 4-6 所示。

$$G_i = \left(K_p + \frac{2\omega_c K_r s}{s^2 + 2\omega_c s + \omega_1^2} \right) = \left(0.6 + \frac{900s}{s^2 + 20s + 142.1k^2} \right) \quad (5-27)$$

$$K_p = 0.6, \quad K_r = 75, \quad \omega_c = 2\pi * 1.592, \quad \omega_1 = 2\pi * 60$$

在加入控制器補償後，可求得整個電流回授電路的閉迴路轉移函數為

$$G_{icloop} = G_{ioloop} * G_i \quad (5-28)$$

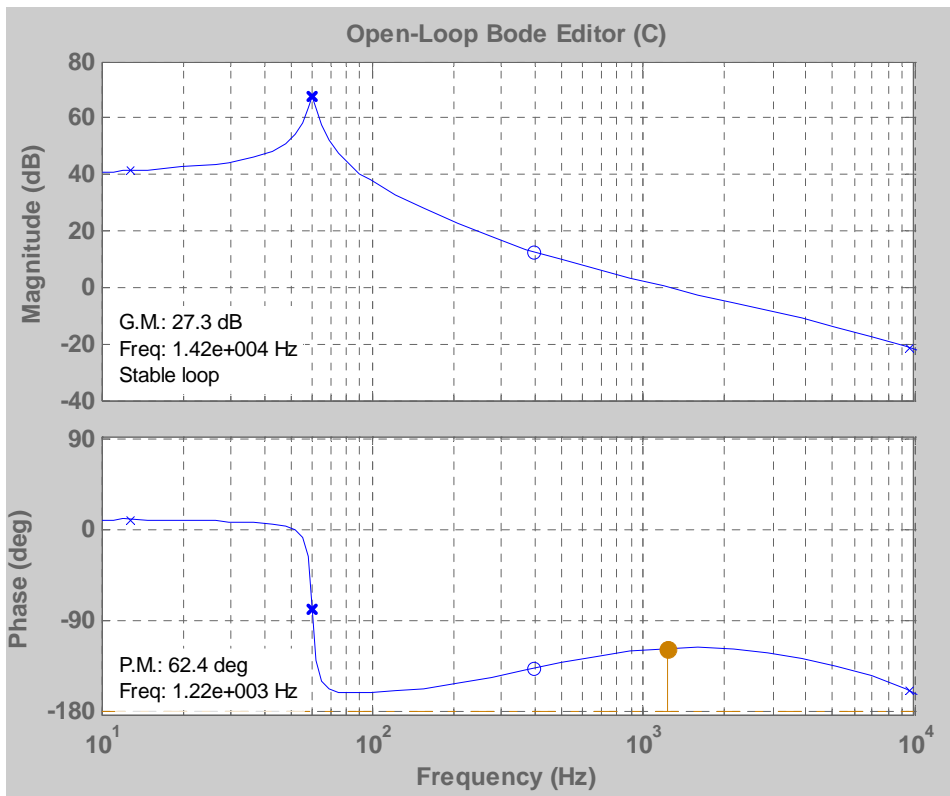


圖 5-10：Inverter 控制系統的轉移函數

閉迴路轉移函數 G_{vloop} 系統波德圖，如圖 5-10 所示，從波德圖可得知在 60Hz 頻率下，系統增益增大為 67.5dB，而系統電壓回授之 Gain Margin=27.3dB（未加入控制器補償前為 23.3dB），Phase Margin=62.4°，故可判斷此閉迴路系統為穩定系統，且改善系統穩定性以及提高閉迴路系統之相對穩定度。

5.2.5 控制器實現

$$\text{以 } G_i(s) = \frac{19.7147 (s+1.19 \cdot 10^4)^2}{(s+4.508 \cdot 10^4)^2} = 1.3782 \cdot (1+s/1.19 \cdot 10^4)^2 / (1+s/4.508 \cdot 10^4)^2 \text{ 為}$$

例子，利用 Matlab 可將 Transfer function 作 Z 轉換，以在 DSP 中實現。

指令如下所示

```
>> s=tf('s')
```


>> x=19.7*(s+1.19e4)^2/(s+4.5e4)^2

>> y=c2d(x, 50e-6, 'foh'), 50e-6 為 sampling time

即可得到方程式為

$$G_i(z) = \frac{5.55 z^2 - 5.91 z + 1.46}{z^2 - 0.21 z + 0.011} = \frac{5.55 - 5.91 z^{-1} + 1.46 z^{-2}}{1 - 0.21 z^{-1} + 0.011 z^{-2}} = \frac{CMPR(z)}{I_{ERR}(z)} \quad (5-29)$$

最後再轉換成差分方程式：

$$\begin{aligned} \Rightarrow 5.55I_{err}(k) - 5.91I_{err}(k-1) + 1.46I_{err}(k-2) &= Cmpr(k) - 0.21Cmpr(k-1) + 0.011Cmpr(k-2) \\ Cmpr(k) &= 0.21Cmpr(k-1) - 0.01102Cmpr(k-2) + 5.548I_{err}(k) - 5.906I_{err}(k-1) + 1.46I_{err}(k-2) \end{aligned}$$

最後再利用簡單的差分轉換即可求得在 DSP 實現的方式，程式之實現如下：

```
Vc_q = _IQmpy(Vc_o1_q, Ic_A_q) + _IQmpy(Vc_o2_q, Ic_B_q) +
_IQmpy(Ierr_q, Ierr_A_q) + _IQmpy(Ierr_o1_q, Ierr_B_q) +
_IQmpy(Ierr_o2_q, Ierr_C_q) + _IQmpy(Kr_q, ADC_q[VGS]);

#define Ic_A_q          0.21 (in Inverter_setup.h)
#define Ic_B_q          -0.011 (in Inverter_setup.h)
#define Ierr_A_q        5.535 (in Inverter_setup.h)
#define Ierr_B_q        -5.89 (in Inverter_setup.h)
#define Ierr_C_q        1.45 (in Inverter_setup.h)
```

5.2.6 Phase Locked Loop 設計及實現

在此簡要說明 PLL 鎖相的原理，詳細公式推導可閱讀相關書籍，如圖 5-11

所示，將 Vgrid 與 Vf 相乘後進入低通濾波器取得其直流成分，在乘上一個比例值得到一個加在 60Hz 上之角頻率，如此一來，一開始利用一個較高頻的弦波去追 Vgrid 在兩

訊號越來越接近的同時 $\Delta\omega$ 逐漸降低，當順利追到之後，

$$V_e = V_{grid} \bullet V_f = V_s \sin(\omega t - \frac{\pi}{2}) \bullet \sin \omega t = -\frac{V_s}{2} \cos(2\omega t - \frac{\pi}{2}) \quad (5-30)$$

即無直流成分，則 $\Delta\omega = 0$ ，如此頻率即維持一定並且維持 V_{syn} 與 V_{grid} 一致。

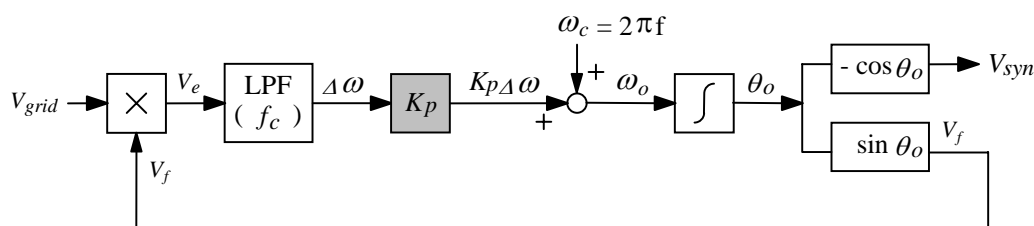


圖 5-11：PLL 鎖相原理

為了實現 PLL，首先要先求得振幅為 1 之 V_{grid} (藉由 all pass filter 得到與 V_{grid} 相差 90 度之弦波再利用 $A^2 \sin^2(x) + A^2 \cos^2(x) = A$ 的觀念得到振幅，將 V_{grid} 除以求得之振幅即可得到振幅為 1 之 V_{grid})，接著在依據圖 5-11 之流程執行。

<求得 V_{grid} 之振幅>

(All Pass Filter)

將 All Pass Filter 的轉移函數 $T(s) = \frac{-s+377}{s+377}$ 作 Z 轉換再轉成差分方程式即可

`_iq out_vgs_q, in_vgs_q, out_vgs_o_q=0, in_vgs_o_q=0;`

`_iq all_A_q, all_B_q, Vm_q, Vgrid_q;`

`in_vgs_q = ADC_q[VGS];`

`out_vgs_q = _IQmpy(all_A_q, out_vgs_o_q) + _IQmpy(all_B_q, in_vgs_q) +
in_vgs_o_q;`

`in_vgs_o_q = in_vgs_q;`

```
out_vgs_o_q = out_vgs_q;
```

```
temp_f = (2-2*Pi*60*Ts)/(2*Pi*60*Ts+2);
```

```
all_A_q = _IQ(temp_f);
```

```
temp_f = (2*Pi*60*Ts-2)/(2*Pi*60*Ts+2);
```

```
all_B_q = _IQ(temp_f);
```

(Get Unit Vgrid)

```
_iq11 temp1_q11 , temp2_q11 , temp3_q11 , Vm_q11;
```

```
_iq7 temp1_q7 , temp2_q7 , temp3_q7 , Vm_q7;
```

```
_iq temp1_q , temp2_q , temp3_q , temp_q;
```

```
temp1_q7 = _IQtoIQ7(in_vgs_q);
```

```
temp1_q7 = _IQ7mpy(temp1_q7 , temp1_q7); // temp1_q7= (in_vgs_q)^2
```

```
temp2_q7 = _IQtoIQ7(out_vgs_q);
```

```
temp2_q7 = _IQ7mpy(temp2_q7 , temp2_q7); // temp2_q7= (in_vgs_q)^2
```

```
temp3_q7 = temp1_q7 + temp2_q7; // temp3_q7= (in_vgs_q)^2+ (in_vgs_q)^2
```

```
Vm_q7 = _IQ7sqrt(temp3_q7);
```

```
Vm_q = _IQ7toIQ(Vm_q7); //Vm_q =Amplitude of Vgrid
```

```
Vgrid_q = _IQdiv(in_vgs_q , Vm_q); //Vgrid_q
```

(Phase detector)

```
Verr_q = _IQmpy(Vgrid_q , Vf_q);
```

(Discrete-time LPF)

```
DeltaW_q = _IQmpy(Ka_q, DeltaW_o_q) + _IQmpy(Kb_q, Verr_q);
```

```
DeltaW_o_q = DeltaW_q;
```

(Theta_q operation)

```
Theta_q = Theta_o_q + Wc_q + _IQmpy(Kp_q, DeltaW_q);
```

```
if(Theta_q >= two_pi_q) Theta_q -= two_pi_q;
```

```
Theta_o_q = Theta_q;
```

(After the phase between Vgrid and Vsyn is locked)

```
Vf_q = _IQsin(Theta_q);
```

```
Vsyn_q = -_IQcos(Theta_q); // Get value from lookup
```

(Grid-Tie Mode Command and Error Signal Generation)

```
Iref_q = _IQmpy(Vsyn1_q, Iref_pk_q);
```

```
Ierr_q = Iref_q - ADC_q[IGS];
```

5.3 LCL filter 設計

L_f 的選用主要是用來補償 output current performance，但必須考慮系統成本、尺寸大小、以及效率。舉例來說，一個較大感值的 L_f 設計，可造成較低的輸出電流 ripple，因此系統的 loop gain 較低，可以設計較大的 controller loop gain 以獲得較好的 current performance。可是缺點是成本提高以及佔據空間，而且因為繞線長度增加會造成 winding loss 增大。

$$i_{peak} = \frac{5kW}{240V} \times \sqrt{2} = 30 \quad (5-31)$$

我們假設 20% 的 peak-to-peak ripple 以及 $V_{ac-peak} = 240 \times \sqrt{2} = 340V$

$$\Delta i = 30 \times 0.2 = 6 \quad (5-32)$$

$$Duty\ cycle = \frac{340}{400} = 0.85 \quad (5-33)$$

$$L_i = \frac{\Delta V}{\Delta i} \Delta t = \frac{400 - 340}{6} \times (50 \times 10^{-6} \times 0.85) = 425 \mu H \quad (5-34)$$

考慮系統成本、尺寸大小、效率影響以及欲補償 output current performance，在此我們選用 $L_i = 1.5mH$ 。另外，根據式(5-14)，爲了在 switching frequency (20kHz)系統開迴路增益能減少 40dB，我們必須將輸出二階濾波器 $L_i C_f$ 的 resonant frequency f_{r_LC} 設計在 2.91kHz，故可求得 $C_f = 2\mu F$ 。

對於加入 LCL 濾波器的 grid-tie inverter，如圖 5-12，duty cycle 對 inverter output current 的轉移函數 G_{id} 可表示爲

$$\frac{i_{ac}}{d} = \frac{V_{dc}(1 + s^2 L_g C_f)}{s[L_i + (L_g + L_s)] \left\{ 1 + s^2 \left[\frac{L_i \times (L_g + L_s)}{L_i + (L_g + L_s)} \right] C_f \right\}} \quad (5-35)$$

我們將輸出濾波器 $L_i C_f L_g$ 的 resonant frequency f_{r_LCL} 設計在 5.81kHz，且量測市電端等效電感 $L_s = 0.2mH$ ，因此，可計算如下

$$f_{r_LCL} = \frac{1}{2\pi \sqrt{\left[\frac{L_i \times (L_g + L_s)}{L_i + (L_g + L_s)} \right] C_f}} = \frac{1}{2\pi \sqrt{\frac{1.5 \times 10^{-3} \times (L_g + 0.2)}{1.5 + (L_g + 0.2)} \times 2 \times 10^{-6}}} \quad (5-36)$$

可得 $L_g = 0.3mH$ ，在此我們選用 $L_g = 0.5mH$ 。我們可將設計好的 $L_i C_f L_g$ 劃出其波德圖，如圖 5-13 所示。

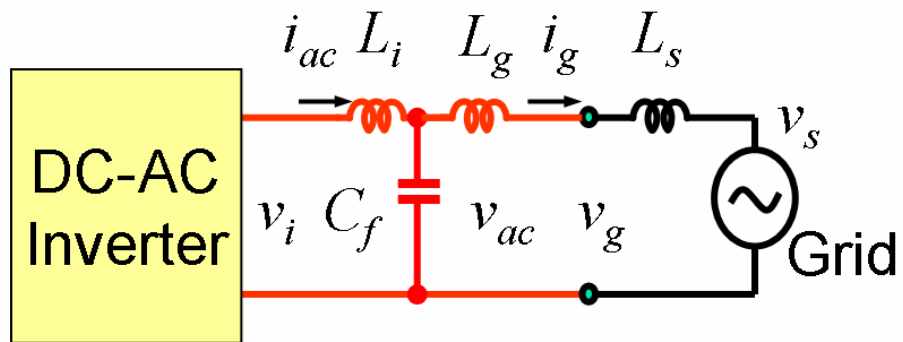


圖 5-12：加入 LCL 濾波器的 grid-tie inverter

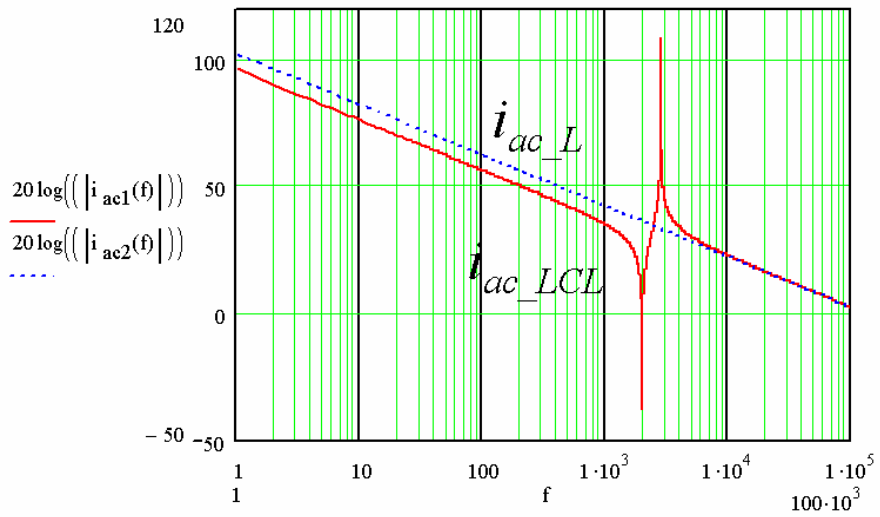


圖 5-13：LCL 濾波器的波德圖

6. 硬體測試結果

本章將敘述圖 4-13 諧振電感過大，造成效率降低的現象並且根據理論提出處理方式。並且在決定諧振電感之後測試 inverter 跟整個系統的效率。

6.1 Fine tune 諧振電感值及測試

對於目前當下之問題為諧振電流過大，造成在電感上之損耗過高，在高效率之要求之下，希望能夠解決此一要項，由圖 4-13 可以看出諧振電流在 peak 時為負載電流之將近四倍。根據文獻希望能夠將其比例降低在 1.5 至 2 倍之間，藉由 paper 上證明出之公式，可看出在諧振過程之電感電流為

$$i_{L_r}(t) = \frac{kV_{dc}}{Z} \sin(\omega_r t) + I_{Load} \quad \frac{\frac{n}{n+1}Z = \frac{1}{\omega_r C}, \omega_r = \frac{1}{\sqrt{LC}}}{=} \quad \frac{n}{n+1} V_{dc} \sqrt{\frac{C}{L}} \sin\left(\frac{1}{\sqrt{LC}} t\right) + I_{Load} \quad (6-1)$$

根據公式試著調整 L 及 C 的參數以達到降低電感電流的效果，以公式而言降低 C 值或提高 L 值好像都是不錯的選擇，但是提高 L 又勢必會提高匝數，如此一來銅損也提高了，而且增加了成本，藉由此一公式之依據初步計算一下理論上的諧振電流，最後再來調整初步規劃電感跟電容的組合有 12 組組合為加上之前的電感 L 一共有四組共八顆電感，規格如表 6-1。C 的值選用 10nF, 15nF, 6.8nF, 這樣子搭配的組合一共有 12 種組合方式，表 6-1 所示之另三組電感，製作跟之前相同方式，但 P 側改用一條 AWG14(165/36(AWG36 的線 165 條並聯))，S 側改用一條 AWG16(105/36(AWG36 的線 105 條並聯))，core 型號一樣為 OP43825TC 另外為了增加 resonant current 的 smooth 在 middle side 一樣繞了 saturation core MP3210P4AS，完成圖如圖 6-1 所示。表 6-2 為計算所得之諧振電流理論值並且可以加以估算諧振電流跟負載電流之比例關係，在表 6-2 所示之重輕載之下選擇剛剛設計之 L 及 C 之組合可以得到期望之電流比例，經由實驗數據測試到 12uH 跟 10nF 之組合下已經達到了預期之效果，效率也大大提升至超過 98%。

表 6-1：諧振電感規格

TurnsP,S	n	Lp(mH)	Lp_1k(uH)	Ls(mH)	Ls_1k(uH)
(18,12)x2	1.5	1.28	12.5	2.87	26.77
(20,13)x2	1.538462	1.638	18	3.675	39.9
(23,15)x2	1.533333	2.05	21.75	4.6	47.9
(25,17)x2	1.470588	3.28	24	6.38	48

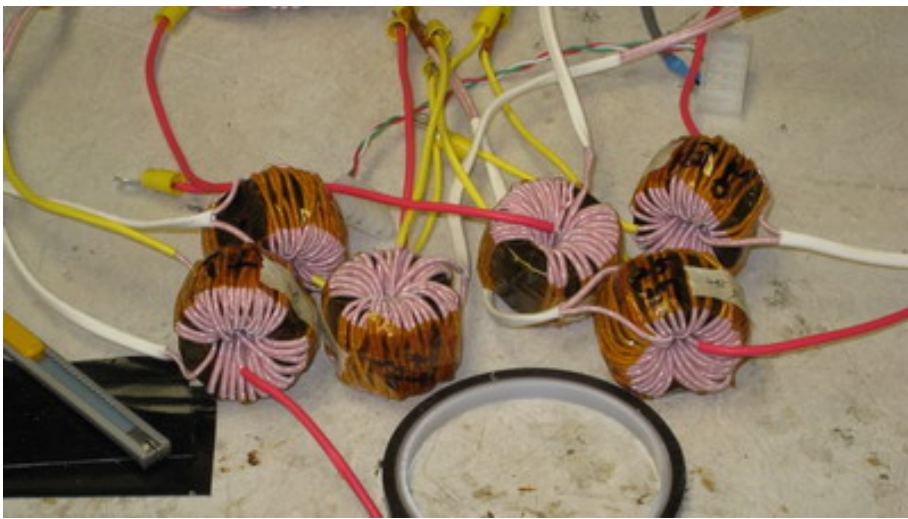


圖 6-1：Fine tune 之諧振電感完成圖

表 6-2：計算所得之諧振電流理論值

Vac (V)	Power (W)	Iload_rms (A)	Iload_pk (A)	C (nF)	C1+C2 (nF)	Lr1 (uH)	n for L	k	Vdc (V)	Lr (uH)	IL_pk (A)	IL_pk/ Iload_pk
220	5378	24.44444	34.56966	15	30	12.5	1.5	0.6	400	9	48.42	1.400825
220	5378	24.44444	34.56966	15	30	18	1.5385	0.6	400	13.22	46.11	1.334021
220	5378	24.44444	34.56966	15	30	21.7	1.5333	0.6	400	15.94	45.07	1.303865
220	5378	24.44444	34.56966	15	30	24	1.4706	0.6	400	17.01	44.57	1.289270
220	5378	24.44444	34.56966	10	20	12.5	1.5	0.6	400	9	45.88	1.327272
220	5378	24.44444	34.56966	10	20	18	1.5385	0.6	400	13.22	43.99	1.272727
220	5378	24.44444	34.56966	10	20	21.7	1.5333	0.6	400	15.94	43.14	1.248104
220	5378	24.44444	34.56966	10	20	24	1.4706	0.6	400	17.01	42.73	1.236188
220	5378	24.44444	34.56966	6.8	13.6	12.5	1.5	0.6	400	9	43.89	1.269876
220	5378	24.44444	34.56966	6.8	13.6	18	1.5385	0.6	400	13.22	42.34	1.224896
220	5378	24.44444	34.56966	6.8	13.6	21.7	1.5333	0.6	400	15.94	41.64	1.204592
220	5378	24.44444	34.56966	6.8	13.6	24	1.4706	0.6	400	17.01	41.30	1.194766

Vac (V)	Power (W)	Iload_rms (A)	Iload_pk (A)	C (nF)	C1+C2 (nF)	Lr1 (uH)	n for L	k	Vdc (V)	Lr (uH)	IL_pk (A)	IL_pk/ Iload_pk
220	1344	6.11111	8.642416	15	30	12.5	1.5	0.6	400	9	22.49	2.603302
220	1344	6.11111	8.642416	15	30	18	1.5385	0.6	400	13.22	20.18	2.336085
220	1344	6.11111	8.642416	15	30	21.7	1.5333	0.6	400	15.94	19.14	2.215460
220	1344	6.11111	8.642416	15	30	24	1.4706	0.6	400	17.01	18.64	2.157083
220	1344	6.11111	8.642416	10	20	12.5	1.5	0.6	400	9	19.95	2.309090
220	1344	6.11111	8.642416	10	20	18	1.5385	0.6	400	13.22	18.07	2.090909
220	1344	6.11111	8.642416	10	20	21.7	1.5333	0.6	400	15.94	17.21	1.992419
220	1344	6.11111	8.642416	10	20	24	1.4706	0.6	400	17.01	16.80	1.944754
220	1344	6.11111	8.642416	6.8	13.6	12.5	1.5	0.6	400	9	17.97	2.079504
220	1344	6.11111 1	8.642416	6.8	13.6	18	1.5385	0.6	400	13.22	16.41	1.899586
220	1344	6.11111	8.642416	6.8	13.6	21.7	1.5333	0.6	400	15.94	15.71	1.818369
220	1344	6.11111	8.642416	6.8	13.6	24	1.4706	0.6	400	17.01	15.37	1.779064

6.2 效率測試結果

效率測試使用 wt1600 之 power meter 並且搭配精密電阻量測效率,儀器及測試電路如圖 6-2, 6-3, 測試狀況為 DC bus 側掛一個 2k 之電阻, 輸入為 power supply, 小電額外供應, 操作在 open loop 之 standalone mode, inverter 輸出消耗在電阻性負載上, 測試結果於表 6-3, 效率曲線如圖 6-4 所示。

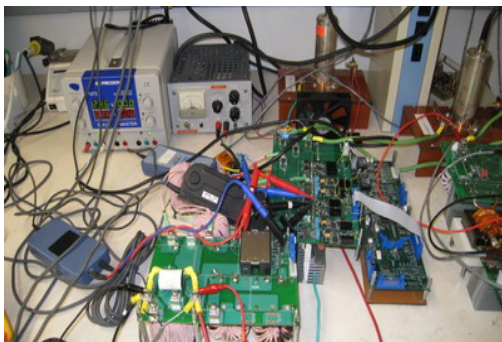


(a)

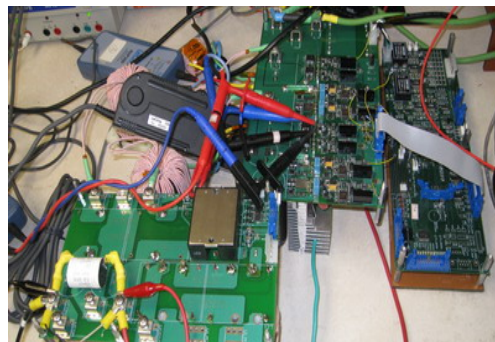


(b)

圖 6-2：效率測試儀器



(a)



(b)

圖 6-3：電路效率測試

表 6-3：效率測試結果

Vdc_in (V)	Idc_in (A)	Pdc_in (kW)	Vdc (V)	Idc (A)	Pdc (kW)	Vac_rms (V)	Iac_rms (A)	Pac (kW)	Eff_dc_dc (%)	Eff_dc_ac (%)	Eff_overall (%)
41.07	12.26	0.505	352.68	1.35	0.48	220.78	2.12	0.47	94.42	98.43	92.94
43.36	23.4	0.983	363.2	2.6	0.95	220.36	4.24	0.93	96.22	98.86	95.12
43.55	33.75	1.471	370.88	3.83	1.42	220.96	6.35	1.4	96.75	98.6	95.4
44.21	44.09	1.95	375.07	5.03	1.89	220.58	8.43	1.86	96.76	98.57	95.38
44.74	52.3	2.34	378.47	5.99	2.27	220.71	10.1	2.23	96.81	98.42	95.28
45.47	64.49	2.93	383	7.42	2.84	220.91	12.61	2.79	96.85	98.09	95.01
46.08	75.18	3.46	386.65	8.7	3.36	221.14	14.85	3.28	97.06	97.63	94.76
46.57	84.7	3.94	389.38	9.81	3.81	221.67	16.85	3.72	96.73	97.63	94.44
47.01	94.34	4.43	391.57	11	4.29	220.74	18.9	4.17	96.78	97.2	94.07
47.43	104.51	4.95	393.66	12.2	4.79	220.52	21.07	4.64	96.64	97.01	93.75
47.8	112.22	5.36	395.58	13.1	5.17	220.58	22.71	5.01	96.51	96.8	93.42

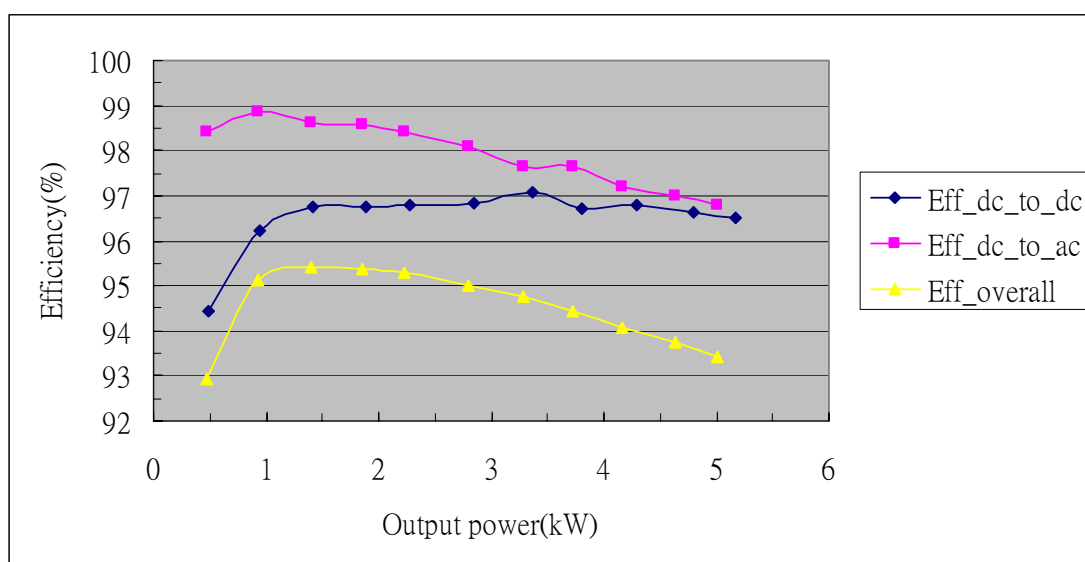


圖 6-3：電路效率曲線

皆下來探討效率改善之原因，由圖 6-4 可見已將諧振電流壓制在負載電流的大約兩倍，壓制諧振電流的缺點為 ZVS 的區域會受到壓縮，接下來看到圖 6-5，channel 1 為

Vgs 以及 channel 2 爲 Vds，其 ZVS 效果仍然相當明顯，我們可以預期效率提升。

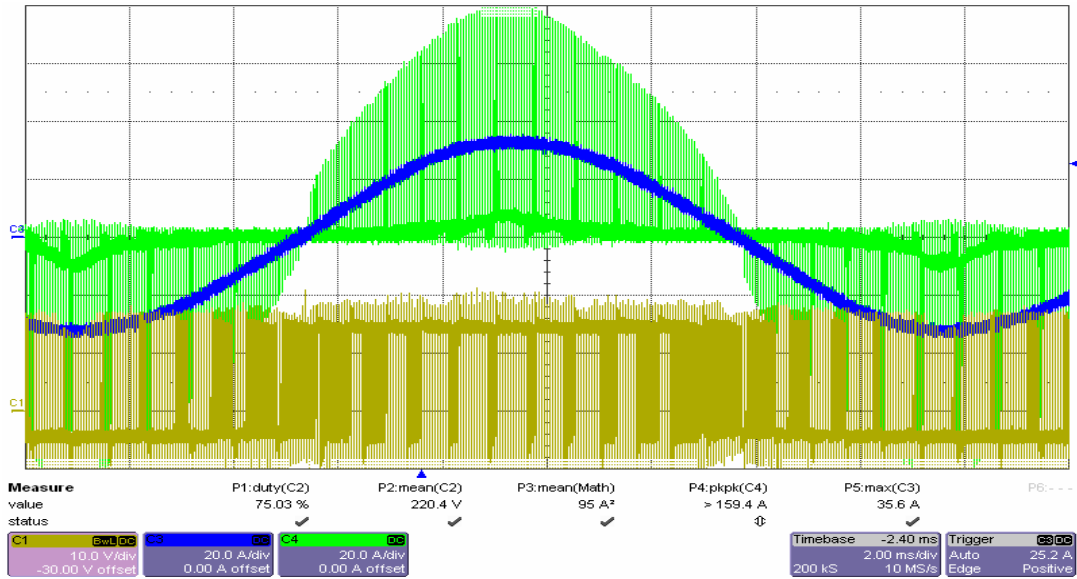


圖 6-4：諧振電流波形

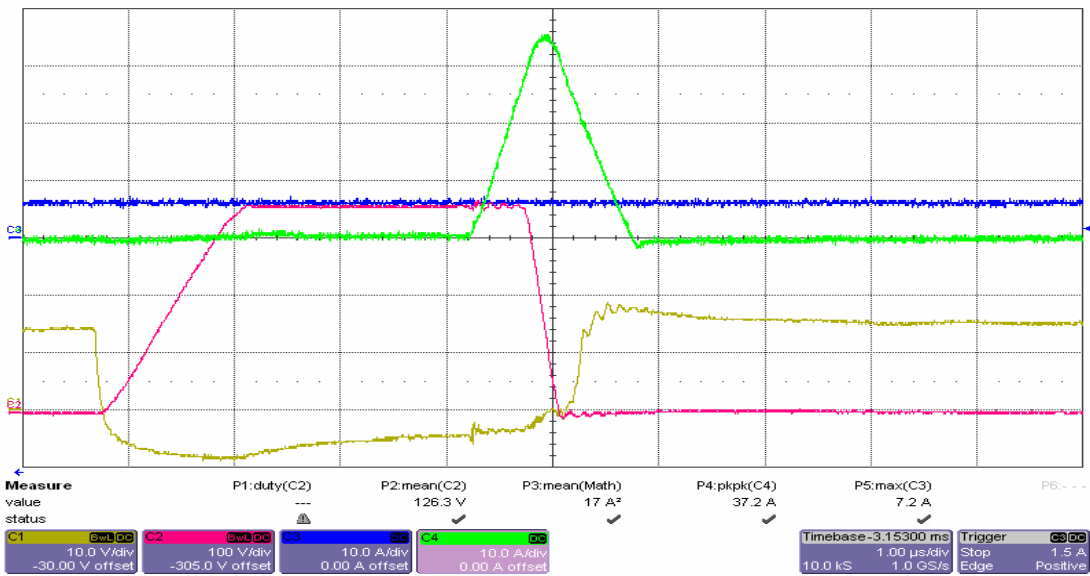


圖 6-5：Soft switching 波形

7. 心得

目前各國紛紛積極投入發展新能源領域，不同的新能源架構不斷開發出來，而最終的目的就是要產生電力，並且能夠併網發電。然而這些不斷增加的新且特定之發電輸出規格需求，必須變更其 inverter 及控制器的設計，使得先進電力電子研究領域越加彰顯其重要性。終其而言，電力電子將扮演最終整合各項能源的角色，高效率的電力電子更攸關新能源發電成本之關鍵因素。因此電力電子在能源領域是不可或缺且值得投入研究的項目之一。

8. 建議事項

全球暖化及能源短缺問題日漸嚴重，節能減碳變得刻不容緩，具經濟效益之再生能源，非常值得國內持續投入發展，本所在該領域亦投入相當多，目前已開發針對 SOFC 的電力轉換器並且能夠併網供電，除了開發更多樣性的電力轉換器之外，接下來繼續朝能源科技發展研究，能源電力電子與再生能源電力系統為重要不可或缺的一環，因為所有再生能源終究要發電，為尋找台灣替代性能源與解決二氧化碳減量等議題，建議本所應該積極投入再生能源電力系統分析工作，以分散式發電為目標，實現 Microgrid 的概念。

9. 致 謝

本文之完成首先感謝所屬各級長官對本研究項目的支持，並派遣人員出國訓練以穩步奠定本所之研發能量，衷心希望本研究項目對本所投入能源領域的研發能有所助益。

10. 參考文獻

- [1] Changrong Liu, Amy Johnson, and Jih-Sheng Lai, “A Novel Three-Phase High-Power Soft Switched DC/DC Converter for Low Voltage Fuel Cell Applications” , (*APEC' 04*), 2004, pp. 1365 - 1371.
- [2] Changrong Liu, Amy Ridenour, and Jih-Sheng (Jason) Lai, “Modeling and Control of a Novel Six-Leg Three-Phase High-Power Converter for Low Voltage Fuel Cell Applications” , *IEEE Transactions on Power Electronics*, Vol. 21, No. 5, Sept. 2006, pp.1292 - 1300.
- [3] Jih-Sheng Lai, “A High-Performance V6 Converter for Fuel Cell Power Conditioning System” , (*PESC' 05*), 2005, pp. 624 - 630.
- [4] Jih-Sheng Lai, Junhong Zhang, Huijie Yu and Heath Kouns, “Source and Load Adaptive Design for a High-Power Soft-Switching Inverter” , *IEEE Transaction on Power Electronics*, Vol. 21, No. 6, Nov. 2006, pp. 1667 - 1675.
- [5] Jih-Sheng Lai, Sung-Yeul Park, Seungryul Moon, and Chien Liang Chen, “A High-Efficiency 5-kW Soft-Switched Power Conditioning System for Low-Voltage Solid Oxide Fuel Cells” , (*PCC' 07*), 2007.
- [6] Junhong Zhang and Jih-Sheng Lai, “A Synchronous Rectification Featured Soft-Switching Inverter Using CoolMOS” , (*APEC' 06*), 2006.