

第四章 積體電路電磁干擾的量測

建立 IC 電磁干擾量測標準 IEC 61967 之目的，是為了建立統一的 IC 電磁干擾量測環境，以量測來自 IC 的 RF 擾動，使量測結果可以在同一個參考條件下，作比較或作為建立行為模型之使用，每一種量測方法各有其特色與限制，使用者將依自己的需求選擇適合的測試方法。

4.1 TEM Cell 量測法

(1) 量測系統的建立

當 IC 的製程、電路設計、封裝技術改變後，可用此量測方法，來評估這些規格參數改變，將對幅射干擾的變動，產生多大的影響，在應用上，我們可以配合 IEC 61967-3 表面電場與磁場掃描，找出 IC 電路內的干擾源的電路，針對那部份的電路，重新設計或是重新佈線(Planning and Routing)，然後再以 TEM Cell 量測法來驗證，待測 IC 的電場與磁場干擾是否已經有改善，符合規範的規定，此外，我們亦可進一步用這些量測結果，建立高速 IC 有關幅射干擾之特性與行為模型。

量測系統的架構，如圖 4.1 所示。由下面幾個部份所組成：

- 1GHz TEM Cell：
- 頻譜分析儀(spectrum analyzer)：
- 前置放大器(preamplifier)：
- 針對待測 IC 所設計之測試電路板：
- 終端電路 50 歐姆

(2) 量測方法

依圖 2.1 的量測架構圖，將 TEM Cell 量測系統建置完成，量測時，將測試電路板，內層(含待測 IC)朝向 TEM Cell 內部，此時，待測 IC 所產生的幅射干擾，將耦合到 TEM Cell 內的中間金屬板(septum)，經由中間的金屬板，將待測

IC 的干擾信號傳到頻譜分析儀，量測時，我們以 Labview 程式書寫量測程式，透過 GPIB 介面，可由電腦來控制及讀取譜分析儀內量測資料，並經 Labview 程式作適當的運算處理後，最後，會將量測結果顯示在電腦上面。

為了瞭解待測 IC 在測試電路板上，不同角度所產生的幅射干擾影響，量測時，我們應該依次，每次旋轉 90 度，(即 90 度、180 度、270 度、360 度)，對不同角度的測試電路板作量測，以便找出最差的量測情況。



圖 4.1 TEM Cell 量測系統

4.2. 近場掃描量測法

(1)量測系統的建立

近場掃描量測系統是用來量測，很接近 IC 表面的近電場、磁場或電磁場，利用這些量測結果，評估與診斷待測 IC 之電路設計與佈局與繞線 (floor planning and routing) 是否恰當，經過這樣的驗證過程，將使最後設計出來的 IC 產品，可以達較好的功率分佈與低 EMI 的特性。

近場掃描量測系統之架構與實體圖(setup)分別如圖 4.2(a)(b)所示，由下面幾個部份所組成：

- 定位移動平台：具有很小的空間移動解析度與重覆精準度。
- 電場與磁場探針(probe)：10MHz-1GHz 間，具有很小的空間解析度與高感度。
- 前置放大器(preamplifier)：為了增加感度，將使用 20dB-30dB 以上的低雜訊前置放大器。

- 頻譜分析儀(spectrum analyzer)。
- 資料讀取系統(data acquisition system)。
- 針對待測 IC 所設計之測試電路板。

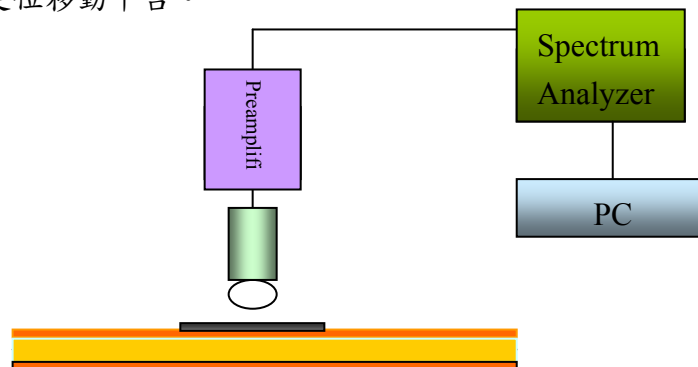
(2)量測方法

量測時，將待測電路板安裝在定位移動平台上，待測 IC 將操作在所想要的測試模式下，將頻譜分析儀依次設定在所想要的頻率點上，每一次的量測，將使用程式來驅動定位移動平台，使得近場探針可以在 IC 的封裝或是晶片(die)正上方約 1mm-2mm 處作表面的掃描，探針移到每一個位置，去探測最大值，然後再移到下一個位置，一直到掃完所有 IC 平面為止。

當使用磁電磁場探針，須作 2 個序列的表面掃描，首先，探測器的迴圈(probe loop)的方向，沿著 IC 表面的一個(X)軸的方向掃完全部得到 X 方向的磁場分佈，接著，將探測器的迴圈(probe loop)的方向沿著 Y 軸掃完全部得到 Y 方向的磁場分佈，然後更換磁電磁場探針，以 Hz-probe(磁電磁場探針) 沿著 X 或 Y 軸掃完全部得到 Z 方向的磁場分佈。

從近場探針所量到的 IC 或晶片(Die)表面電場或磁場資料，將經前置放大器放大後，送到頻譜分析儀，經使用 Labview 語言書寫量測程式，可以將所量得的頻率大小，配合該定位平台的相對座標位置，在電腦畫出電場或磁場分佈圖。

定位平台的定位命令是使用 Labview 程式，經過 GPIB 介面，將定位的位置命令下達至定位移動平台。



(a)



(b)

圖 4.2. (a) 近場掃描量測系統架構圖, (b) 近場掃描量測系統實體圖

4.3. 直接耦合 1 歐姆/150 歐姆量測法

(1) 量測系統的建立

IEC 61967-4 是使用 1 歐姆 RF 電流探針與 150 歐姆耦合網路法來量測 IC 的傳導干擾。

IC 電磁干擾發生的原因，是因為 IC 內部產生很快速的電壓、電流變化率，而產生 RF 電流，這些 RF 電流經由 IC 的 pin 腳流出，經电路板的信號線、電纜或排線(cable)流到週邊，再經由週邊的接地回到电路板的接地平面及 RF 隔離的地，然後，再經由回到 IC 的接地腳，形成一個迴圈，這迴圈可以看成是一個環形天線(loop antenna)，所形成的 RF 雜訊電流的迴圈越大，所產生的電磁干擾越低，雖然 IC 內部結構所形成的電流迴圈與外面所形成的電流迴圈相較，小很多，但是那 IC 的 RF 電流雜訊，卻是外面電路電磁干擾的來源與重要能量，外面的 RF 電流迴圈好像電磁干擾放大器一樣，我們要降低電磁干擾，一種是把 RF 電流迴圈變小，或是阻斷干擾源與受害者(victims)的傳導或是幅射路徑，或是直接減少 RF 電流雜訊的大小。

在測試電路板上，任何的 RF 電流有它自己的迴圈回到 IC，大部份都是

經由接地或是電源線回到 IC 本身，如圖 4.3 所示，迴圈 1 代表電源線，迴圈 2 代表輸出信號的迴圈，這兩個 RF 電路迴圈都是經過共同的 RF 隔離地與週邊地，回到 IC 地，因此，在 RF 隔離地與週邊地與 IC 地之間是最好的量測位置，去量測這兩個 RF 雜訊電流迴路(電源與輸出信號 RF 電流)的和。其中 IC 地的部份，是將 IC 的所有接地腳與不會產生很大的電磁干擾的接腳，接到 IC 地。

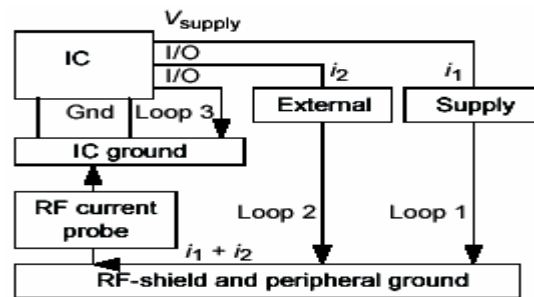


圖 4.3 IC 內部的 RF 電路迴圈

量測系統的架構，如圖 4.4 所示。由下面幾個部份所組成：

- RF 電流探針
- 頻譜分析儀(spectrum analyzer)：
- 針對待測 IC 所設計之測試電路板：

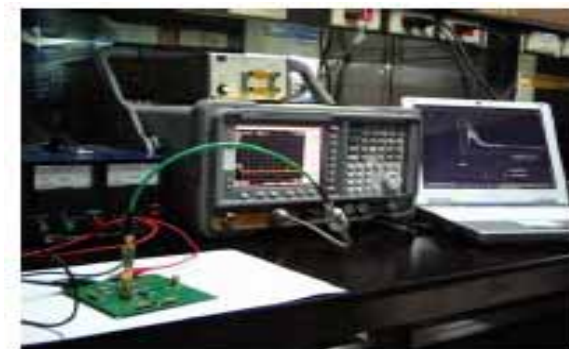


圖 4.4 直接耦合 1 歐姆/150 歐姆量測法架構圖

(2). IC I/O 信號的 RF 電壓量測

此種量測主要用來評估待測 IC 在應用時，I/O 接腳可能連接到超過 10 公分信號線或排線(wire harness)的傳導電磁干擾值，IC 內部的阻抗依

照 IEC 61000-4-6 的規定為 150 歐姆，而一般頻譜分析儀的阻抗值為 50 歐姆，因此中間需要一個 150 歐姆轉 50 歐姆的阻抗匹配轉換網路，如圖 4.5 所示。

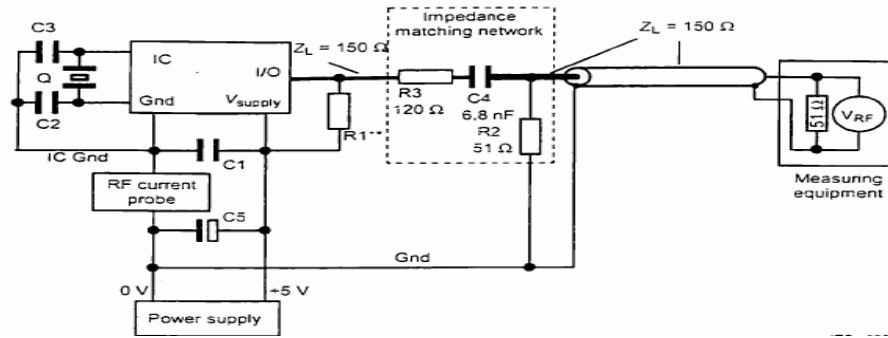


圖 4.5 IC 的電磁干擾量測系統

第五章 積體電路電磁耐受性的量測

建立 IC 電磁耐受性(IC-EMS)量測標準 IEC 62132 之目的，是為了建立統一的 IC 電磁耐受量測環境，使量測結果可以在同一個參考條件下，作比較或作為建立行為模型之使用，每一種量測方法各有其特色與限制，使用者將依自己的需求選擇適合的測試方法。

5.1 性能分類及軟體規劃

5.1.1 性能的分類

在進行 IC-EMS 量測時，性能等級的分類，可以分成下面幾種：

等級 A(class A): 暴露在擾動期間及測試後，IC 所有的功能，都保持正常與原來設計一樣。

等級 B(class B): 暴露在擾動期間，IC 所有的功能，都保持正常與原來設計一樣，然而，一個或更多可能超出指定容許(specified tolerance)的範圍，在暴露被移除後，所有的功能自動回到正常限制的範圍內。記憶體的范围應能維持在等級 A。

等級 C(class C): 暴露在擾動期間，IC 無法執行原來設計的功能，但在暴露移除之後，會自動回復到正常的 operation 操作

等級 D(class D): 暴露在擾動期間，IC 無法執行原來設計的功能，但在暴露移除及 IC 經簡單操作程序復歸後(例如關掉電源)，才會回復到正常的 operation 操作

等級 E(class E): 暴露在擾動期間及測試後，IC 無法執行原來設計的功能，一個或更多 IC 的功能不能如原來設計一樣執行，也不能回到適當的操作。

5.1.2 軟體的規劃

(1) 測試程式的規劃

測試軟體程式的規畫步驟為:如圖 5.1 所示,

- (a) 設定起始頻率
- (b) 設定指定功率
- (c) 增加功率。
- (d) 等待頻譜儀的掃描時間
- (e) 檢查待測物是否固障或是否已達指定功率, 若否則回到(c), 若是則到(f)
- (f) 紀錄故障點的功率(若有錯誤發生)或是紀錄指定功率(若無故障發生)對應到目前量測頻率值。
- (g) 檢查是否已經到達目標頻率點, 若是則(i), 否則到(h)
- (h) 增加頻率, 然後回到(b)
- (i) 結束

(2) 待測 IC 程式的規劃

待測 IC 為一個微控制器, 一開始將資料寫到 PA, 然後重覆回圈將 PA 的資料寫到 PB, 然後比較 PA 與 PB 的資料是否相同, 若不時時 LED 亮, 表示錯誤發生, 否則 LED 不亮, 表示資料是正確的, 沒有錯誤發生。

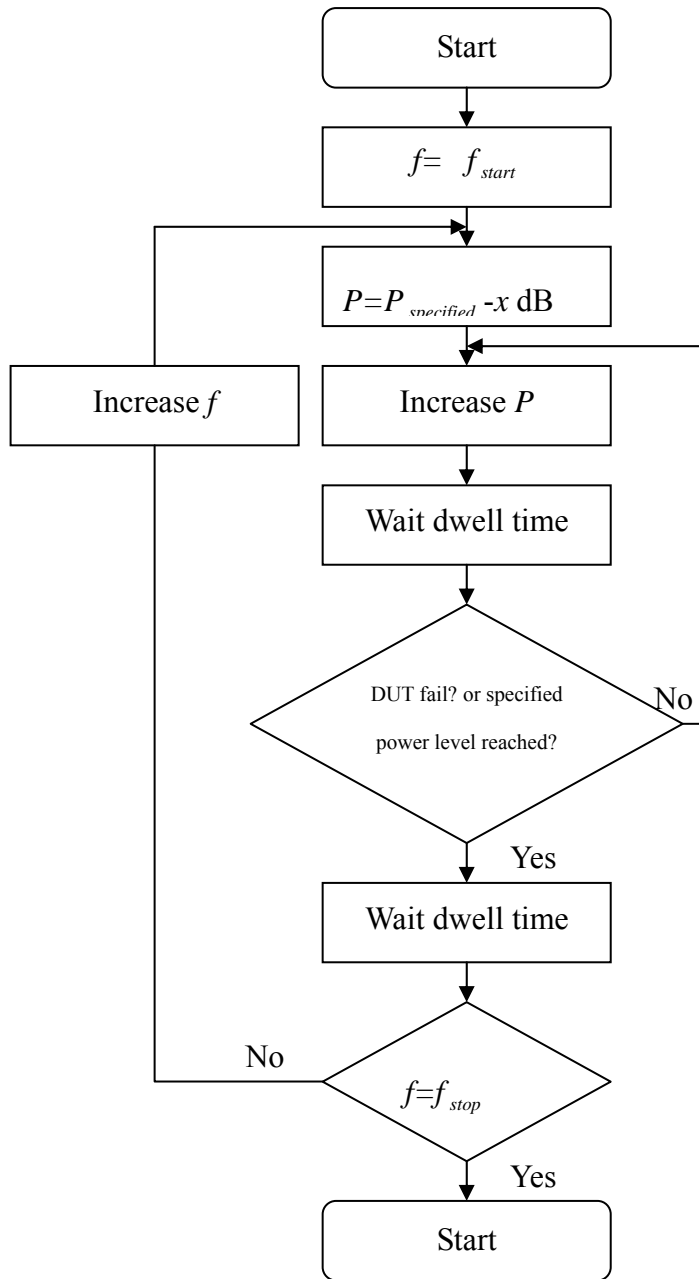


圖 5.1 測試軟體的規畫

5.2 GTEM Cell 量測法

(1) 量測系統的建立

GTEM Cell IC-EMS 量測系統之架構與實體圖(setup)分別如圖 5.2 所示，由下面幾個部份所組成：

- GTEM Cell：頻率範為 10MHz-18GHz
- 信號產生器(signal generator)
- 功率放大器(power amplifier)
- 雙向性耦合器(directional coupler)
- 功率表(power meter)
- 示波器
- 資料讀取系統(data acquisition system)。
- 針對待測 IC 所設計之測試電路板。

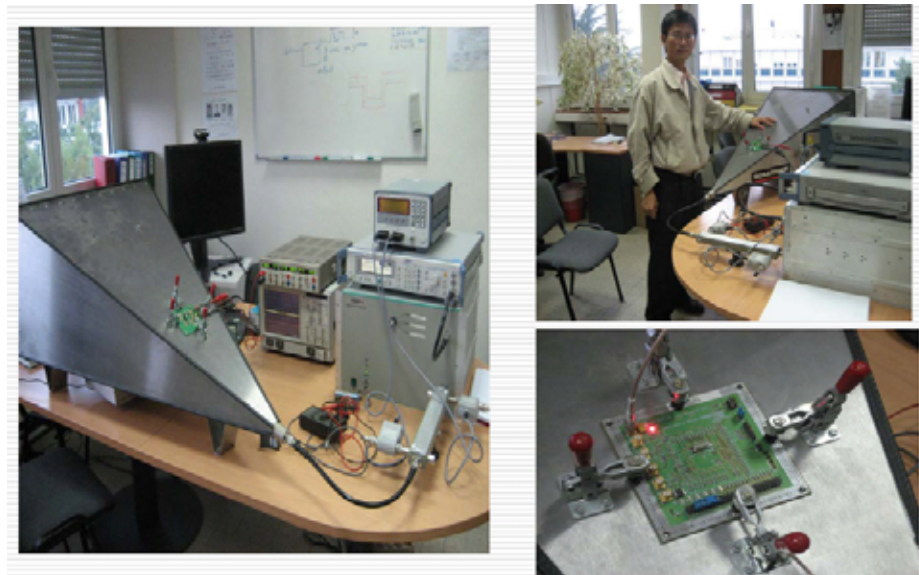


圖 5.2 GTEM cell 量測法建置圖

(2)量測方法

- (a)將待測的 IC 電路版安置於 GTEM Cell 上。
- (b)設定信號產生器的指定功率。
- (c)增加信號產生器的輸出功率。
- (d)信號經功率放大器放大，再經由雙向性耦合器，送到 GTEM Cell，
電場以垂直中間金屬隔板(septum)的方向，打向待測物。
- (e)然後監視測試電路板上的 LED 是否亮起(當 LED 亮起時表示電路板已
發生錯誤)，或是輸信號產生器的輸出功率已到達指定的功率。若否

則回到(c)，若是則到(f)。

(f)紀錄這時的頻率及功率值,得到一點的量測資料。

(g)調整信號產生器的頻率到下一個欲測試頻率,然後回到步驟(b)，一直到量測完所有頻率範圍。

5.2 近場掃描量測法

(1)量測系統的建立

近場掃描 IC-EMS 量測系統之架構與實體圖(setup)分別如圖 5.3 所示，由下面幾個部份所組成：

- 定位移動平台：
- 磁場探針(probe)：
- 信號產生器(signal generator)
- 功率放大器(power amplifier)
- 雙向性耦合器(directional coupler)
- 功率表(power meter)
- 示波器
- 資料讀取系統(data acquisition system)。
- 針對待測 IC 所設計之測試電路板。



圖 5.3 近場掃描量測法建置圖

(2) 量測方法

- (a) 將待測的 IC 電路版安置於移動平台上
- (b) 將磁場探針固定在待測 IC 正上方 $100\ \mu\text{m}$ 處。
- (c) 設定信號產生器的指定功率。
- (d) 增加信號產生器的輸出功率。
- (e) 信號經功率放大器放大，再經由雙向性耦合器，送到磁場探針，磁場由探針，打向待測物。
- (f) 然後監視測試電路板上的 LED 是否亮起(當 LED 亮起時表示電路板已發生錯誤)，或是輸信號產生器的輸出功率已到達指定的功率。若否則回到(c)，若是則到(f)。
- (g) 紀錄這時的頻率及功率值, 得到一點的量測資料。
- (h) 調整信號產生器的頻率到下一個欲測試頻率, 然後回到步驟(b)，一直到量測完所有頻率範圍。
- (i) 移動下一個位置。若尚未掃完所有的位置，則回到步驟(d)，否則到步驟(j)。
- (j) 更換磁場探針，然後回到步驟(b)。

(【註解】：依此使用 H_x, y 及 H_z 探針, 使用 H_x, y 探針時，掃描的方向為依 X 軸方向掃描，接著改以 Y 軸方向掃描，然後使用 H_z 探針，以 X 軸或是 Y 軸方向作掃描)。

5.3 直接功率注入法

(1) 量測系統的建立

近場掃描 IC-EMS 量測系統之架構與實體圖(setup)分別如圖 5.4 所示，由下面幾個部份所組成：

- 信號產生器(signal generator)
- 功率放大器(power amplifier)

- 雙向性耦合器(directional coupler)
- 功率表(power meter)
- 示波器
- 資料讀取系統(data acquisition system)。
- 針對待測 IC 所設計之測試電路板。



圖 5.4 直接功率注入法

(2)量測方法

(3)量測方法

- (a)將待測的 IC 電路版安置於雙向性耦合器的輸出端。
- (b)設定信號產生器的指定功率。
- (c)增加信號產生器的輸出功率。
- (d)信號經功率放大器放大，再經由雙向性耦合器，送到待測電路板，
然後經 6.8nF 電容器，直接耦合到待測 IC。
- (e)然後監視測試電路板上的 LED 是否亮起(當 LED 亮起時表示電路板已
發生錯誤)，或是輸信號產生器的輸出功率已到達指定的功率。若否
則回到(c)，若是則到(f)。
- (f)紀錄這時的頻率及功率值, 得到一點的量測資料。
調整信號產生器的頻率到下一個欲測試頻率, 然後回到步驟(b)，一直
到量測完所有頻率範圍。

第六章積體電路電磁干擾模型的建立方法

本章將介紹如何建立積體電路之電磁干擾(IC-EME)行為模型的方法

6.1 ICME 電源線模型(power-supply line model)

IC 電磁干擾之電源線等效模型如圖 6.1 所示，等效電路所使用之參數，其定義說明如下所示：

- I_b ：RF 雜訊電流。
- $L_{packVdd}$ ：Vdd 電壓接腳至 bonding 間之等效電感。
- $L_{packVss}$ ：Vss 接地接腳至 bonding 間之等效電感。
- $R_{packVdd}$ ：Vdd 電壓接腳至 bonding 間之等效電阻。
- $R_{packVss}$ ：Vss 接地接腳至 bonding 間之等效電阻。
- C_d ：Vdd 電壓接腳與 Vss 接地接腳間之等效寄生電容(parasitic capacitor)。
- R_{vdd} ：Vdd bonding 與 die 間之等效電阻。
- R_{vss} ：Vss bonding 與 die 間之等效電阻。
- L_{vdd} ：Vdd bonding 與 die 間之等效電感。
- L_{vss} ：Vss bonding 與 die 間之等效電感。
- C_b ：內部 die 之等效電容。

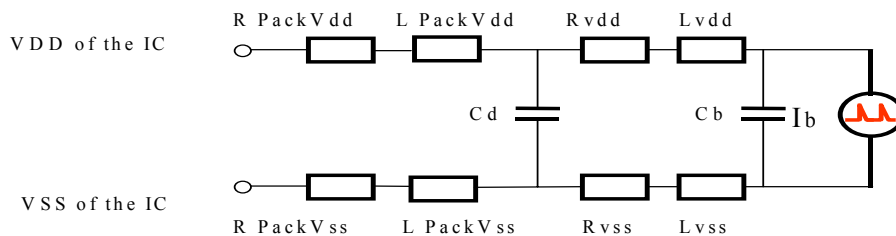


圖 6.1 IC 電磁干擾之電源線等效模型

6.2 等效模型參數之建立

6.2.1 RF雜訊電流Ib之建立

(1) 內定值估計法

一般而言，Ib之大小為數個mA至1A，持續0.5 至 5ns，週期為500ps 至 50ns，通常，同時動作之Cell數約佔整體die Cell數約10%左右，我們可以利用查表法來計算RF雜訊電流產生器Ib之大小，計算方法說明如下：

(a) 假設我們有一顆ASIC die 晶片，採用0.18 μm 製程技術，其die面積為 $2 \times 2 = 4 \text{ mm}^2$ 。我們由表6.1可知，0.18 μm 製程技術，其Cell密度為22000，可能的動作 (switch) 之Cell的數目即約為 $22000 \times 4 = 88000$ ，一般而言，同時動作之Cell數約佔整體die Cell數約10%左右，因此，每一次clock 觸發後該die產生之RF雜訊電流Ib約等於 $22000 \times 4 \times 10\% \text{ gate} \times 0.3 \text{ mA/gate} = 2640 \text{ mA}$ 。

(b) 假設我們有一顆32bits RISC micro-controller，採用0.18 μm 製程技術。經查表3.2，我們可以知道其約有40000gates，因此，每一次clock 觸發後該CPU die產生之RF雜訊電流Ib約等於 $40000 \times 10\% \text{ gates} \times 0.3 \text{ mA/gate} = 1200 \text{ mA}$ (如圖6.2所示)

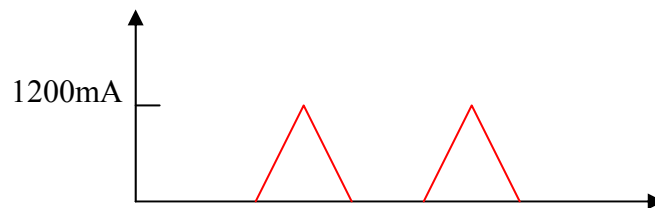


圖3.2 32bits RISC micro-controller的RF雜訊電流Ib

表6.1 ASIC 製程及其電氣特性對照表

| 製程技術 | 年份 | 供應電壓 | cell 密度/ 每 mm^2 | 時脈 | 每一閘最大 峰值電流 mA/gate |
|-------------------|------|------|-----------------------------|------|--------------------------|
| 1.2 μm | 1985 | 5V | 1500 | 4-50 | 1.1 |

| | | | | | |
|--------|------|----------|-------|---------|------|
| 0.8um | 1990 | 5V | 4000 | 4-90 | 0.9 |
| 0.5um | 1993 | 5V | 7000 | 8-120 | 0.75 |
| 0.35um | 1995 | 5-3.3V | 13000 | 16-300 | 0.6 |
| 0.25um | 1997 | 5-2.5V | 18000 | 40-450 | 0.4 |
| 0.18um | 1999 | 3.3-2.0V | 22000 | 100-900 | 0.3 |
| 0.12um | 2001 | 2.5-1.2V | 28500 | 150-120 | 0.2 |

表6.2 CPU技術與邏輯Cells對照表

| CPU技術 | 總共邏輯Cells的數量 | 在時脈觸發時同步切換的 邏輯Cells的數量 |
|--------------|--------------|---------------------------|
| 8bits CISC | 3000-5000 | 300-500 |
| 8bits RISC | 3000-5000 | 300-500 |
| 16 bits CISC | 15000-20000 | 1500-2000 |
| 16 bits RISC | 12000-18000 | 1200-1800 |
| 32 bits CISC | 40000-60000 | 4000-6000 |
| 32 bits RISC | 40000-60000 | 4000-6000 |

(2)量測法

方法1:流經IC電源端接腳之RF雜訊電流I_b可以使用IEC standard 61967 part4標準1Ω量測法，所描述之方法來量測；1Ω量測法是使用電流probe來量測，I_C地與週邊地間的RF雜訊電流，再由量測出來的電流資料，推導估測內部的RF雜訊電流I_b。

方法2: 直接以示波器量測IC電源V_{dd}及V_{ss}的電流，再由量測出來的資料推導估測內部的RF雜訊電流I_b。

Volt

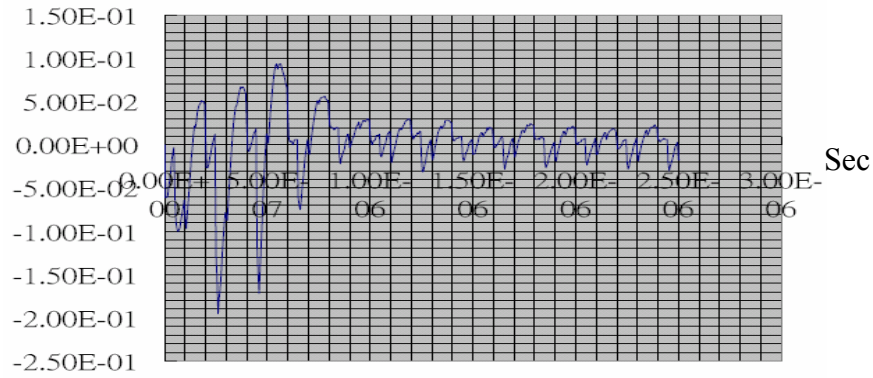


圖6.3 示波器量測IC電源Vdd波形

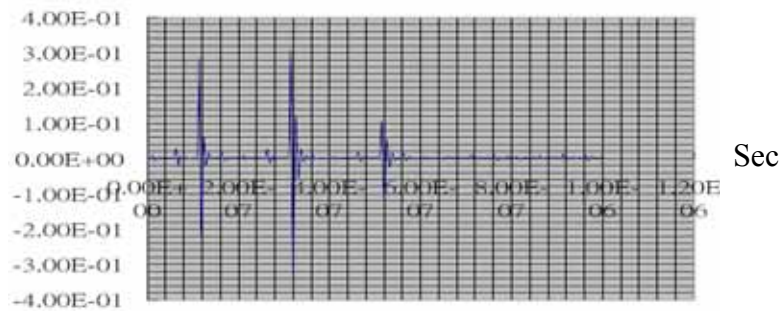


圖6.4 示波器量測IC電源Vss波形

6.2.2 Passive elements extraction

這節將說明，IC-EME電源等效模型中R, L, M, C參數建立之方法，說明如下：

(1) 內定值估計法

- (a) 串連之電阻、電感與互感值 ($L_{packVdd}$ 、 $L_{packVss}$ 、 $R_{packVdd}$ 、 $R_{packVss}$ 、 R_{vdd} 、 R_{vss} 、 L_{vdd} 、 L_{vss})：

Vdd電壓接腳至bonding間之等效電感與互感值 $L_{packVdd}$ 、Vss接地接腳至bonding間之等效電感 $L_{packVss}$ 、Vdd電壓接腳至bonding間之等效電阻 $R_{packVdd}$ 、Vss接地接腳至bonding間之等效電阻 $R_{packVss}$ 、Vdd bonding與die間之等效電阻 R_{vdd} 、Vss bonding與die間之等效電阻 R_{vss} 、Vdd bonding與die間之等效電感 L_{vdd} 、Vss bonding與die間之等效電感 L_{vss} ，可使用下面表6.3，約略估計出

來。

表6.3 IC被動元件值範圍表

| 元件 | 最小值 | 最大值 |
|--------------------|---------|---------|
| LpackVdd, LpackVss | 1nH | 10nH |
| 互感M | 0 | 10nH |
| RVdd, RVss | 0.1 Ohm | 10 Ohm |
| LVdd, LVss | 1nH | 20nH |
| Zsub DC value | 0 | 100 Ohm |

(b) 寄生電容(Cd.)

Vdd 電壓接腳與 Vss 接地接腳間之等效寄生電容(parasitic capacitor)為 Cd.，他代表電源端之封裝結構間之總電容值，其值我們可以使用表 6.4，來作約略估計。

表 4.4 C_d 封裝結構間之總電容值範圍表

| 元件 | 最小值 | 最大值 |
|-------|------|-------|
| C_d | 10pF | 100nF |

(C) 內部電容(Cb)

在晶片內部之晶片電容稱之為Cb，在大部份情況下，這電容是晶片內部Vdd與Vss間之實際耦合值，其為下面幾種寄生電容之組合：dd與Vss間之電容值、接面電容、Cell互連所產生的電容。在IC等效電源端模型中其與RF雜訊電流Ib並聯，意義相當於去耦合電容，切開內部die電容Cb與寄生電容Cd，在原本的第二級諧振電路中建立第二個LC網路(如圖3.1)。電容值計算方法說明如下：

假設我們有一顆ASIC die 晶片，採用0.18 μm 製程技術，其die面積為

$2 \times 2 \text{ mm}^2$ 。其內部電容我們可經由下面方法約略計算出來：

我們由表3.5可知， $0.18 \mu\text{m}$ 製程技術，其Cell密度為22000，可能的動作 (switch) 之Cell的數目即約為 $22000 \times 4 = 88000$ ，因此，內部電容 C_b 約等於 $88000 \text{ gates} \times 6 \text{ fF/gate} = 528 \text{ pF}$ 。

表 6.5 製程與內部電容(C_b)值對照表

| 製程技術 | 年份 | 供應電壓 | cell 密度/ 每 mm^2 | 電容 (fF/gate) | 去耦合電容 (fF/gate) |
|--------------------|------|----------|-----------------------------|-----------------|--------------------|
| 1.2 μm | 1985 | 5V | 1500 | 60 | 10 |
| 0.8 μm | 1990 | 5V | 4000 | 40 | 8 |
| 0.5 μm | 1993 | 5V | 7000 | 30 | 7 |
| 0.35 μm | 1995 | 5-3.3V | 13000 | 25 | 6 |
| 0.25 μm | 1997 | 5-2.5V | 18000 | 20 | 5 |
| 0.18 μm | 1999 | 3.3-2.0V | 22000 | 15 | 6 |
| 0.12 μm | 2001 | 2.5-1.2V | 28500 | 10 | 8 |

(2) 量測法

IC-EME電源等效模型中之 R , L , M , C 參數，使用網路分析儀及符合IEC 61967-1 規定之標準IC測試板來作量測，使用SMA接頭直接連接到待測IC之電源端接腳，是為了儘量減少連線產生之寄生效應，或直接以探針平台接到待測IC，而待測IC之接地腳將直接接到標準IC測試板之RF接地層，量測接線圖如圖3.5所示。模擬產生的阻抗量測結果如圖3.7所示，此模擬量測圖形之直軸代表阻抗(Ω 表示)，而橫軸代表頻率(以log刻度表示)，由方法(1)估測法可知，一般而言， C_d 為10pf至100pf，遠小於 C_b (為440pf至1000pf等級)，因此為簡化計算模型，我們忽略 C_d ，在串聯諧振發生時，電路為純電阻性，且阻抗為最小值，因此，我們看圖3.7，可由得到量測曲線最低點之阻抗值 R_{total} ，即

$R_{total} = R1 + R2$ ，由電路學原理我們知道，低於串聯諧振頻率為電容性阻抗，我們取低於10倍諧振頻率所對應到之阻抗為 Z_C ，即

$$C_{total} = \frac{1}{2\Pi f Z_C}$$

，其中 $\Pi = 3.14$ ， f ：取低於10倍諧振頻率， Z_C ：取低於10倍諧振頻率所對應到之阻抗。

$C = C_{total}$ ，同理，由電路學原理我們知道，高於串聯諧振頻率為電感性阻抗，我們取高於10倍諧振頻率所對應到之阻抗為 Z_L ，即

$$L_{total} = \frac{Z_L}{2\Pi f}$$

，其中 $\Pi = 3.14$ ， f ：取高於10倍諧振頻率， Z_L ：取高於10倍諧振頻率所對應到之阻抗。

$L_{total} = L1 + L2$ ，我們假設VDD與VSS間之等效阻抗模型為對稱的，也就是 $L1 = L2$ ，因此，我們可以將電感值以2，利用上述量測與使用電路原理，經數學運算後所建立之IC-EME電源等效模型如圖4.7所示。

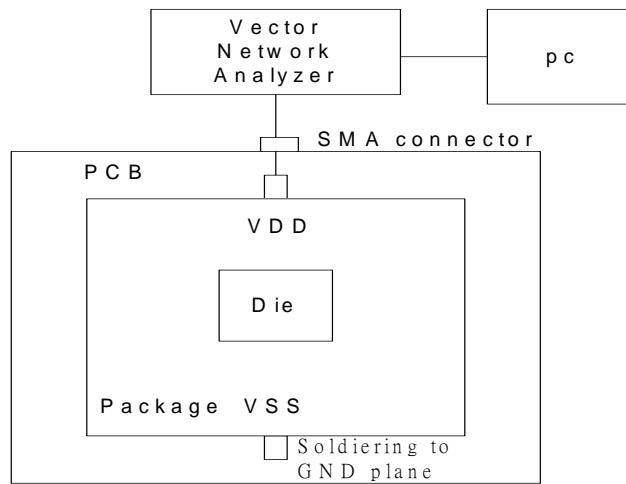


圖6.5被動參數抽取量測接線圖

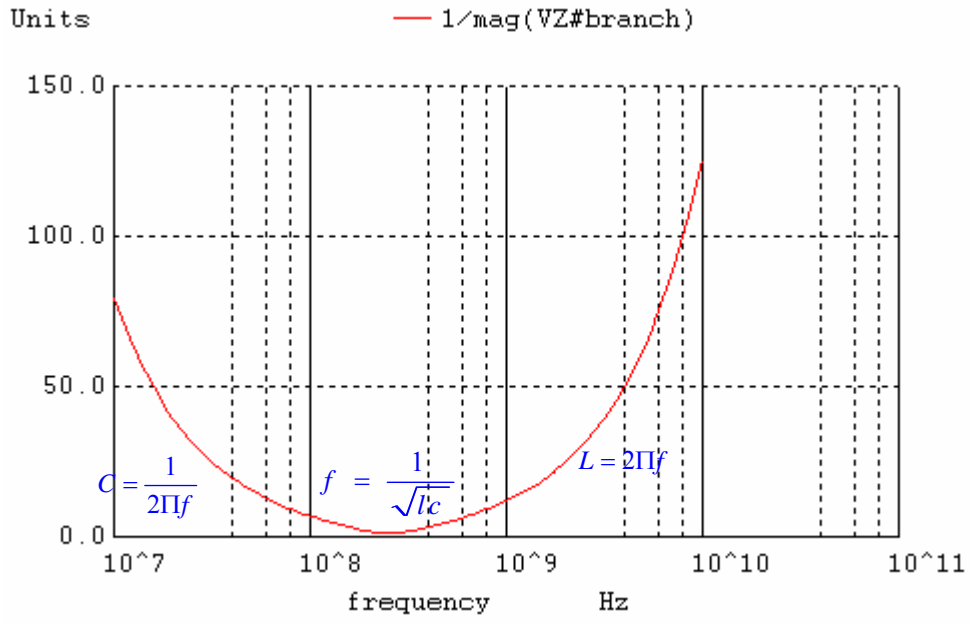


圖6.6 模擬產生的阻抗量測結果

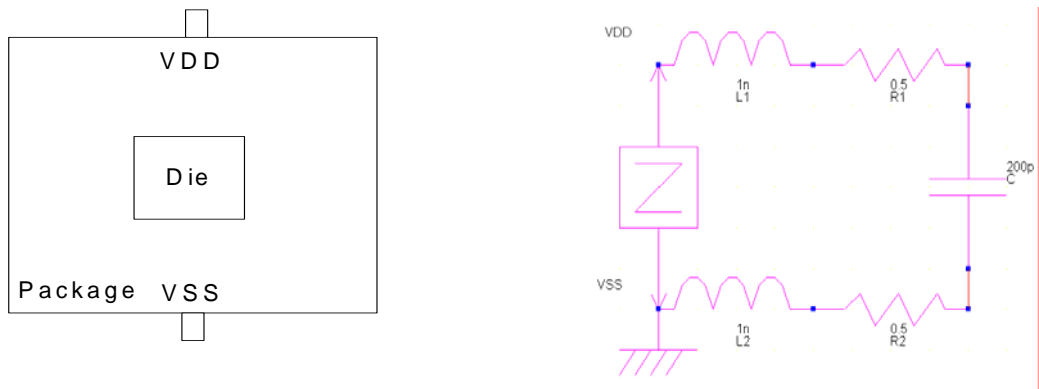


圖 6.7 模擬產生的阻抗量測結果

第七章 積體電路電磁耐受模型的建立方法

7.1 通用架構[10]

ICIM(積體電路耐受性模型)等效模型是以封裝、I/O 及核心為根基，如圖 7.1 所示。

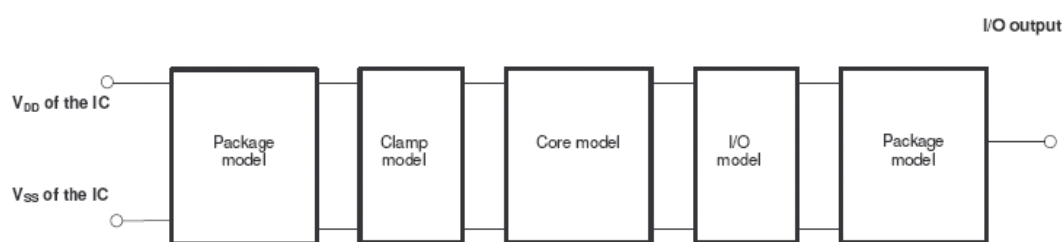


圖 7.1 ICIM 模型

(1) 封裝模型

封裝模型如圖 7.2 所示，它包含 IBIS 元件，如電阻、電感、電容

- $L_{packVdd}$: package inductance of the positive supply Vdd.
- $L_{packVss}$: package inductance of the ground Vss.
- $R_{packVdd}$: package resistor of the positive supply Vdd.
- $R_{packVss}$: package resistor of the ground Vss.

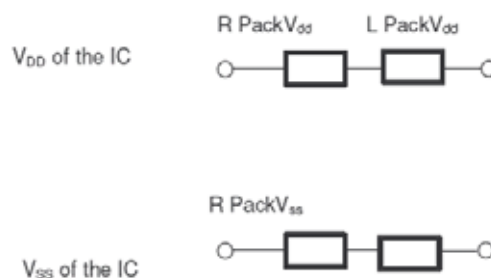


圖 7.2 封裝模型

(2) 鉗位模型(Clamp model)

輸入 pad 結構通常由一串聯電阻及過電壓或過低電壓保護電路組成，二極

體的功用是為了鉗位輸入電壓低於0V或是高於VDD,如圖7.3(a)(b)所示。在圖7.3(c)為附有靜電保護功能的潛位電路模型,C1-R1 電路是高通濾波器,一開始內定 Ng 的電壓是 0V,若有一個非常陡峭的過電壓產生(例如 ESD 電壓),介著電容耦合的方式加到 Ng,使得鉗位 MOS 動作,這時 Pad 到地間將建立一個電流路徑,直到 Ng 節點的電壓低於臨界電壓,鉗位 MOS 關閉,因此 ESD 電壓可以被消除。

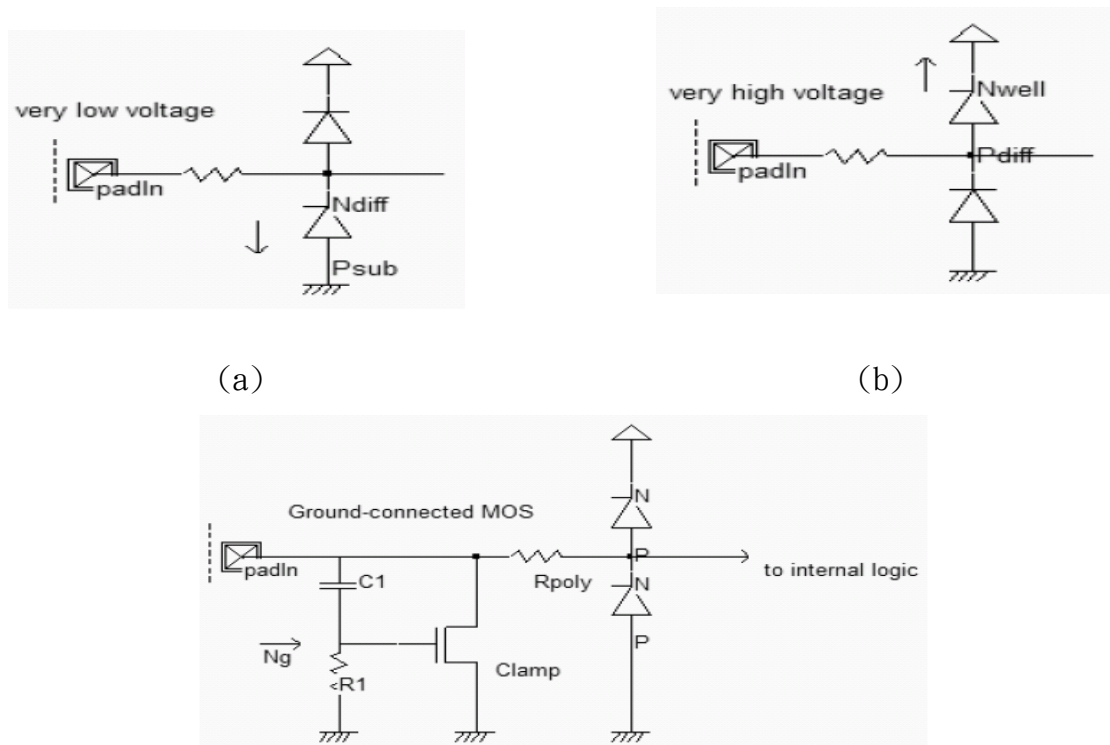


圖 7.3 (a)輸入過低電壓鉗位保護模型 (b) 輸入過高電壓鉗位保護模型
(c) 為附有靜電保護功能的潛位電路模型

(3) 核心(core)模型

核心(core)模型由下面幾個部份所組成,如圖7.3所示:

- Cd: 介於 Vdd 及 Vss 封裝腳之寄生電容。
- RVdd: Vdd 的串聯電阻, Rvdd: Vdd bonding 與 die 間之連接等效電阻。
- Rvss: Vss 的串聯電阻, Vss: Vss bonding bonding 與 die 間之連接等效電

阻。

- LV_{dd} : V_{dd} 的電感，bonding 與 die 間之連接等效電感。
- LV_{ss} : V_{ss} bonding 與 die 間之連接等效電感。
- C_b : 內部 die 之電容。
- Req: 在電路內切換閘之等效電阻

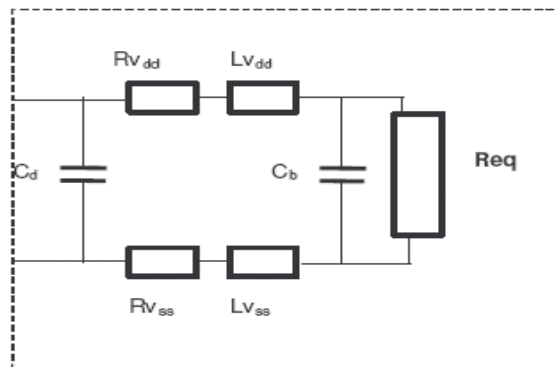


圖 7.4 核心(core)模型

(3) 輸入/輸出模型(Input/Output model)

注入在 I/O 的擾動會影響著保護電路，I/O 模型部份將使用 IBIS 模型。

如圖 7.5 所示。

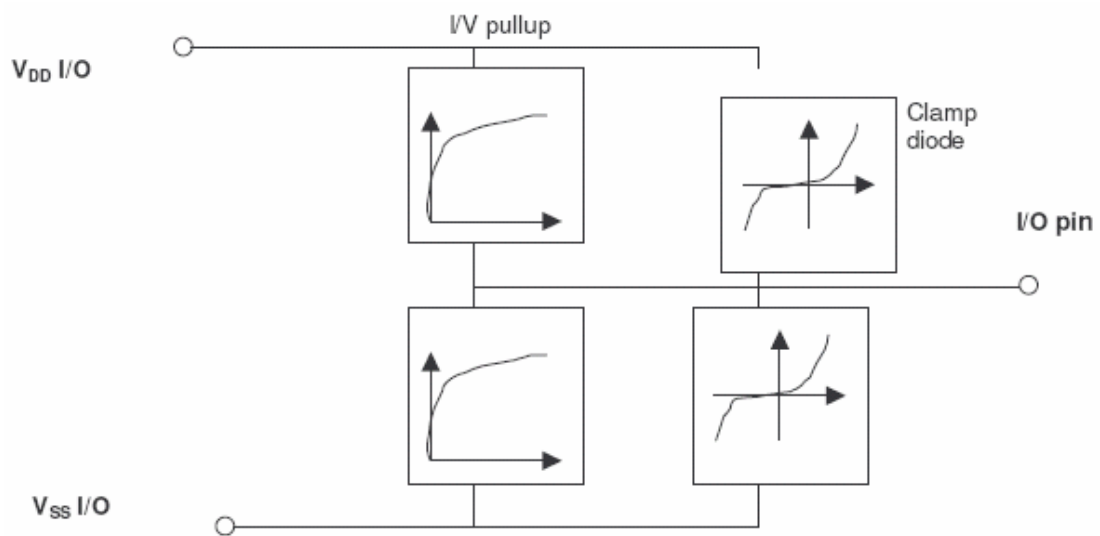
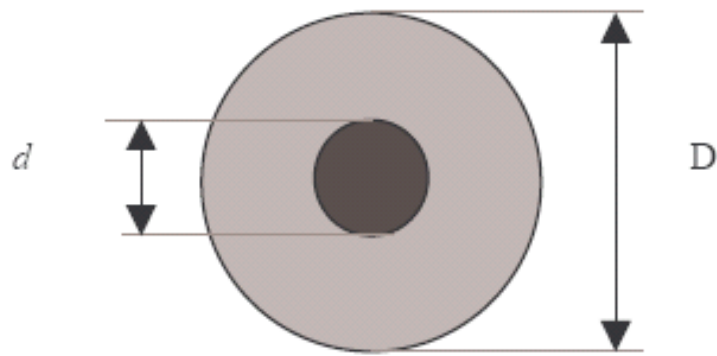


圖 7.5 核心(core)模型

(4) 電纜模型

50 Ohm 的同軸電纜典型電容值約為 100pF/m, 75 Ohm 同軸電纜約為 65pF/m, 雙絞線約為 50pF/m。同軸電纜可能有 50 Ohm 或是 75 Ohm 阻抗, 雙絞線有特性阻抗有 100 Ohm(美國)或是 120 Ohm(歐洲)。



$$L = \frac{\mu_0}{2\pi} \ln \frac{D}{d} \text{ (H/m) per unit length}$$

$$C = \frac{2\pi\epsilon_0\epsilon_r}{\ln \frac{D}{d}} \text{ (F/m) per unit length}$$

圖 7.6 核心(core)模型

第八章 積體電路降低電磁干擾的設計方法

8.1 積體電路降低電磁干擾的設計方法[10]

為了減小 IC 的電磁干擾，在設計時可以採用下面的設計原則來減少電磁干擾值。如圖 8.1(a)(b)所示

- 將電源接腳與接地接腳放在同一側，這樣可以減少 RF 電流迴圈的大小。
- 輸出驅動 buffer 分成數個小的驅動 buffer，以減小電路切換時的電流。
- 採用多電源與接電腳的設計方式，以減少流經每支其接腳的 RF 電流。
- 採用非同步的設計方式：同步電路因同時由時脈驅動一起動作，將產生較大的接地電流跳動，造成較大的電磁干擾。
- 採用去耦合電容，以旁路掉 RF 電流，使減少 RF 電流迴圈的大小，此外，去耦合電容由於高頻時，若是電容接腳太長，電容的特性可能會變成電感，去耦合電容裝在晶片內的效果會比裝在電路板外面或是封裝上還佳。

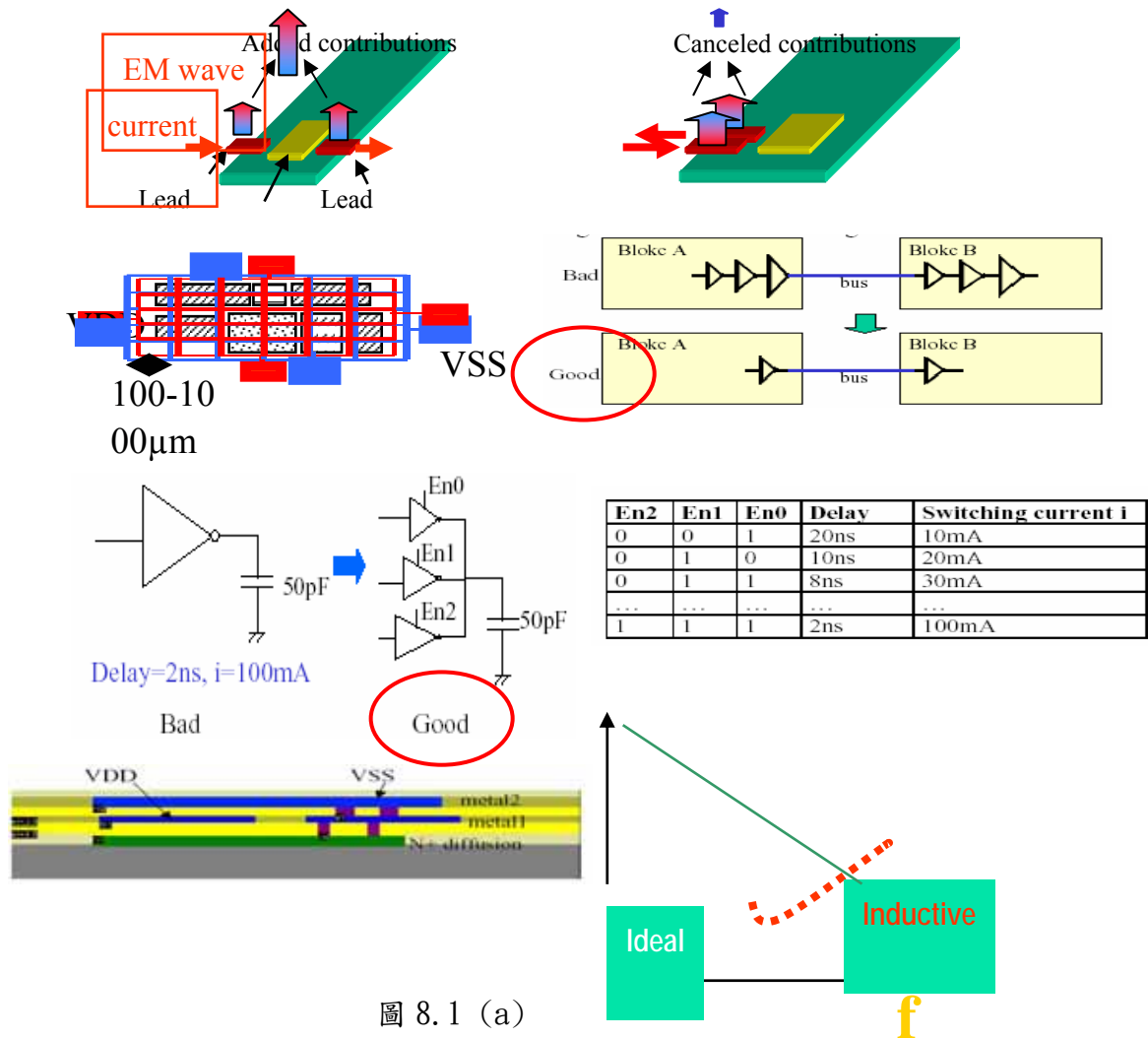
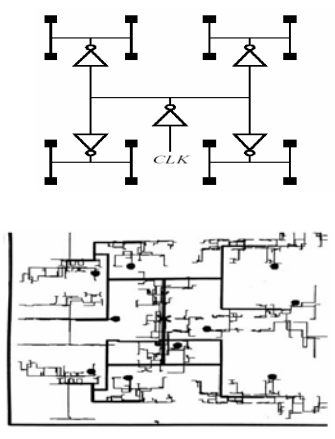
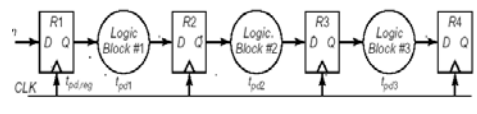


圖 8.1 (a)



Synchronous Pipelined Datapath



Self-Timed Pipelined Datapath

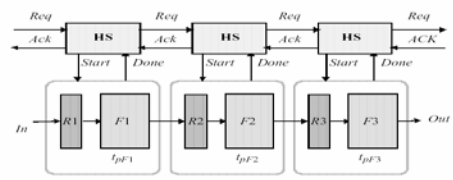


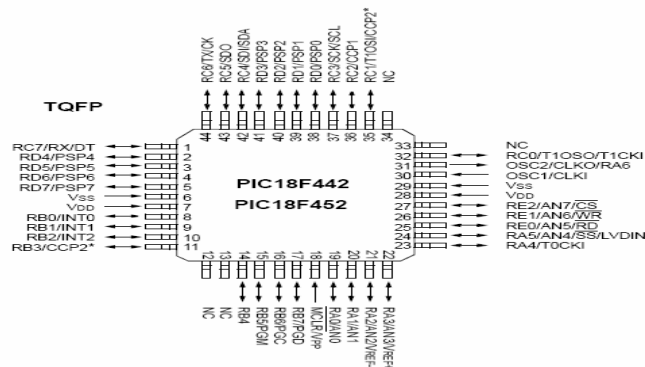
圖 8.1 (b)

第九章案例研究及實驗結果

以 QFP 封裝的 Pic_18f452，如圖 9.1 所示，作為下面幾種電磁干擾估測的案例研究：

- In conducted mode (IEC 61967 1/150 ohm)
- In radiated mode (IEC 61967 TEM/GTEM)
- In near-field scan (IEC 61967 magnetic loop, NFS)
- Bandwidth of interest : 1 MHz – 1 GHz

我們的目標是提供一個唯一的 EMC 模型，其非常接近或吻合量測的結果。



9.1 1/150 ohm 法模型建立

5 個量測點(P7, P28, PVss, J6, J19)被量測，其中

- J6, J19: 使用 150Ω 法, 量測 Vdd-PCBground
- Pin7, Pin28, Pin Vss : 使用主動式探針(1MΩ)量測 Vdd-PCBground
- 使用 J6 的量測值去估測 PIC 的核心模型之 RF 電流模型, 其餘所量到的波形作為驗證所得到的模型。

所完成的電磁干擾模型如圖 9.2 所示，其中為了得到較相符的模型特性，3 個 RF 電流源被採用。

量測的結果及其模型特性分述如下：

J6：量測的結果及其模型特性如圖 9.3-9.5 所示，從圖 9.5 的結果可以觀

察到：

1. 10MHz 及在 300MHz 的模擬特性與量測的結果誤差較大
2. 20MHz 至 300MHz 間的估測波形相當接近量測的波型。

J19, Pin 7, Pin 28, Pin Vss：所量到的波形作為驗證所得到的模型，如圖 9.6-9.13，

經觀查所得到的結果：與 J6 同樣在

1. 10MHz 及在 300MHz 的模擬特性與量測的結果誤差較大
3. 20MHz 至 300MHz 間的估測波形相當接近量測的波型。

因此我們可以得知所建立的模型在 20MHz 至 300MHz 是有效的頻率範圍。

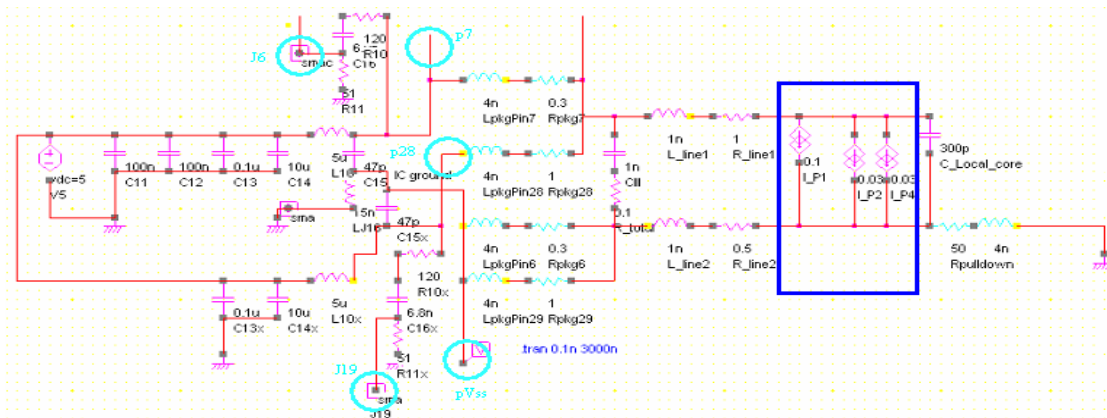


圖 9.2 1 Ohm/150 Ohm 法之 Pic_18f452 電磁干擾模型

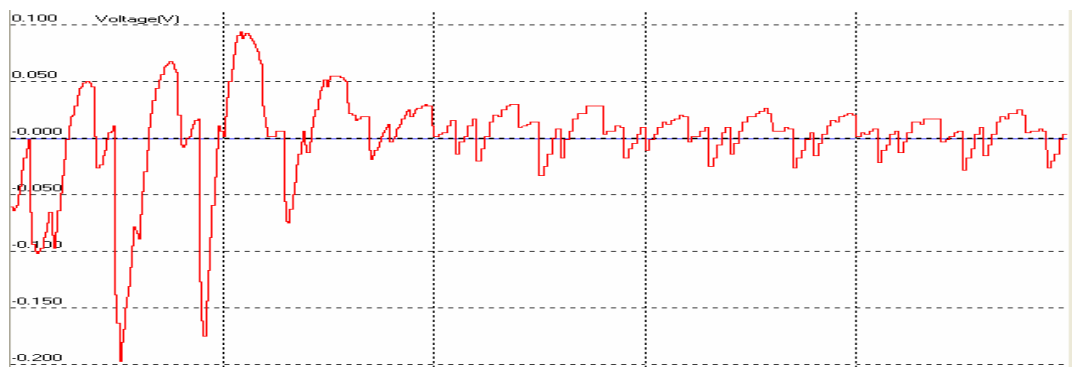


圖 9.3 J6 量測波形

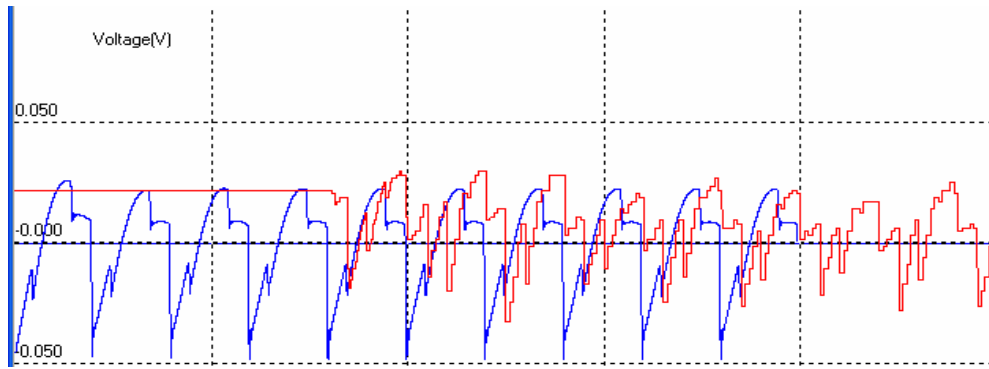


圖 9.4 J6 時域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

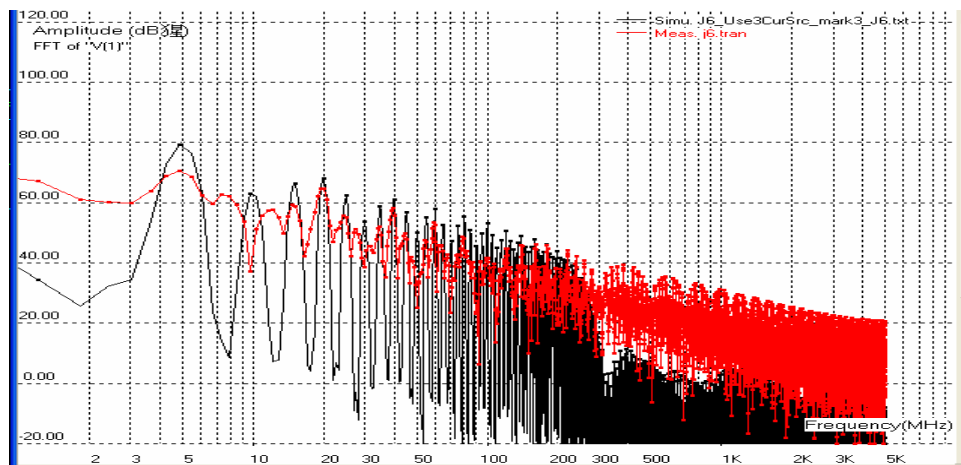


圖 9.5 J6 頻域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

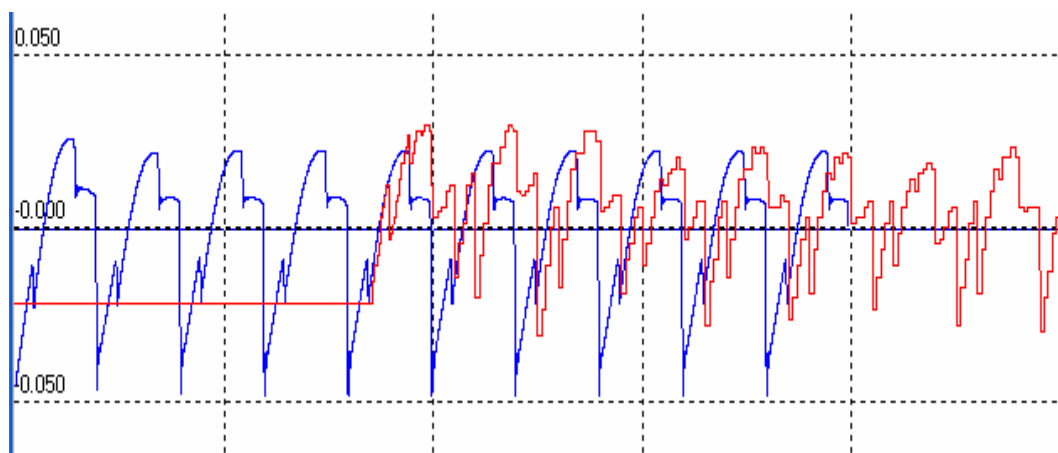


圖 9.6 J19 時域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

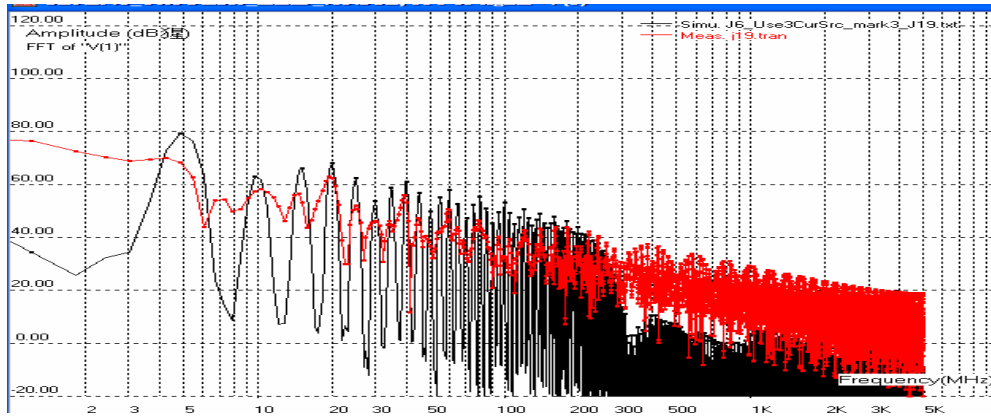


圖 9.7 J19 頻域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

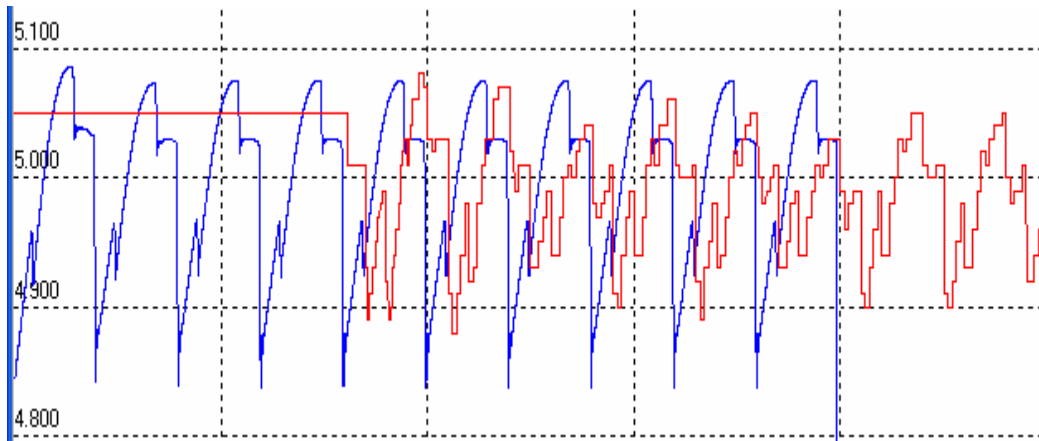


圖 9.8 Pin 7 時域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

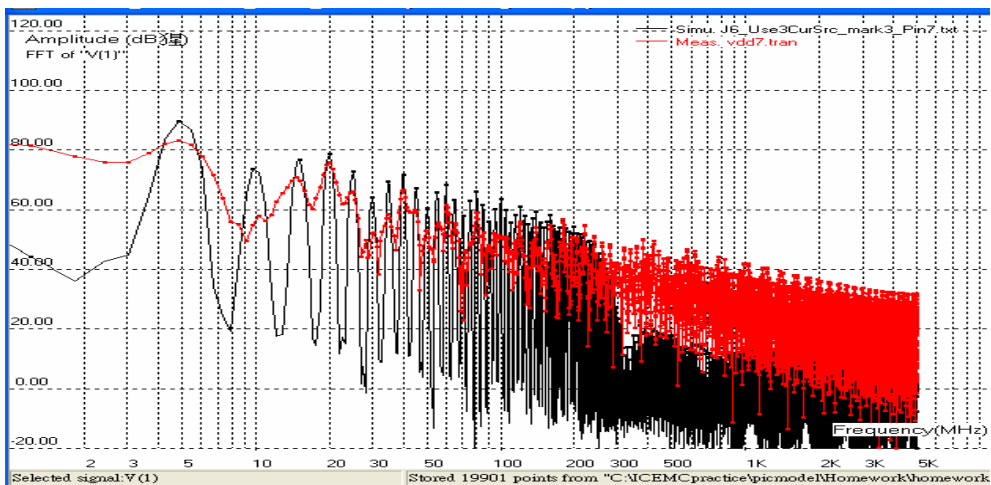


圖 9.9 Pin 7 頻域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

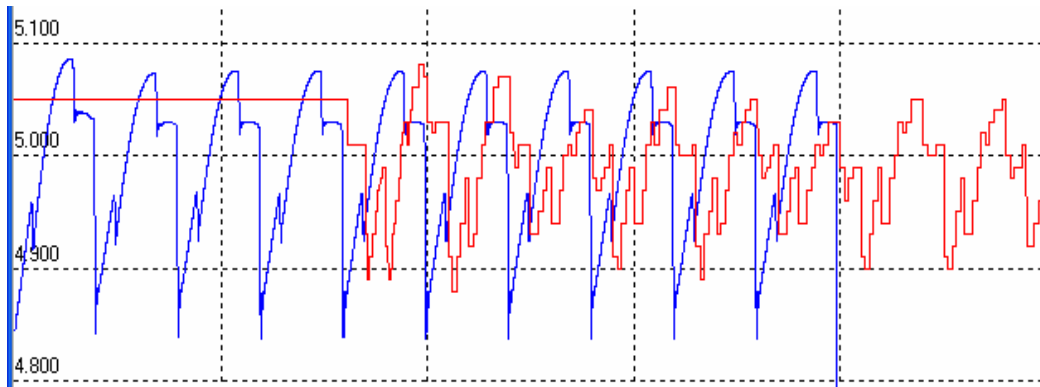


圖 9.10 Pin 28 時域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

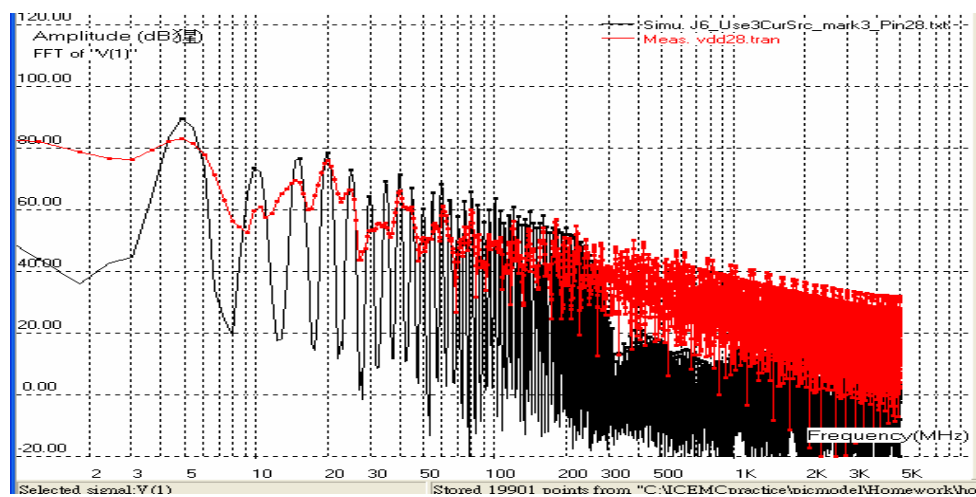


圖 9.11 Pin 28 頻域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

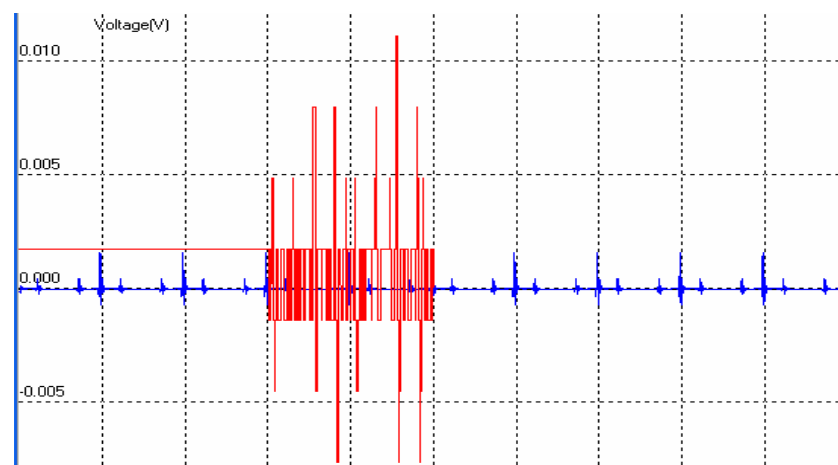


圖 9.12 Pin Vss 時域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

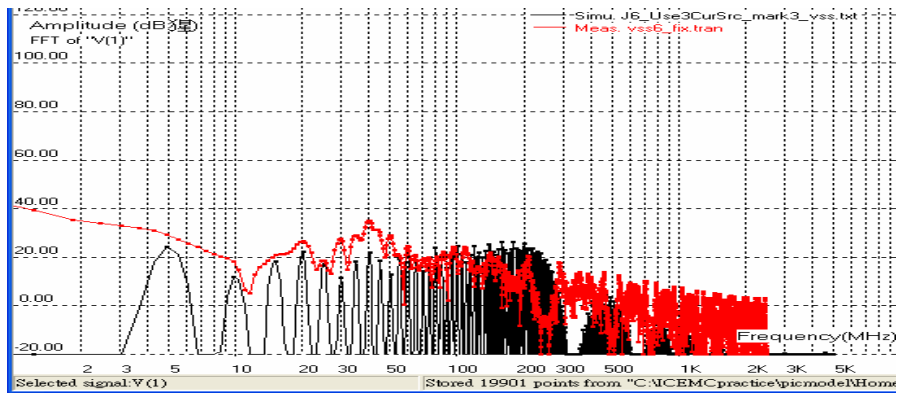


圖 9.13 Pin Vss 頻域量測波形及模型模擬結果比較，其中紅色為量測結果，藍色為模擬結果

9.2、Tem Cell 法模型建立

圖 8.14 為 TEM Cell 模型，我們以 PIC 18f452 的 IC 當待測 IC，其工作頻率為 10MHz 為例，放在 TEM Cell 上作量測並建立其模型，所得的模型，如圖 8.15 所示，經使用 spice 模擬，得到的實驗結果，如圖 8.16 所示，在頻率範圍 10MHz~200MHz 內之工作頻率整數倍的頻率點，除了 10MHz、20MHz 外，其預測值與量測值的誤差均分別為 $11.218\text{dB}\mu\text{V}$ 、 $5.889\text{dB}\mu\text{V}$ ，其餘都約在 $3\text{dB}\mu\text{V}$ 以內，且所預估的電磁干擾波形，其整體的趨勢、形狀、電磁干擾發生的頻率點，都非常相近實際量測的結果。

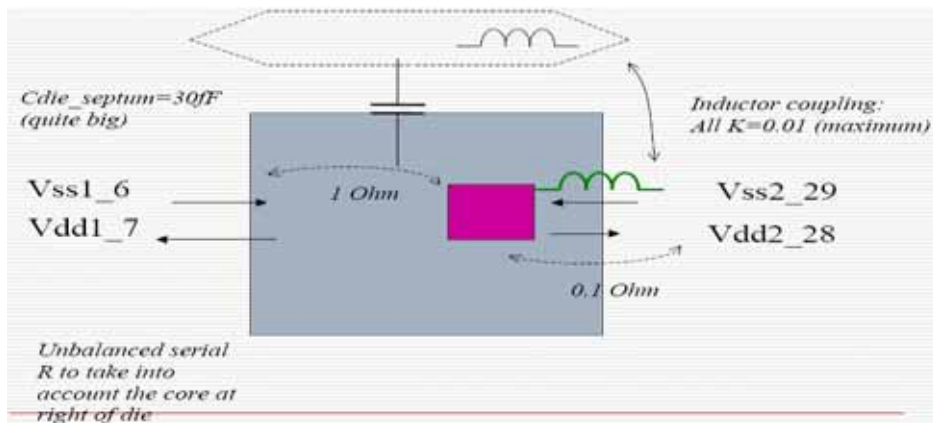


圖 9.14 Tem Cell 模型

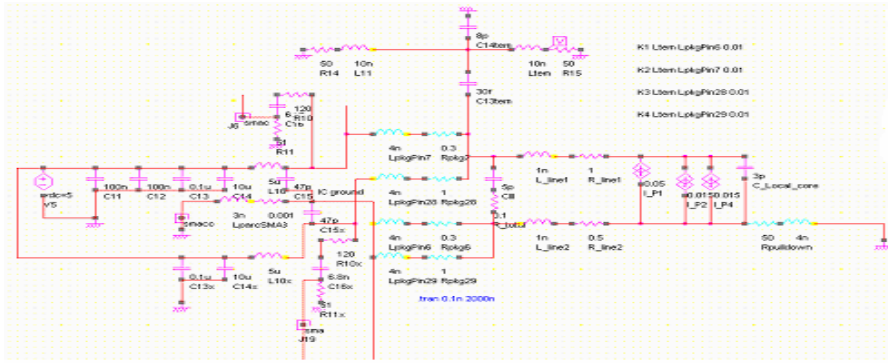


圖 9.15 模擬產生的阻抗量測結果

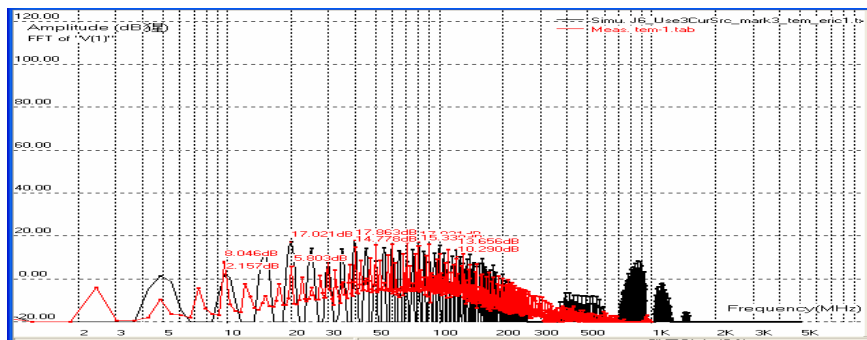


圖 9.16 模擬產生的阻抗量測結果，紅色為量測結果，黑色為模型模擬結果。

9.3 近場掃描法模型建立

近場掃描是 IC-EMC 量測非常重要的方法，它可以藉由掃描 IC 表面的近場，得到 IC-EMI 表面近場的分佈，而找出干擾源可能的部份，作為偵錯的參考，為了進一步了解其特性，電磁干擾的模型將被建立，近場掃描模型建立的方法說明如下，如圖 9.17-9.18 所示：

1. 承接 TEM Cell 模型的成果，從 TEM Cell 的模型開始逐步建立近場掃描的模型。
2. 移除 TEM Cell 部份的模型，保留原來 package 及 IC Core 的模型。
3. 加上實際的座標位置。方法有二種，如圖 9.16-9.19 所示。

(1) 找出 IC 內主要的可能產生較大的干擾源，例如電源，以手動的方式，逐一加上座標位置。

(2) I/O 部份若使用 IBIS 模型，IC-EMC 軟體將自動會計算座標的位置。爲了減化，初步階段的模擬，8 個 bits I/O 被等效成 1 個 bit I/O。如圖 9.19 所示。

(3) 加上 i0 激發源，有關 I/O 部份電流規格及 IV 曲線資料如圖如圖 9.20 所示。

4. 執行 IC-EMC 軟體的 simulation scan 功能。
5. 加上實際量測的近場掃描結果
6. 比對及分析近場掃描模型模擬結果及量測結果。近場的數學示如圖 9.21 所示。整體的模型建立流程如圖 9.22 所示，

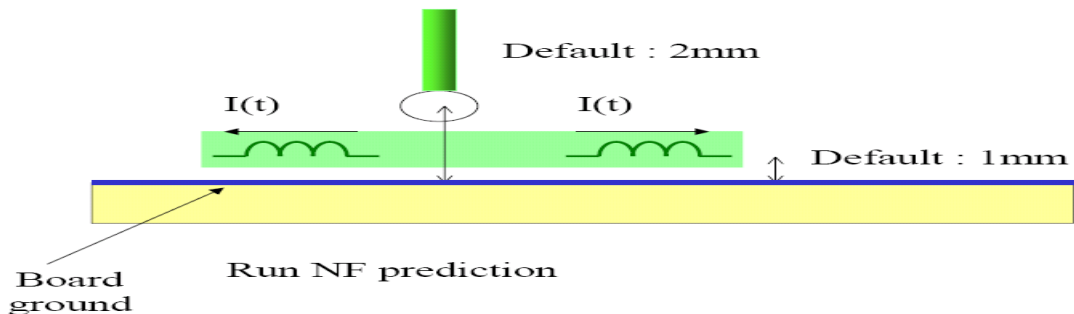


圖 9.16 近場掃建置

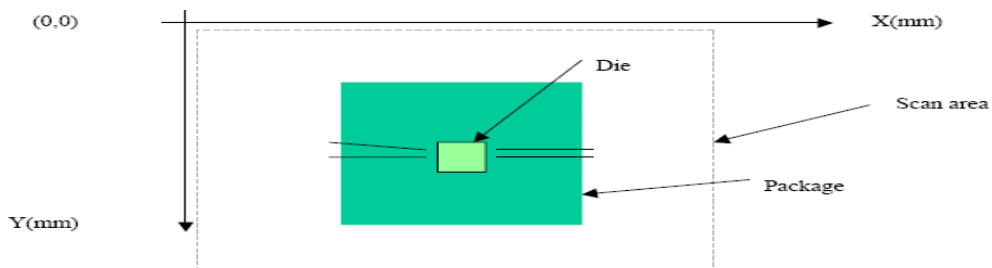


圖 9.17 近場掃模型建立

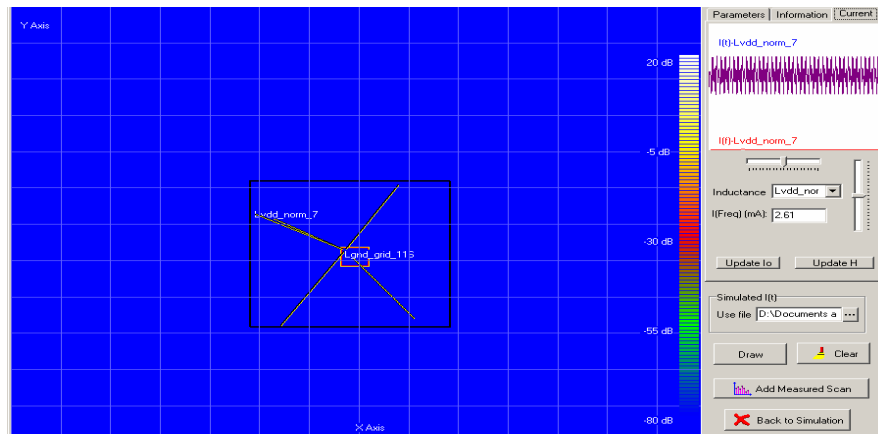


圖 9.18 近場掃模型實際建置情形

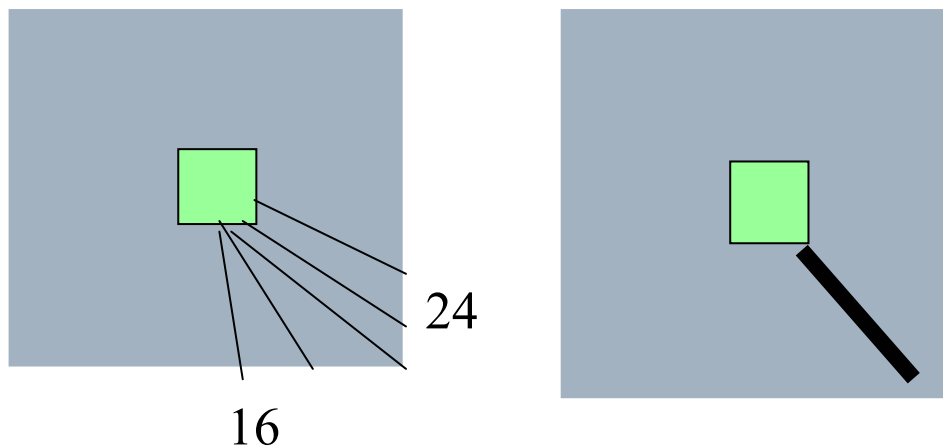


圖 9.19 近場掃 I/O 模型的建立

| | |
|---|--------|
| Maximum current out of Vss pin | 300 mA |
| Maximum current into VDD pin | 250 mA |
| Input clamp current, I _{IK} (V _I < 0 or V _I > V _{DD})..... | ±20 mA |
| Output clamp current, I _{OK} (V _O < 0 or V _O > V _{DD}) | ±20 mA |
| Maximum output current sunk by any I/O pin..... | 25 mA |
| Maximum output current sourced by any I/O pin | 25 mA |
| Maximum current sunk by PORTA, PORTB, and PORTE (Note 3) | 200 mA |
| Maximum current sourced by PORTA, PORTB, and PORTE (Note 3)..... | 200 mA |
| Maximum current sunk by PORTC and PORTD (Note 3)..... | 200 mA |

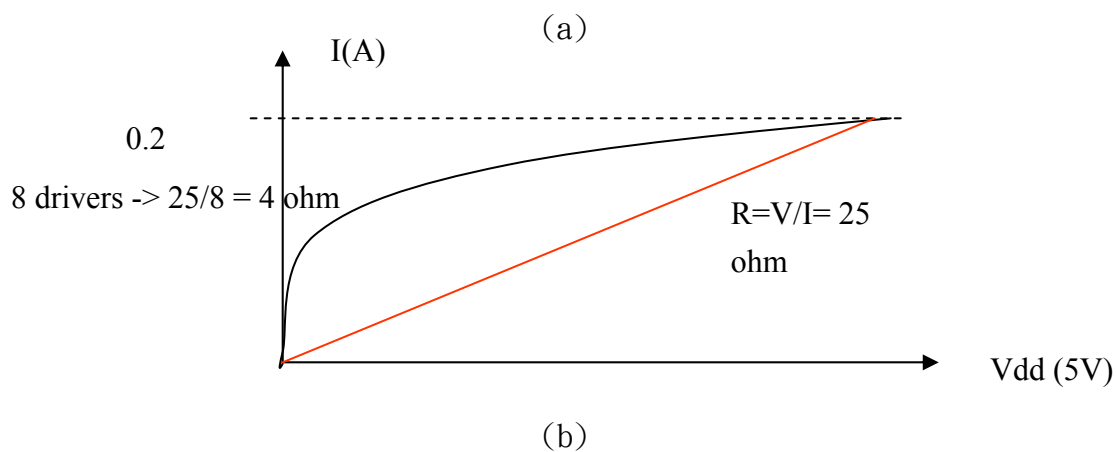


圖 9.20 (a) Pic_18f452 I/O 規格值 (b) Pic_18f452 I/O 的 IV 曲線

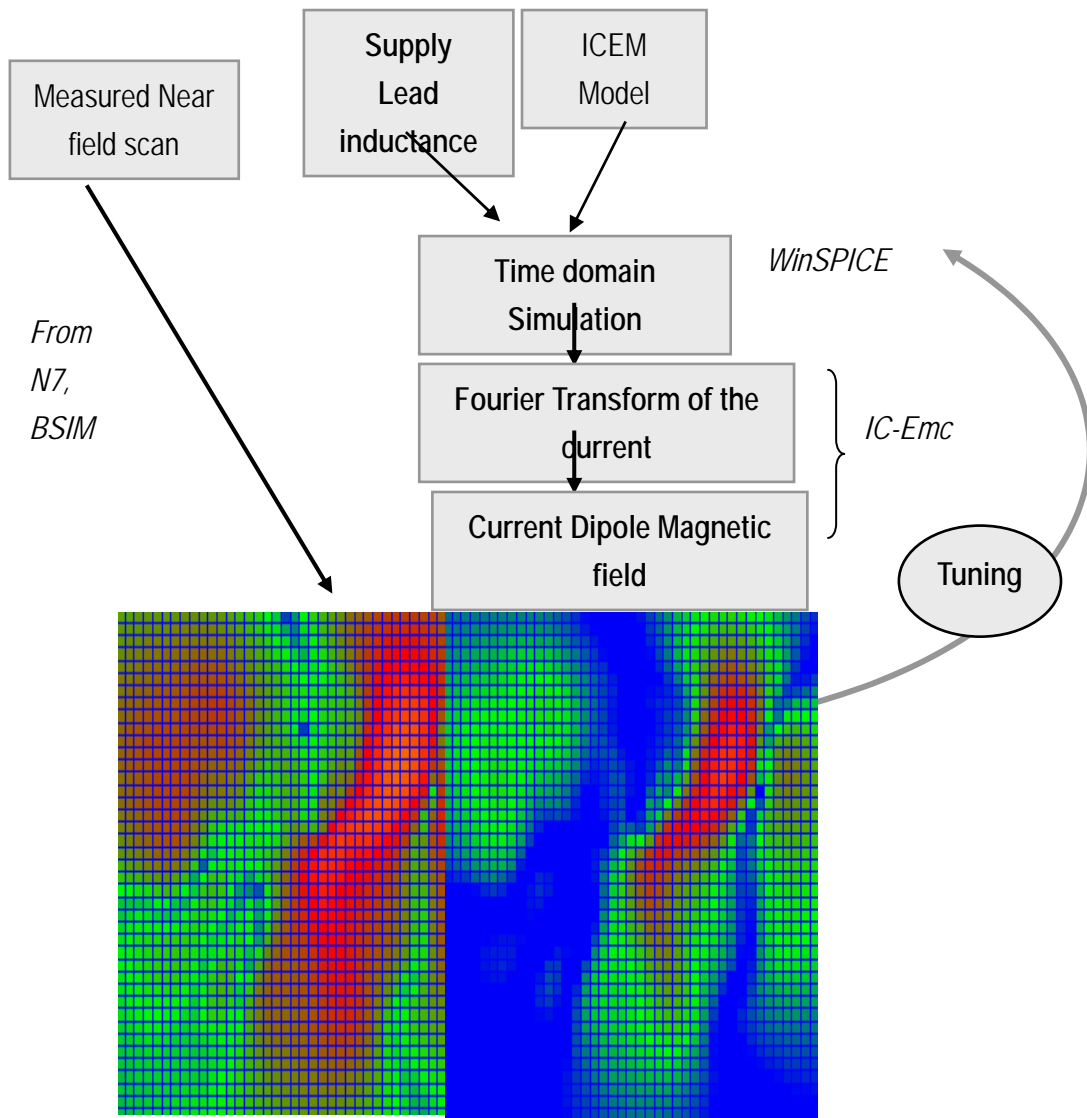


圖 9.21 近場掃模型建立流程圖

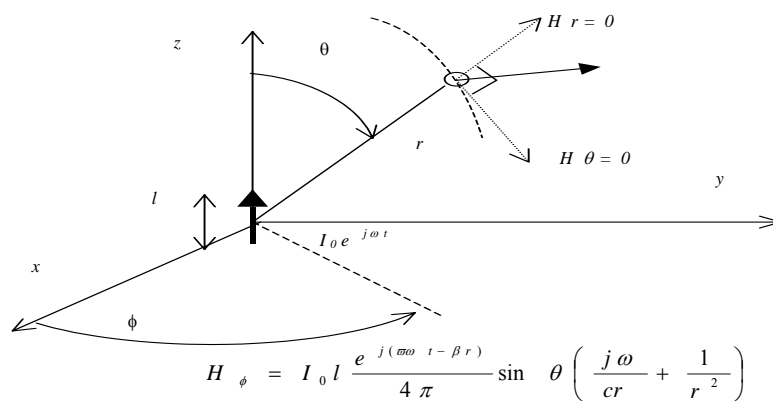


圖 9.22 近磁場的數學式

第十章 歐洲 2006 年 EMC 研討會

10.1 SoC-EMC 技術及標準未來發展趨勢[11]

IC-EMI modeling 已經較成熟, 已 IC-EMS 比較下, IC-EMI 是較容易, 目前 IC-EMS modeling 的研究尚在起步階段, IC-EMS 模型的建立是相當具有討戰及有價值的技術。目前 IC-EMC 已出版或計畫出版的標準如圖

IC-EMS modeling 現在發展的趨勢是朝 10GHz 以上的 EMS modeling 作發展, 而 DPI, near field scan, stirred chamber 是未來主要的測試方法, DPI 目前 paper 已發表到 10GHz 的 ems modeling, 因為 Gtem/Tem cell 耦合效率不好, 及 BCI 沒辦法達到很高頻, 未來在 IC-EMS 的量測上傾向以 near-field scan 的方法來取代 GTEM/TEM cell 及 BCI。目前 IC modeling 主要是日本與歐洲在作標準的競爭。

此外, 這次研討會有一個專題討論在討論 soc-emc 的問題, 目前這個領域還有很多工作要努力。

| IEC 61 967 - Measurement of Electromagnetic Emission up to 1GHz [3] | | |
|---|------------------------------|----------------------------|
| Standard | Description | Status in 2005 |
| IEC 61967-1 | Definitions | Completed |
| IEC 61967-2 | TEM/GTEM Cell | Committee draft for voting |
| IEC 61967-3 | Surface Scan | Technical report |
| IEC 61967-4 | 1/150Ω conducted | Completed |
| IEC 61967-5 | Workbench Faraday Cage | Completed |
| IEC 61967-6 | Magnetic probe | Completed |
| IEC 61967-7 | Mode Steered chamber | New proposal |
| IEC 62 132 - Measurement of Electromagnetic Immunity up to 1GHz [4] | | |
| Standard | Description | Status in 2005 |
| IEC 62132-1 | Definitions | Committee Draft |
| IEC 62132-2 | TEM/GTEM Cell | New proposal |
| IEC 62132-3 | Bulk current injection (BCI) | Committee Draft |
| IEC 62132-4 | Direct power Injection (DPI) | Committee Draft |
| IEC 62132-5 | Workbench Faraday Cage | Committee Draft for voting |
| IEC 62132-6 | Mode Steered chamber | New proposal |

(a)

| IEC 62 014 – Core and I/O modeling | | |
|------------------------------------|--|-----------------|
| Standard | Description | Status in 2005 |
| IEC 62014-1 | Input/output buffer information specifications | Completed V4.0 |
| IEC 62014-3 | Models for EMI behavioral simulation ICEM | Completed |
| IEC 62014-4 | Models for EMI behavioral simulation IMIC | Committee Draft |

(b)

圖 10.1 IC-EMC 標準

10.2 IC-EMS 模型的建立[12]

這篇論文是以LECCS (linear equivalent circuit and current source)模型來建立 IC-EMS 模型，其假設 IC 故障可以藉由在內部 IC 電源的擾動而被觸發，為了確認其提出的方法，首先其量測在 IC 內部電源的擾動電壓，這擾動電壓是藉由注入 RF 功率所造成，最後比較量測與模型估測的結果，

同事

LSI 的模型以 LECCS 模型表示，這種模型是以數組並聯的線性的 RLC 原件串聯組成，如圖 10.2(a)所示，圖 10.2(b)顯示以 LECCS 模型來評估 IC 對周遭環境雜訊的耐受性， Z_L Z_V 及 Z_G ， Z_L 模型採用圖 10.2(a)所示的 LECCS 模型。 Z_V 及 Z_G 是電源及接地的連接部份，包括：封裝導線架, bonding wire, 及接到 IC 內部的電線所造成的電感及電阻。 Z_{PCB} 是指並連在 IC 旁的旁路電容。當外面注入 RF 雜訊，將產生 I_{LSI} 電流進入 IC 及 I_{PCB} 旁路電流回到 RF 雜訊源，所產生的產生 I_{LSI} 在 IC 內部在 Z_L 端產生 V_L 的擾動電壓。

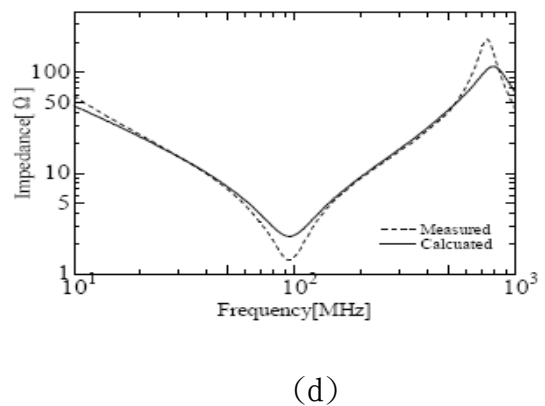
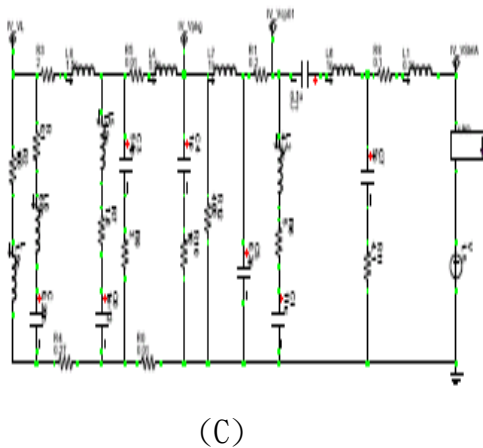
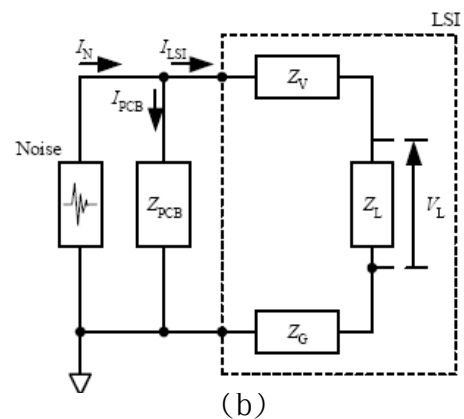
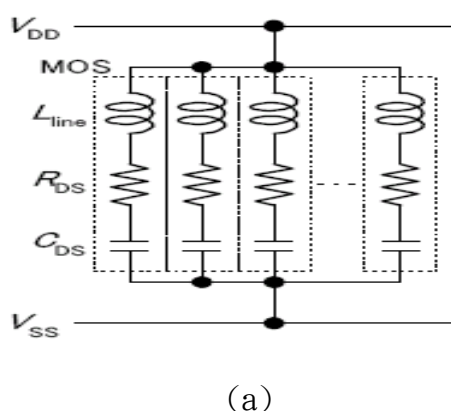
其所建立的 ICEMS 模型如圖 10.2(C)所示，為了評估 LECCS 模型的精確性，

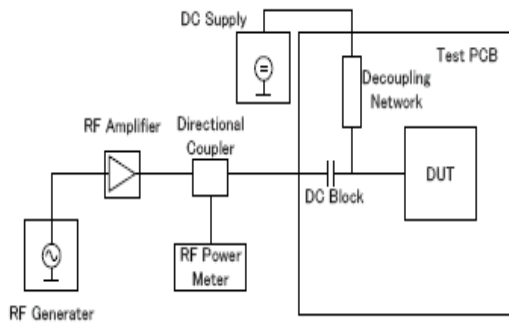
這篇

論文比較量測 Z_{SMA} 及模擬計算的 Z_{SMA} ，結果如圖 10.2(d)所示，兩者除了在 100MHz，10Hz 以下及 800MHz 左右外，大致上是相當穩合的。

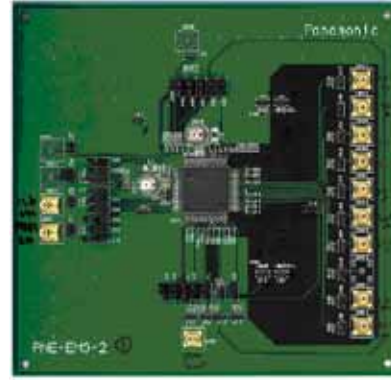
DPI 量測的建置圖如圖 10.2(e)所示，測試的電路板照片如圖 10.2(f)

在圖 10.2(g), 當注入的 RF 功率是 0dBm，可以看到在 50MHz 及以上， V_L 量測結果及模擬結果幾乎有相同的斜率，可說明，評估方法採用 LECCS 模型是有效的，此外，有關圖 10.2(h), 它用來驗證這 50MHz 及以上， V_{PKG} 量測結果及模擬結果的關聯性，在 100MHz 附近，結果及模擬結果幾乎相同，高於 100MHz 時，量測結果與模擬計算結果幾乎有相同的斜率，且量測值都高於模擬計算值。在 50MHz-100MHz 時，量測結果與模擬計算結果也幾乎有相同的斜率，且模擬計算結果都高於量測值，在低於 50MHz 時，此時模擬計算結果一樣維持都高於量測值，但模擬計算結果誤差較大。

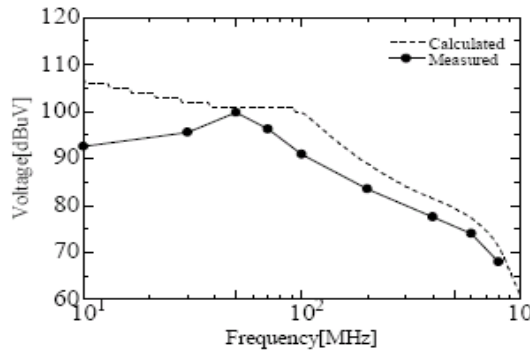




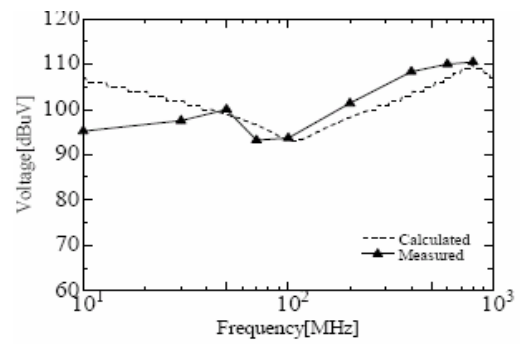
(e)



(f)



(g)



(h)

圖10.2 IC-EMS模型的建立 (a) LSI用的LECCS 模型(b) 以LECCS model作為IC-EMS 模型估測(c) LECCS model作為IC-EMS模型計算(d) 比較量測 Z_{SMA} 及模擬計算的 Z_{SMA} (e) IC-EMS DPI法的建置圖 (f)測試板 (g) V_L 的頻率響應 (h) V_{PGK} 的頻率 響應

第十一章 結論

本文提出了積體電路電磁相容相關標準的介紹及說明積體電路電磁干擾量測及建立模型的方法，俾利使在晶片設計階段，掌握其電磁相容特性，進而設計、製造出一顆符合電磁相容規範的積體電路。

肆、積體電路量測與模型驗證實驗室的發展 規畫

1. 積體電路電磁相容國際目前發展近況

有鑑於積體電路電磁相容的重要性及為建立一套標準化的量測及模型建立的程序與方法，國際電工委員會(International Electrotechnical Commission)(簡稱 IEC)進行一系列有關積體電路電磁相容量測及模型的標準的製訂工作，其目前的標準的編號、名稱及出版的狀態如表 1.1-表 1.7 所示[1]，目前除了積體電路電磁干擾的量測大部份已出版，積體電路電磁耐受出版 3 份標準，大部份的標準都尚在草案階段或尚未提出。

表 1.1 積體電路電磁干擾量測標準

| 標準編號 | 標準名稱 | 出版的狀態 |
|----------------|--|------------|
| IEC 61967-1 | Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 1: General conditions and definitions | 2002-03 出版 |
| IEC/TS 61967-3 | Integrated circuits - Measurement of electromagnetic emissions, 150 KHz to 1 GHz - Part 3: Measurement of radiated emissions - Surface scan method | 2005-06 出版 |
| IEC 61967-4 | Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 4: Measurement of conducted emissions - 1 Ω /150 Ω direct coupling | 2006-07 出版 |

| | | |
|------------------|---|------------|
| | method | |
| IEC 61967-4-am1 | Amendment 1 - Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 4: Measurement of conducted emissions - 1 Ω /150 Ω direct coupling method | 2006-02 出版 |
| IEC/TR 61967-4-1 | Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 4-1: Measurement of conducted emissions - 1 Ω /150 Ω direct coupling method - Application guidance to IEC 61967-4 | 2005-02 出版 |
| IEC 61967-5 | Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 5: Measurement of conducted emissions - Workbench Faraday Cage method | 2003-02 出版 |
| IEC 61967-6 | Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 6: Measurement of conducted emissions - Magnetic probe method | 2002-06 出版 |
| IEC 61967-6am.1 | Amendment 1 to IEC 61967-6: Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 6: | 未出版(ADIS) |

| | | |
|-------------|---|---------|
| | Measurement of conducted emissions - Magnetic Probe method | |
| IEC 61967-7 | Integrated circuits-stirred chamber | 未出版(NP) |

表 1.2 積體電路電磁耐受性量測標準

| | | |
|-------------|--|------------|
| IEC 62132-1 | Integrated circuits - Measurement of electromagnetic immunity, 150 kHz to 1 GHz - Part 1: General conditions and definitions | 2006-01 出版 |
| IEC 62132-2 | Integrated Circuits - Measurement of Electromagnetic Immunity, 150 kHz to 1 GHz - Part 2: Measurement of Radiated Immunity - Tem-Cell and Wideband Tem-Cell Method | 未出版(A2CD) |
| IEC 62132-3 | Integrated circuits - Measurement of electromagnetic immunity, 150 kHz to 1 GHz - Part 3: Bulk Current Injection (BCI) method | 未出版(ADIS) |
| IEC 62132-4 | Integrated circuits - Measurement of electromagnetic immunity 150 kHz to 1 GHz - Part 4: Direct RF power injection method | 2006-02 出版 |
| IEC 62132-5 | Integrated circuits - Measurement of electromagnetic immunity, 150 kHz to 1 GHz - Part 5: Workbench Faraday cage method | 2005-10 出版 |
| IEC 62132-6 | Integrated circuits-stirred chamber | 未出版(NP) |

表 1.3 積體電路暫態電磁耐受測試

| | | |
|-------------|-------------------------|---------|
| IEC 62215-1 | General and definitions | 計畫中尚未提出 |
|-------------|-------------------------|---------|

| | | |
|-------------|--|-----------|
| IEC 62215-2 | Integrated circuits - Measurement of impulse immunity - Part 2: Synchronous transient injection method | 未出版(CDTS) |
| IEC 62215-3 | Integrated circuits –Part 3:Random Transient injection | 未出版(NP) |

表 1.4 積體電路電磁干擾評估

| 標準編號 | 標準名稱 | 出版的狀態 |
|-----------|--|-----------|
| IEC 62228 | Integrated circuits - EMC evaluation of CAN transceivers | 未出版(BPUB) |

表1.5積體電路I/O模型

| 標準編號 | 標準名稱 | 出版的狀態 |
|-------------|---|------------|
| IEC 62404 | Logic digital integrated circuits - Specification for I/O Interface Model for Integrated Circuit (IMIC version 1.3) | 未出版(BPUB) |
| IEC 62014-1 | Electronic design automation libraries - Part 1: Input/output buffer information specifications (IBIS version 3.2) | 2001-05 出版 |

表 1.6 積體電路電磁干擾模型

| 標準編號 | 標準名稱 | 出版的狀態 |
|---------------|---------------------------------|---------|
| IEC 62433 - 1 | General part of EMI IC modeling | 未出版(NP) |

| | | |
|----------------|---|------------|
| IEC 62433 –2 | Models of Integrated Circuits for EMI behavioural simulation-: conducted emission modeling. | 未出版(ACDV) |
| IEC 62433 – 3 | Models of Integrated Circuits for EMI behavioural simulation -direct emission modeling. | 未出版(NP) |
| PNW 47A-767 | EMC IC modelling - Part 1: General modelling framework | 未出版(PNVV) |
| IEC/TR 62014-3 | Electronic design automation libraries - Part 3: Models of integrated circuits for EMI behavioural simulation | 2001-05 出版 |

表 1.7 積體電路電磁耐受模型

| 標準編號 | 標準名稱 | 出版的狀態 |
|----------|---|-------|
| IEC XXXX | RF immunity (conducted and radiated) modeling | 尙未提出 |
| IEC XXXX | Impulse immunity modeling | 尙未提出 |
| IEC XXXX | Intra-IC compatibility modeling | 尙未提出 |

日本 NEC 公司發展磁場探針量測法(Magnetic Probe method)，並將其內部技術規範適出提到 IEC 組織，經標準修訂程序審核，目前已正式出版成為 IEC 61967-6 的國際標準。

此外，日本 Voluntary Control Council for Interference by Information Technology Equipment(VCCI)，在 2005 年 4 月 1 日開始推動模組 EMC 認證，採

用的量測方法目前是採用 NEC 公司發展磁場探針量測法(Magnetic Probe method)。

VCCI 目前擬定六個等級的干擾限制值(如表 4.1-4.2)，以區別模組的干擾現象，並標示於模組上面，以便使買賣雙方彼此了解產品的 EMI 特性，VCCI 針對模組的標示如圖 4.1 所示。

表 4.1 模組干擾限制值

| 擾動位準 | 限制值(dBuA) | | |
|--------|-----------|--------|---------|
| | 10MHz | 100MHz | 1000MHz |
| 擾動位準 A | 115 | 95 | 75 |
| 擾動位準 B | 110 | 80 | 60 |
| 擾動位準 C | 85 | 65 | 45 |
| 擾動位準 D | 70 | 50 | 30 |
| 擾動位準 E | 55 | 35 | 15 |
| 擾動位準 F | 40 | 20 | 0 |

表 4.2 六個模組干擾限制值等級及符號

| 編號 | 擾動位準 | 符號 |
|----|------|----|
| 1 | A | KA |
| 2 | B | KB |
| 3 | C | KC |
| 4 | D | KD |
| 5 | E | KE |
| 6 | F | KF |



圖4.1 VCCI針對模組的標示

一些國際大廠目前賣出的 IC 都會標示 IC 的電磁干擾及電磁耐受特性給客戶參考，圖 4.4 為 Infineon 的 IC 資料說明書。

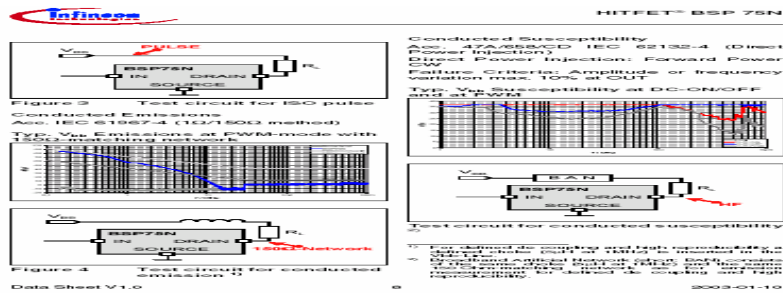


圖 4.2 為 Infineon 的 IC 資料說明書。

2. 標準檢驗局積體電路電磁相容實驗室基礎建設的規劃

積體電路電磁相容實驗室驗證實驗室，實驗室將分成兩大部份：(1)驗證平台工作站系統：

我們計畫將 IC、電路板、系統產品的驗證同時整合在同一平台上，使 IC 在設計階段，即可對其信號完整性、電磁相容及熱效應進行驗證，在製造前即時解決可能存在的問題，將可有效縮短設計流程，加速產品的上市時間。

(2)量測系統實驗室：

我們將建置 IC-EMC 測試設備、高速電子測試設備(包含信號完整性等)、各種 IC 測試信號產生器、主被動參數的抽取設備、EMC 量測儀器(如網路分析儀、頻譜儀，電磁干擾接收機、信號產生器、放大器、雙向耦合器等)。

伍、心得與建議

IC-EMC 的發展，現在國濟標準大都尚在起草階段，而學術研究也都尚在進行中，這時切入，是很好的機會點，也是大的挑戰，必須結合產官學的力量作一全盤性的發展規畫，在 INSA 發現 professor 是一位作事及研究非常有效率及好的規畫，充份利用與組織週邊的資源的人，也了解應該去去創造新的研究方向與議題，而不是跟著別人作，看到歐洲人很優閒在工作，卻獲高附加價值，台灣普遍都很努力工作，卻獲得微薄利益，是值得深思的問題。

參考文獻

- [1] <http://www.iec.ch>
- [2] IEC 61967-1, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 1: General conditions and definitions
- [3] IEC 61967-2, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 2: TEM cell method
- [4] IEC 61967-3, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 3: surface scan method
- [5] IEC 61967-4, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 4: Measurement of conducted emissions, 1 ohm/150 ohm direct coupling method
- [6] IEC 61967-5, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 5: Measurement of conducted emissions - Workbench Faraday Cage method
- [7] IEC 61967-6, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 6: Measurement of conducted emissions - Magnetic probe method
- [8] IEC/TR 62014-3, Electronic design automation libraries - Part 3: Models of integrated circuits for EMI behavioural simulation.
- [9] [Initiation of VCCI Kit Module Program](http://www.vcci.or.jp), <http://www.vcci.or.jp>
- [10] Professor Etienne SICARD 上課的 IC-EMC 講議
- [11] Etienne Sicard” Emission and susceptibility issues in systems on chip for electromagnetic compatibility” 2006 EMC symposium,

Barcelona, September, 2006.

- [12] T. Nakayama, E. Takahashi, Y. Saito, K. Shimazaki, M. Nagata, Wada”
Evaluation of LSI power supply voltage noise caused by injected RF
power using a LECCS model” 2006 EMC symposium, Barcelona, September,
2006.