

摘要

本次赴法研習主要是為學習積體電路電磁相容(IC-EMC)的量測與其模型建立，並蒐集標準及實驗室建立相關的資料，以利可以加速本局積體電路電磁相容驗證實驗室檢測能量的建立。

為了進一步了解及驗證課堂上的理論，在 IC-EMI 及 IC-EMS 量測分別以 S12X 及 PIC 18f452 當案例實際進行研習，在 IC-EMI 模型的建立，則以 PIC 18f452 為案例，對 TEM cell, 10hm/1500hm 法，在 TEM Cell 法模型估測部份，所使用的待測 IC，其工作頻率為 10MHz，實驗時，將測試板放在 TEM Cell 上作量測並建立其模型，所得的模型，經使用 spice 模擬，得到的實驗結果，在頻率範圍 10MHz~200MHz 內之工作頻率整數倍的頻率點，除了 10MHz、20MHz 外，其預測值與量測值的誤差均分別為 11.218dB μ V、5.889 dB μ V，其餘都約在 3dB μ V 以內，且所預估的電磁干擾波形，其整體的趨勢、形狀、電磁干擾發生的頻率點，都非常相近實際量測的結果。在 10hm/1500hm 模型估測部份，在 10M~200MHz，其模型估測的結果，所預估的電磁干擾波形，其整體的趨勢、形狀、電磁干擾發生的頻率點，亦都非常相近實際量測的結果。此外，我們亦介紹歐洲 2006 年 EMC 研討會、國際標準的發展趨勢與近況，及未來標準檢驗局積體電路電磁相容實驗室發展的基礎建設的規劃。

目次

頁次

目次.....	I
摘要.....	II
壹、研習的行程及課程.....	4
貳、研習內容.....	9
第(壹)部份:法國國立應用科學研究所的研習.....	9
第一章、導論.....	9
第二章、理論基礎.....	11
第三章、待測 IC 硬體及軟體的規畫設計.....	18
第四章、積體電路電磁干擾的量測.....	21
第五章、積體電路電磁耐受性的量測.....	27
第六章、積體電路電磁干擾模型的建立方法.....	34
第七章、積體電路電磁耐受模型的建立方法.....	42
第八章、積體電路降低電磁干擾設計的方法.....	46
第九章、案例研究及實驗結果.....	48
第十章、歐洲 2006 年 EMC 研討會.....	58

第十一章、 結論.....	62
參、積體電路量測與模型驗證實驗室的發展規畫.....	63
肆、心得與建議.....	70
伍、參考文獻.....	71

壹 研習的行程及內容

一、研習的行程

日期	工作記要	備註
8/26-8/27	出發到法國土魯斯	
8/28-9/4	IC-EMC 量測與模型 建立研習	在法國土魯斯的國立科學應用研究所(INSA)上課
9/4	出發到西班牙巴塞隆納	
9/5-9/8	參加 EMC Europe 2006 symposium	在西班牙巴塞隆納的 Calalonia 技術大學舉行
9/9	返回法國土魯斯	
9/10-10/4	IC-EMC 量測與模型 建立研習	在法國土魯斯的國立科學應用研究所(INSA)上課
10/5-10/6	返國	

二、研習的課程

(一) 理論課程

- 講師：E. Sicard 教授(如圖 I)。
- 研習地點：在法國土魯斯的國立應用科學研究所(INSA)
- 課程內容：
 - 蒐集 IC-EMC(EMI 與 EMS)之檢測設備相關資料
(Collection relevant facilities information regarding the IC-EMC measurement.)
 - 蒐集建立 IC-EMC 的行為模型之相關設備資料
(Collection relevant facilities information regarding the IC-EMC Characterization.)

□ 主要觀念(Main concepts)

- 基本原理,單位,電磁干擾的起源,電磁耐受的起源,快速傅立葉轉換,阻抗匹配,結論.(Basic Principles, specific Units, Origin of Parasitic Emission, Origin of Susceptibility, Fourier Transform, Impedance, Conclusion).

□ 積體電路電磁相容問題(EMC Issues)

- 電磁干擾的頻譜、積體電路電磁干擾的問題、積體電路電磁耐受性的問題、積體電路設計的問題(The Emission Spectrum, Emission Issues, Susceptibility Issues, Design Issues, Conclusion).

□ 量測方法(Measurement Methods)

- 積體電路電磁干擾的量測, 積體電路電磁耐受的量測 (Measurement of Emission, Measurement of Susceptibility, Conclusion)

□ 積體電路的佈線(IC floor plane)

- 介紹,低幅射的黃金規則,案例研究,結論(Introduction, Golden Rules for Low Emission, Case Study, Conclusion)

□ 建積體電路電磁相容(電磁干擾與耐受)模型模擬

(Models for EMC Simulation)

- 為什麼要建積體電路的電磁干擾與耐受的模型,積體電路的模型,封裝的模型,積體電路的電磁干擾估測模擬與體電路的電磁干擾的估測模擬(Models: what for? Macro-model of an IC. Package Models. Emission simulation, susceptibility simulation). □ 策略 (Strategy) ■ 在臺灣研究發展積體電路相 (包含系統晶片,可規畫元件)之電磁相容的策略計畫討論 (Strategical plans for research in EMC of Ics related to SoC, programmable devices, etc.. in Taiwan)

Professor E. Sicard

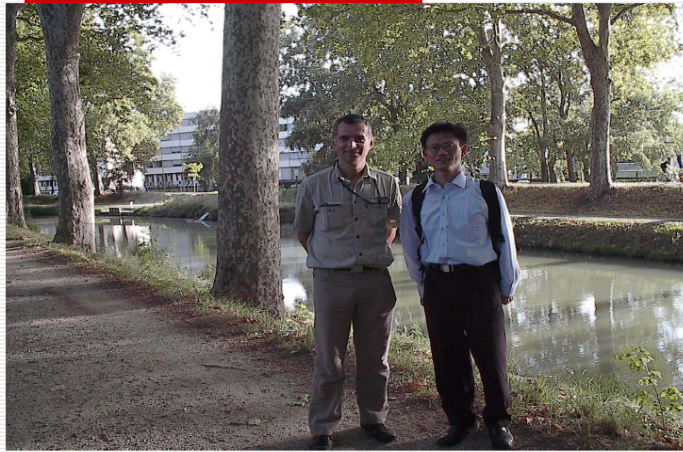


圖 I. E. Sicard 教授.

(二) 實驗課程

- 講師： A. Boyer 博士候選人(如圖 II.) 研習地點：在法國土魯斯的國立應用科學研究所(INSA) 課程內容：
 - 符合積體電路電磁相容的印刷電路板佈線(PCB Layout for EMC)
 - 以 S12X 當案例研究, 實現的技巧, 使用在積體電路電磁容量測的電路板設計, 積體電路電磁容量測的建立(S12X case study. Implemented techniques. PCB design. EMC methods. Measurement setup)
 - 積體電路電磁干擾量測(Emission measurement)
 - 以 S12X 及 PIC 18f452 當案例研究, VDE 法量測, TEM/GTEM 法量測, 近場掃描量測(在 Toulouse 一所學校, N7 大學進行「 S12X case study. VDE measurement. TEM/GTEM measurement. Scan measurement (N7)」)
 - 積體電路電磁耐受量測(Susceptibility measurement)
 - 以 S12X 當案例作研究, 直接功率注入法(DPI)、近場掃描法(S12X case study. Coupler handling in 50 ohm, 330 Ohm. DPI measurement on input. Near-field scan)
 - 積體電路電磁干擾模型估測模擬(EMI modeling)
 - 使用 PIC 18f452 當案例作, VDE 法, TEM Cell 法, 近場掃描法的估測模擬研究 (PIC 18f452 case study for TEM/1ohm/150ohm/IBIS/near field scan.)
 - 積體電路電磁耐受模型估測模擬(EMS modeling)
 - S12X case study for DPI method(使用 S12X 當案例作, DPI 法的估測模擬研究.)



圖 II. A. Boyer 博士候選人

(三) 研究及會議

與他實驗室團隊一起作研究及每星期三與其研究團隊一起與 Professor Scard meeting 1 次 (Research discussions with his IC-EMC teams, and having a meeting with Professor Scard once a week)

(四) EMC Europe 2006 研討會 (symposium) Topics for Discussion

- 系統晶片對電磁干擾的耐受性 (SoC susceptibility to EMI)
- 系統晶片之電磁干擾與耐受性問題 (Emission and Susceptibility Issues in System-on-Chip for EMC)
- 建立晶片內去耦合電容對電源分佈網路及電磁干擾降低之有效模型 (Modeling the Effectiveness of on-Chip Decoupling Capacitors for PSN and EMI reduction)
- 強化暴露在電磁干擾環境下之系統晶片強韌性之混合解決方案 (Hybrid solutions for Leveraging SoC Robustness in EMI-Exposed Environments)
- 複雜 IC 之信號完善性測試 (Testing for Complex ICs Signal Integrity)
- 以電磁相容及合作研究觀點看系統晶片設計與測試技術發展路線圖 (SoC design and Test Roadmap for EM compatibility and Collaborative Perspectives)
- 模型建立 (Modeling)
- 計算電磁學 (Computational Electromagnetic)
- 量測儀器與測試 (Measurements, Instrumentation and Testing)
- 標準與法規 (Standards and Regulations)
- 電磁干擾 (Emissions)
- 電磁耐受 (Immunity)
- 電磁暫態 (Transients)
- 雷擊電磁問題 (Lightning and EMP)
- 靜電 (ESD)
- 隔離 (Shielding)
- 耦合 (Coupling)

- 濾波器設計(Filtering)
- 接地設計(Grounding)
- 信號完整性(Signal Integrity)
- 晶片層級之電磁相容設計(EMC at Chip Level)
- 印刷電路板之電磁相容設計(PCB)
- 電纜與連接頭之電磁相容設計(Cables and Connectors)
- 系統層之電磁相容設計(System Level)
- 大型系統與安裝之電磁相容設計(Large Systems and Installations)
- 電磁相容管理(EMC Management)
- 醫學設備之電磁相容設計(Medical Equipment)
- 人員暴露之電磁相容設計(Human Exposure)
- 電源線電磁相容(Power Line)
- 汽車電磁相容(Automotive)
- 火車軌道工程電磁相容(Railways)
- 其他運輸系統電磁相容(Other Transport Systems)
- 無線系統(Radio Systems)
- 電源線通訊(Power Line Communications)
- 無線通訊系統(Wireless Communication Systems)
- 有線通訊系統(Wired Communication Systems)
- 頻譜管理(Spectrum Management)
- 教育(Education)

貳、研習的內容：「晶片層級之電磁相容 (IC-EMC)量測與行為模型的建立」

第一章、導論

1.1 研究背景與目的

目前(Integrated Circuit, IC)設計已進入(System on Chip ,SoC)設計的時代，在激烈的市場競爭環境下，IC 公司所設計之晶片產品能否順利進入(System on Chip ,SoC)的設計，已成為嚴重關係到該公司是否仍能於市場獲利或存活之關鍵。

近年來，IC 製程技術之演進相當快速，現已進入奈米時代，而電路設計之時脈速度也已進入到 Giga Hz 時代，然而這些進步卻衍生如信號完善性(Signal Integrity ,SI)等 EMC 相關的問題，這些問題，造成積體電路(IC)已成為系統電磁干擾能量的重要來源，使得系統的實現，不管採用高密度互連(High Density Interconnect ,HDI)之電路板層級、系統晶片層級(System on Chip ,SoC)或是系統封裝層級(System in Package ,SiP)，皆變得更加困難。

此外，近年來汽車業者為使汽車能達更好之性能控制，利用很多電子電路相關先進技術來實現，但由於採用這些電子電路技術，造成其系統的穩定性與強韌性(robustness)隨之降低，我們為確保汽車系統的強韌性與安全性，通常會要求汽車必須符合 (ElectroMagnetic Emission ,EME)與(ElectroMagnetic Susceptibility ,EMS)之檢驗，然而，依據我們以往作汽車 EMC 量測的經驗得知，整車所採用的汽車零組件模組，將影響到整車的汽車 EMC 能否通過檢驗，而汽車零組件模組能否通過檢驗，亦常取決於汽車零組件模組內所採用的 IC 是否符合 IC-EMC 的規格，換言之，汽車內電路板所使用之 IC 是造成汽車 EME 與 EMS 能否符合檢驗相當關鍵之零組件。

一般而言，解決電磁相容性(ElectroMagnetic compatibility ,EMC)的問

題越往源頭越容易解決，而且解決的成本亦較低，因此，EMC 技術發展的趨勢將往晶片層級解決 EMC 的問題。

隨著製程技術的進步，開發一顆 IC 的成本與困難度，變得越來越高，為了降低 IC 開發的成本與風險，加快產品進入市場的時間，一般而言，我們亟想在設計階段，IC 未製造前，即時解決 IC-EMC 相關的問題。

1.2 本文架構

本文架構共分成六個章節，第一章導論，介紹部份闡述研究背景與目的。第二章理論基礎。第三章待測 IC 硬體及軟體的規畫設計。第四章積體電路電磁干擾的量測。第五章積體電路電磁耐受性的量測。第六章積體電路電磁干擾模型的建立方法，第七章積體電路電磁耐受模型的建立方法。第八章積體電路降低電磁干擾設計的方法。第九章案例研究及實驗結果。第十章歐洲 2006 年 EMC 研討會。第十一章結論。

第二章 理論基礎

現在 IC 設計已進入系統整合的世代，系統實現的方式已由系統電路板 (System on Board, SoB) 演進到系統晶片 (System on Chip, SoC) 或系統封裝 (System in Package, SiP)，系統整合到單一晶片上或是封裝到單一顆 IC 上，晶片間與晶片間的互連，是種高密度的互連 (High Density Interconnect, HDI)，會因電磁效應，產生信號完善性 (Signal Integrity, SI)、電力完善性 (Power Integrity, PI)、電磁相容 (Electromagnetic Compatibility, EMC) 等問題，一般而言，我們為了提升我們的系統性能，通常會設法改善系統的時脈 (clock)、上升率 (slew rate) 等性能參數，然而，當系統時脈 (clock) 愈快、上升率 (slew rate) 越大，所造成的電磁問題將欲嚴重。

為了對晶片之電磁相容量測觀念有些基本的了解，本章將對系統晶片、系統封裝、電力完善性、信號完善性作一些基本的介紹。

2.1 系統晶片介紹

IC 的設計的演進，從早期的電晶體層級 (Transistor Level)、到閘層級 (Gates Level)、到暫存器層級 (Register Transistor Level, RTL)、到目前已進入到系統晶片的時代，系統晶片強調的是系智財 (SIP) 的重覆使用 (reuse)、重新組配 (reconfigure)、平台式設計 (platform-based design)、低功率設計等，如圖

系統晶片可以將整個系統——射頻電路 (RF circuits)、混合信號電路、數位電路 (數位信號處理器 (DSP)、通用型處理器 (micro processor)、週邊界面單元)、類比電路整合、嵌入式軟體 (embedded software)、即時作業系統 (real time operation system, RTOS)——整合到單一個晶片上，如圖 2.2 所示。

由於現在整個系統越來越大，從前的系統只能成為現在系統的小元件，如微處理器、數位信號處理器、無線網路等，為了加快系統設計的速度，加快產品設計的速度，系統晶片的設計將改變以往 IC 設計的流程，從以前串流式的設計，

改成平行並進式的設計，軟體設計不能再像從前以樣，等硬體開發完成才去進行，必需採用軟硬體共同同時開發與驗證的方式進行 (Co-design, Co-verification)，採用系智財 (SIP) 的重覆使用 (reuse)、重新組配 (reconfigure)、平台式設計 (platform-based design)、低功率設計的設計方法設計電路，去作系統的實現。

一個完整的系統，常有射頻的電路、數位的電路、類比的電路等，數位電路常會發出嚴重的干擾信號去干擾類比的電路或射頻的電路，而類比的電路，他的雜訊免疫性比數位電路低，若遇到比較大的干擾、或是信號完善性問題，例如近場耦合 (coupling)、串音 (cross talk)，接地彈跳 (ground bounce)，將造成系統在整合實現上，發生問題，可能造成功能無法達到預期的性能或是動作功能，所製造出來的晶片，經測試，所得的量測結果，可能也沒辦法達到電磁相容的規範要求，而使得該顆晶片必須重新除錯、設計與製造，所造成的損失非常的大。

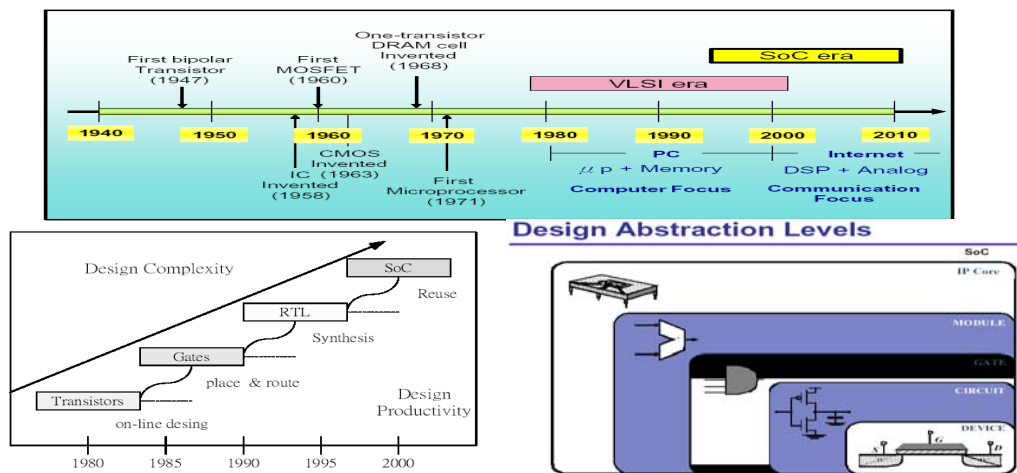


圖 2.1 IC 設計的演進

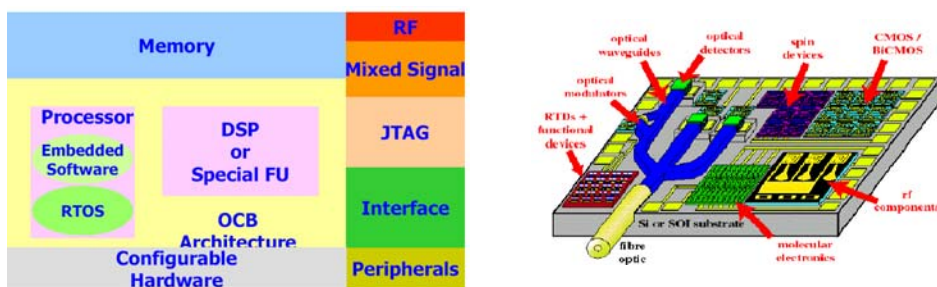


圖 2.2 系統晶片的概念圖

2.2 系統封裝介紹

IC 封裝的技術，隨著電路頻路的增加，一路從 DIP、SOP、BGA、CSP、到目前已進入到了系統封裝(System in Package, SiP)的時代，如圖 2.3 所示，系統實現 IC 上，除了採用系統晶片的實現方法外，另一種方法是採用系統封裝(System in Package, SiP)的方式，目前將設頻電路、數位電路、類比電路，整合到單一顆系統晶片上(SoC)，技術層級相當的困難，不容易實現，目前手機晶片商品化的產品大部分採用系統封裝的方式來作系統實現，系統封裝目前的優點是可以將不同製程的電路整合在一起，例如，射頻電路採用砷化鉀 (GaAs) 製程，基頻電路採用 CMOS 製程，系統封裝可以採用封裝的技術，將兩種不同的晶片安裝在共同的基板上，然後封裝到同一顆 IC，雖然，SiP 克服了 SoC 不同製程整合的問題，但他一樣必須面對，將多個晶片疊在一起，晶片間因互相連接所產生的信號完善性、電力完善性、電磁相容的問題，這些問題隨著電路頻率越來越高，電路的密度越來越大，困難度越來越大，漸漸的已無法採用嘗試錯誤法所能解決，必須發展出一套有系統的方法來解決這些問題，以利使系統封裝，可以將更多晶片疊在一起，之間間隙可以更小，使互連的密度更高，作出更小的晶片，使工作的速度可以更高，以達到所作的系統封裝 IC，體積更小、性能更好、成本更低，而更有市場競爭力。

在高速電路，我們所需要的封裝是希望，晶片的 IO pad 到 IC 腳的距離越短越好，以避免封裝的導線框(lead frame)造成信號完善性的效應，影響晶片的性能。

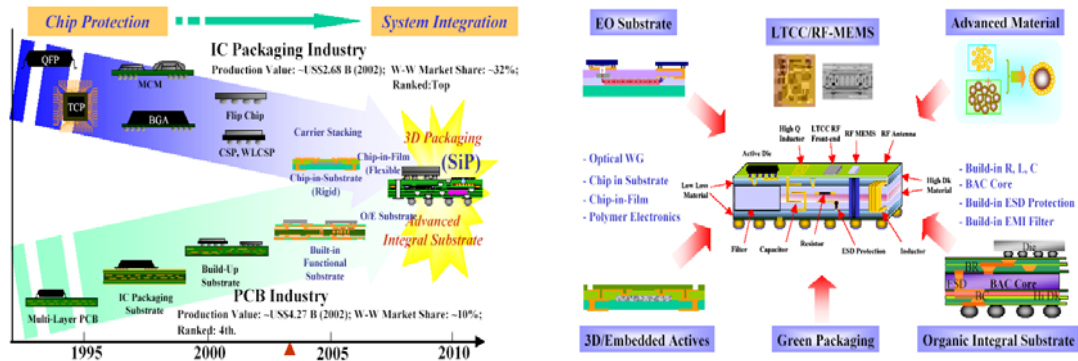


圖 2.3 封裝技術的演進

2.3 電力完整性 (Power Integrity) 與信號完整性 (Signal Integrity)

IC 隨著製程的進步，目前已進入到奈米時代，台積電與聯電 65 奈米的製程今年也已量產，製程的進步使得晶片通道間的距離變短了，晶片的速度性能亦得以提升，而電壓也將隨著製程推進而減小，晶片的功率是與電壓得平方成正比，與頻率的一次方成正比，因此，晶片的消耗功率將隨著電壓下降，平方倍的減小，數位電路， V_{omax} 與 V_{OH} 間為 '1'， V_{oL} 與 V_{omin} 間為 '0'， V_{oH} 與 V_{oL} 間為未定區，雜訊邊界(noise margin)= $V_{oH}-V_{oL}$ ，為了希望晶片的消耗功率越小，我們希望， V_{oH} 越小，增加電晶體得雜訊免疫力，我們希望雜訊邊界越大，因此， V_{oL} 必須要小一點，以便增加雜訊免疫力，但是 V_{oL} 變小，又將產生電晶體得漏電流變大的問題。

製程進步使得電晶體的速度變快，電壓下降，但電流並沒有隨之下降，幾乎維持相同，如圖 2.4 所示，電源送至 IC 的 power pad 間的導線架(lead frame)所產生的雜訊電壓(noise voltage, NV)= $L di/dt$ 將變大，而產生電力完善性與接電平面擾動(ground bounce)的問題，產生近場耦合、串音、電磁相容一些問題，如圖 2.5 所示，一般同步電路設計的 IC 之功率主要發生在同步切換的時候，與電路內部的雜散電容，會產生電流的充放電效應，也由於電源傳輸線的阻抗不匹配及導線架(lead frame)所產生的雜訊電壓(noise voltage, NV) 效應，而產生電力供應信號的震鈴(ring)效應，產生電力完整性(PI)的問題。

信號完整性的發生，主要是因為同步電路設計的 IC，在時脈同步觸發時，電路一起動作，與電路內部的雜散電容，產生大量電流的充放電電流，而那輸出電流，經由 IC 的導線框(lead frame)，電路板的銅軌，都會產生寄生電感與電阻效應，由於輸出阻抗的不匹配，造成電波的反射效應，使的輸出的信號會產生震鈴(ring)的現象，造成信號的失真，信號的完善性一般可以經由眼狀圖 (eye pattern) 來作分析，我們會有一個規範，要求眼睛要開到一定大小。

當輸出信號的信號完善性不是很好，產生震鈴的現象，這些震鈴的 RF 雜訊，會從週邊地返回 IC 接地腳，形成 RF 電流路徑，而產生電磁干擾、近場耦合等問題。

我們可以使用 spice 去模擬電路的電力完善性(Power Integrity)與信號完善性(Signal Integrity)，從圖 2.7 及圖 2.8 的模擬結果，我們知道，接地的參考點不再只是參考的零伏特電壓，IC 的接地腳將發生接地彈跳的現象，而且接地彈跳的發生，將與時脈信號(clock)同步，若 IC 導線架的雜散電感等效值越大，所產生的接地彈跳(ground bounce)電壓也將隨之變大。

一般在作電磁干擾的量測是使用頻譜分析儀或電磁干擾接收機，我們在分析即時示波器所量到的時域信號與頻譜分析儀所量到的頻譜信號，我們可以使用快速傅立葉轉換，將時域的信號轉成頻域，圖 2.11 是有振鈴信號的輸出信號，透過快速傅立葉轉換(FFT)，所轉成的頻譜圖形，從這個圖可以發現，若該振鈴信號的雜訊的頻率是 300MHz，在頻譜展開時，300MHz 的地方的大小將突出來一點，因為他是原來輸出的方波信號在加上 300MHz 的 RF 振鈴雜訊。

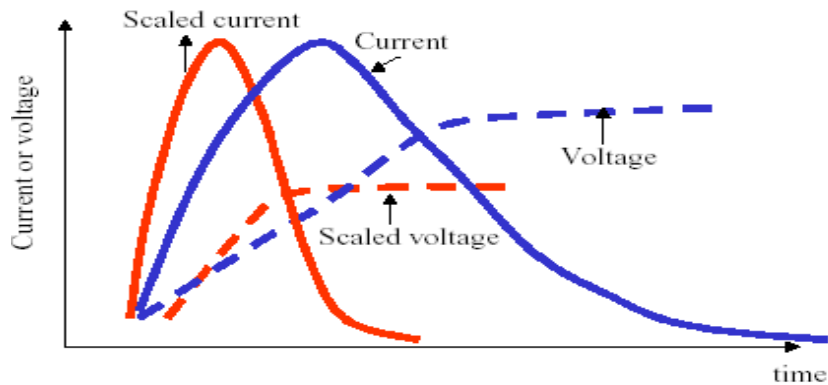


圖 2.4 製程技術的演進與電壓電流的關係曲線圖

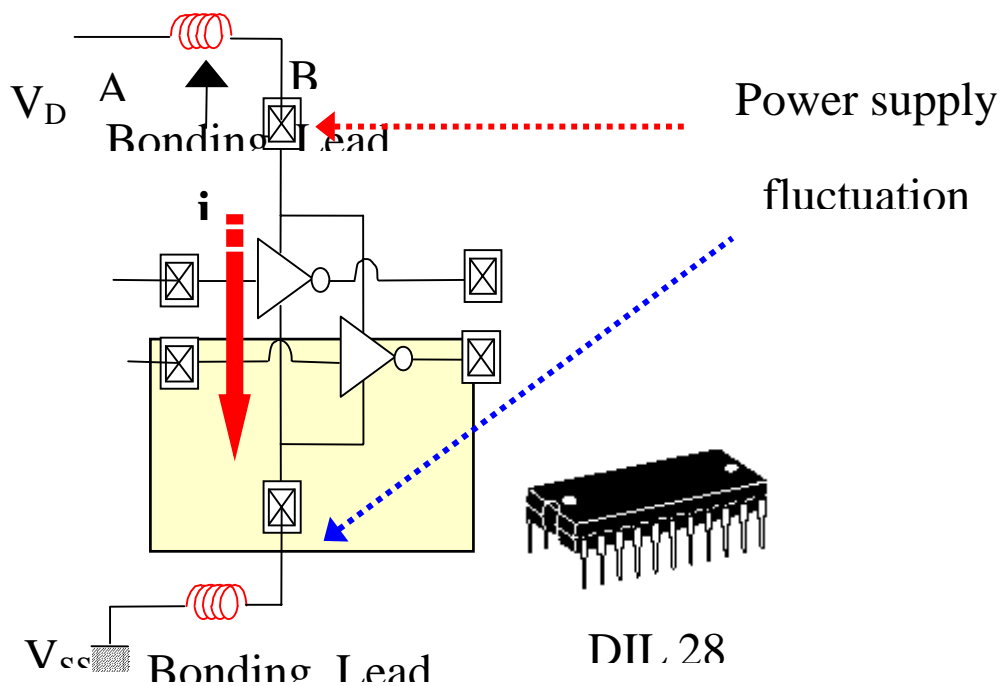


圖 2.5 電力完整性

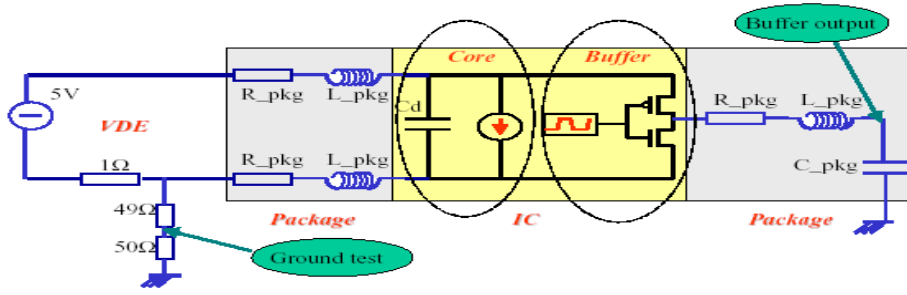


圖 2.6.1 電力完整性與信號完整信量測圖

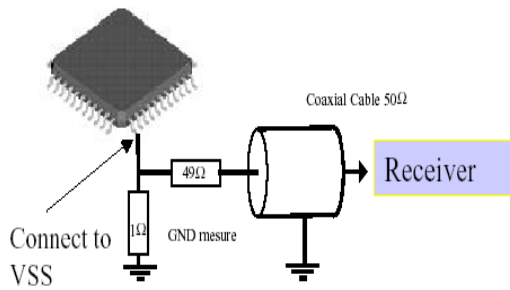


圖 2.6.2 電力完善性量測—採用 1ohm 法，量測接地彈跳(ground bounce)

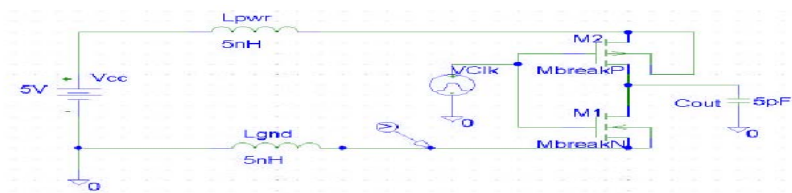
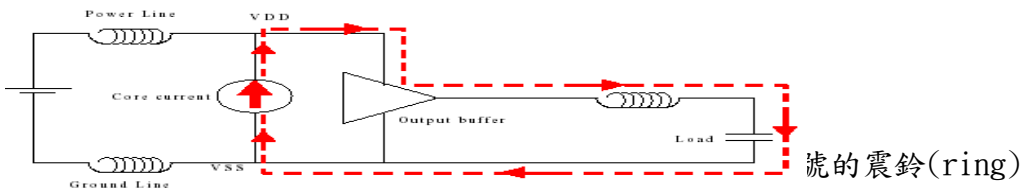


圖 2.7 電力完整性的模擬電路圖

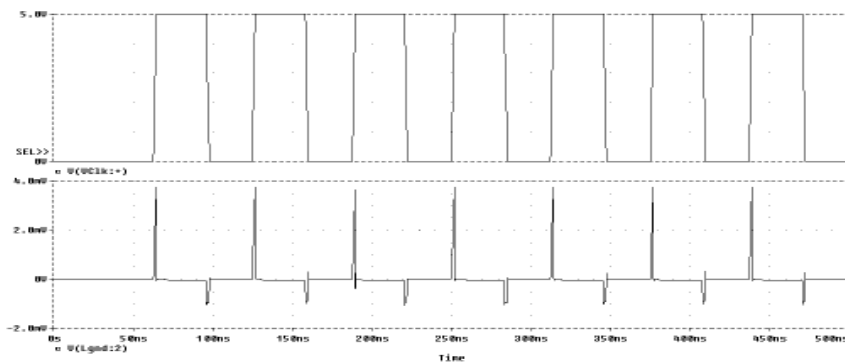


圖 2.8 電力完整性的模擬波形圖

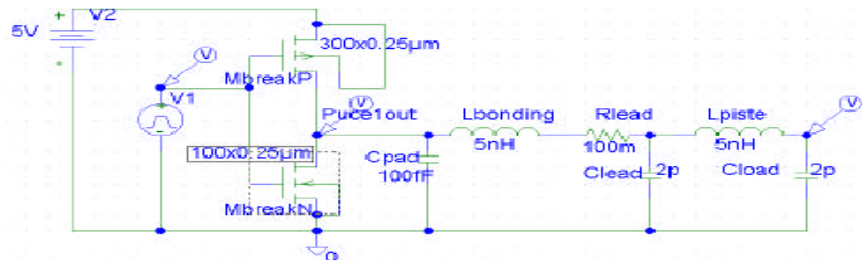


圖 2.9 信號完整性的模擬電路圖

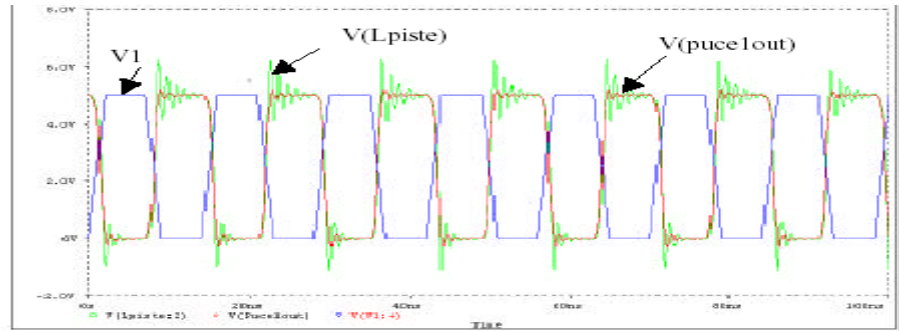


圖 2.10 信號完整性的模擬波形圖

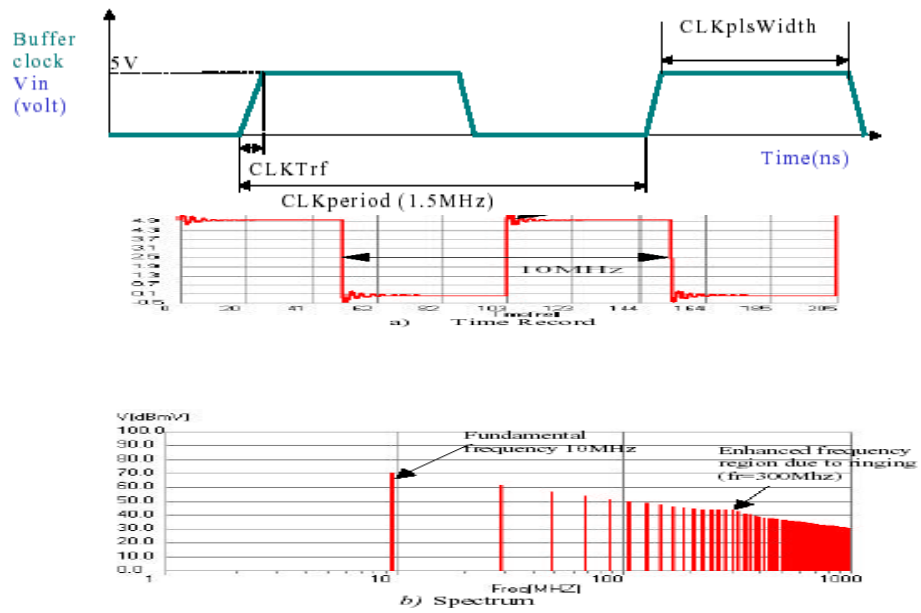


圖 2.11 快速傅立葉轉換(FFT)轉換

第三章 待測積體電路測試板硬體及軟體的規劃

3.1 18F452 介紹

18F452 內部結構圖如圖 3.1 及重要規格如圖 3.2 所示，工作頻率最高到 40MHz，有 4 個 I/O port，2 個 timer

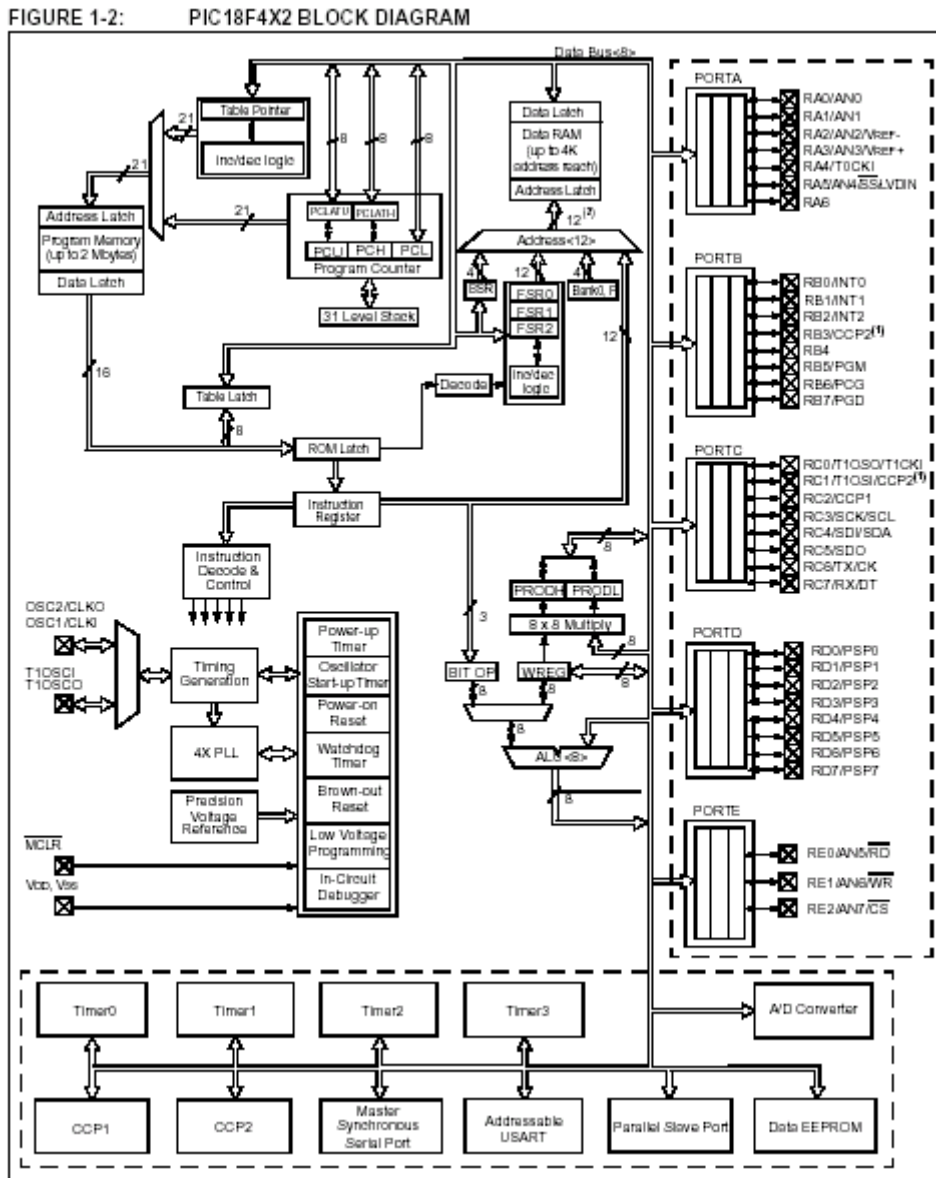


圖 3.1 PIC 18F452 架構

TABLE 1-1: DEVICE FEATURES

Features	PIC18F242	PIC18F252	PIC18F442	PIC18F452
Operating Frequency	DC - 40 MHz	DC - 40 MHz	DC - 40 MHz	DC - 40 MHz
Program Memory (Bytes)	16K	32K	16K	32K
Program Memory (Instructions)	8192	16384	8192	16384
Data Memory (Bytes)	768	1536	768	1536
Data EEPROM Memory (Bytes)	256	256	256	256
Interrupt Sources	17	17	18	18
I/O Ports	Ports A, B, C	Ports A, B, C	Ports A, B, C, D, E	Ports A, B, C, D, E
Timers	4	4	4	4
Capture/Compare/PWM Modules	2	2	2	2
Serial Communications	MSSP, Addressable USART	MSSP, Addressable USART	MSSP, Addressable USART	MSSP, Addressable USART
Parallel Communications	—	—	PSP	PSP
10-bit Analog-to-Digital Module	5 input channels	5 input channels	8 input channels	8 input channels
RESETS (and Delays)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST)
Programmable Low Voltage Detect	Yes	Yes	Yes	Yes
Programmable Brown-out Reset	Yes	Yes	Yes	Yes
Instruction Set	75 Instructions	75 Instructions	75 Instructions	75 Instructions
Packages	28-pin DIP 28-pin SOIC	28-pin DIP 28-pin SOIC	40-pin DIP 44-pin PLCC 44-pin TQFP	40-pin DIP 44-pin PLCC 44-pin TQFP

圖 3.2 PIC18F452 功能特色表

3.2 測試規畫

IC 在作測試應將其功能接腳作一些分類，主要可區分為，圖 3.3

所示

■ 接腳有連接到外部電路

- (1) 輸出驅動
- (2) 輸入信號
- (3) 電源

■ 無沒接腳

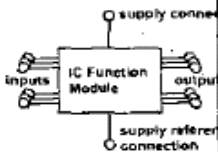
- (1) 數位固定功能單元
- (2) 類比固定功能單元

(3) CPU

■ 接腳沒有連接到外部線路

(1) 振盪器

Table 1 – Example matrix for splitting ICs into IC function modules



Functional module	Connection external circuit via pin								No pin	local external circuits			
	Driver (outputs)					Inputs		Supplies	- Core	Core/inputs			
	Lite driver	Symmetrical line driver	Regional signal driver	High side driver	Low side driver	Line receiver	Symmetrical line receiver	Regional input	All IC function module supplies	Digital fixed function unit	Analog fixed function unit	Central processing unit (CPU)	Oscillator
IC type examples													
Digital ICs	Microcontrollers		*				*	*	*	*	*	*	*
	RAM, ROM, bus drivers		*				*	*	*	*	*	*	
	Logic gate ICs		*				*	*	*	*	*	*	
Analog ICs	Operational amplifier	(*)	(*)	*			*	*	*	*	*	*	
	VCOs			*			*	*	*	*	*	*	*
	Sensor circuit	-	(*)	(*)			*	*	*	*	*	*	
Power driver	High side switch	(*)			*		*	*	*	*	*	*	(*)
	Low side switch	(*)			*		*	*	*	*	*	*	
	Bridge	(*)		*	*		*	*	*	*	*	*	
Interface driver	Symmetrical communication (e.g. CAN, LVDS)		*	*			*	*	*	*	*	*	(*)
	Asymmetrical communication (e.g. LIN, single wire CAN)	*		*			*	*	*	*	*	*	(*)
Voltage regulator, linear				(*)	*		*	*	*	*	*	*	
Voltage regulator, switch mode				(*)	*	(*)	*	*	*	*	*	*	(*)
ASICs		Any combination											
* = standard configuration (*) = possible alternative configuration NOTE For visual examples, see Annex C.													

圖 3.3 IC-EMI 功能分類表