

# 公務出國報告

(出國類別：研習)

## 3D 積體電路電磁相容量測與模擬技術 研習報告

服務機關：經濟部標準檢驗局

出國人職稱：技士

姓名：林明山

出國地區：法國

出國期間：中華民國 101 年 7 月 8 日至 21 日

報告日期：中華民國 101 年 9 月 28 日

## 摘要

本次獲得經濟部國際合作處補助，赴法國土魯斯國立應用科學學院短期研習，主要在瞭解目前相當熱門的 3D IC 製作技術於訊號完整性、電源完整性及電磁相容領域可能引發的衝擊，而有機會預作準備。

本次的行程共有 8 天，課程內容包含了 3D IC 技術簡介、晶片 IBIS 模型簡介、微控制器加記憶體及電路板微帶線之電路模型、MOS 的 I-V 曲線、TSV 的電路模型、根據 IEC 61967-4  $1\Omega$  法於實驗室做量測、根據 IEC 62132-4 DPI 法於實驗室做量測、2D IC 的限制、3D IC 的優勢、3D IC 技術、3D IC 電磁相容的挑戰、3D IC 訊號完整性、3D IC 電源分佈網路及電源完整性、3D IC 的量測方法及 3D IC EMC 案例研習等，內容相當充實。

本次行程有下列幾項比較重要的心得：1. 2D IC 因為連接線路的延遲、功率損耗、功能產出以及可靠度的問題而限制了未來的發展。2. 3D IC 加速訊號的傳遞、消耗更低的功率、能提供更強的功能，可以在未來 Tera-Hz 等級的運算扮演角色。3. 訊號完整性的問題與 TSV 的技術有很大的關聯。4. 目前大部分的研究都集中在訊號完整性及電源完整性。5. 3D IC EMC 目前仍在起步階段，仍有相當大的研究發展創新空間。藉由本次資料蒐集可以為未來有關 3D IC EMC 相關國家標準的製定以及檢測方法的建立預作準備。

## 目 次

摘 要 .....	2
目 次 .....	3
壹、 目的 .....	5
貳、 行程概要 .....	6
參、 過程 .....	8
一、七月十日課程 .....	9
(一) DSPIC(數位訊號處理晶片)測試板 .....	9
二、七月十一日課程 .....	18
(一) 3D 技術 .....	18
(二) 由 CMP/MOSIS 提出之 TSV 結構 .....	24
(三) 3D IC 之設計工具 .....	25
(四) DSPIC 測試板模型簡化 .....	25
三、七月十二日課程 .....	28
(一) IEC 61967-4 conducted emission 量測—1Ω 直接耦合法實驗量測 .....	28
(二) IEC 61967-4 1Ω 直接耦合法模擬—電路板連接、傳統裸晶堆疊及 3D IC 比較 .....	29
四、七月十三日課程 .....	37
五、七月十六日課程 .....	40

(一) 3D IC 的優勢.....	40
(二) 3D IC 的技術.....	42
六、七月十七日課程 .....	44
(一) 3D IC 電磁相容面臨的挑戰 .....	44
(二) 3D IC 訊號完整性.....	46
七、七月十八日課程 .....	51
(一) 3D IC 電源分佈網路及電源完整性 .....	51
(二) 3D IC 的量測方法.....	55
八、七月十九日課程 .....	62
肆、    心得與建議.....	71

## 壹、 目的

3D 積體電路(IC)是目前非常熱門的製造技術，目前的 2D 積體電路製造技術，隨著金氧電晶體的閘極寬度由 45 奈米縮短到 32 奈米，進而到 22 奈米，製造成本不斷上升的情況下，晶片內部的面積非常珍貴，因而有如人類社會的大都會中的土地面積亟昂貴的情況下，建築向上發展一樣，積體電路晶片中的裸晶也向上堆疊，一個晶片中包含多片裸晶，充份利用晶片內部的空間，達到更高的成本效益，但是有別於過去裸晶堆疊時上方裸晶必須比下方裸晶面積小，暴露下方裸晶鉚墊，為打線連接上下裸晶及封裝，3D IC 裸晶堆疊時，必須將裸晶厚度削薄，且利用 TSV(through silicon via) 矽穿孔來連接上下裸晶及封裝，晶片密度因而得以大大提昇，像電腦用的動態隨機存取記憶體 DRAM 就非常適合以 3D IC 的技術來製造，除此之外，影像晶片與類比、數位電路晶片之間的異質連接也非常適合以 3D IC 技術製造。

因應積體電路晶片製作技術的最新發展，積體電路電磁相容(EMC)領域可能產生的影響，就有未雨綢繆之必要。本次研習的目的主要在了解何為 3D IC？3D IC 的最新發展，3D IC 的優勢，最新的積體電路電磁相容量測方法及相關連接製具的發展，利用 IBIS(I/O Buffer Information Specification) 模型來模擬及預測 3D IC EMC，3D IC 在訊號完整性、電源完整性、電磁相容各方面可能產生的影響。

## 貳、 行程概要

訓練進修日期及時間 (Visiting Time)	訓練進修地點 (Location)	實際訓練進修機構及訪談對象 (Institutions & Persons to be visited)	訓練進修目的及討論主題 (Topics for discussion)
7月10日 10 July 9:00-17:00	土魯斯 Toulouse	國立應用科學學院 INSA Etienne SICARD	IBIS 模型簡介，微控制器加記憶體及電路板微帶線之電路模型，MOS 的 I-V 曲線 IBIS model introduction, $\mu C$ + mem + $\mu$ strip lines models, I-V curves of MOS
7月11日 11 July 9:00-17:00	土魯斯 Toulouse	國立應用科學學院 INSA Etienne SICARD	3D IC 技術簡介，TSV 之電路模型 3D IC technology introduction, TSV electric model
7月12日 12 July 9:00-17:00	土魯斯 Toulouse	國立應用科學學院 INSA Etienne SICARD	依據 IEC 61967-4 1 $\Omega$ 法，於實驗室量測內含微控制器之電路板電磁傳導輻射 According to IEC 61967-4 1 $\Omega$ method, lab measurement conduction emission of $\mu C$ board
7月13日 13 July 9:00-17:00	土魯斯 Toulouse	國立應用科學學院 INSA Etienne SICARD	依據 IEC 62132-4 DPI 法，於實驗室量測內含電壓調制器之電路板電磁耐受性 According to IEC 62132-4 DPI method, lab measurement electromagnetic immunity of voltage regulator board
7月16日 16 July 9:00-17:00	土魯斯 Toulouse	國立應用科學學院 INSA Etienne SICARD	2D IC 的限制，3D IC 的優勢，3D IC 技術 Limits of 2D IC, 3D IC benefits, 3D IC technology
7月17日 17 July 9:00-17:00	土魯斯 Toulouse	國立應用科學學院 INSA Etienne SICARD	3D IC 電磁相容的挑戰，3D IC 訊號完整性 3D IC EMC challenges, 3D IC signal integrity
7月18日 18 July 9:00-17:00	土魯斯 Toulouse	國立應用科學學院 INSA Etienne SICARD	3D IC 電源分佈網路及電源完整性，3D IC 的量測方法 3D IC power distribution network and power integrity, 3D IC measurement methods
7月19日	土魯斯	國立應用科學學院	3D IC EMC 案例研習

19 July 9:00-17:00	Toulouse	INSA Etienne SICARD	3D IC EMC case study
-----------------------	----------	------------------------	----------------------

## 參、 過程

法國土魯斯 INSA(國立應用科學學院) Etienne Sicard 教授於積體電路電磁相容領域鑽研甚深，去年本局第六組電磁相容科同仁陳秋國技士、張彥堂技士及 CIC(國家晶片系統設計中心)張大強組長也曾赴 INSA 接受 Sicard 教授 2 個禮拜有關積體電路電磁相容的課程訓練，Sicard 教授每年均於 INSA 提供積體電路電磁相容訓練課程。本次參加經濟部國際合作處赴法短期研習，於洽尋法國提供研習課程的單位時，因 3D 積體電路是目前非常熱門的技術，而且 3D 積體電路之電磁相容是非常前瞻性的研究，所以最後僅有 Sicard 教授回覆願提供相關課程。圖 1 為與 Sicard 教授的合照。

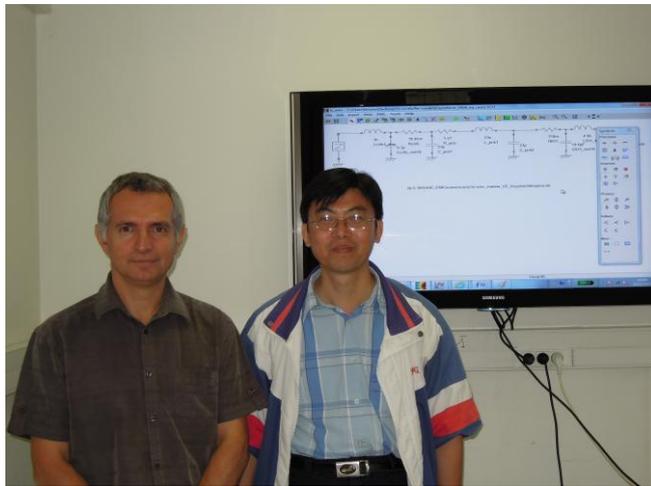


圖 1、與 Etienne Sicard 教授合照

## 一、七月十日課程

### (一) DSPIC(數位訊號處理晶片)測試板

本次提供的訓練課程總計為十天，第一天的課程主要就 Sicard 教授最近研究的電路板內含 Microcontroller(微控制器)/DSPIC(數位訊號處理晶片)及 Memory(記憶體)之電路模型及 IBIS 模型簡介，圖 2 為電路板內含微控制器及記憶體的架構圖，圖中可見微控制器/DSPIC 為 16 位元的訊號處理器，記憶體為內含 1 Mega(百萬)個 8 位元記憶單元的 SRAM(靜態隨機存取記憶體)，而電路板上共有 16 條位置線，圖 2 並未標記。

Sicard 教授為積體電路電磁相容教學訓練，發展模擬軟體，名為 IC-EMC，可於網頁 <http://www.ic-emc.org/>上免費下載使用，為免安裝軟體，必須與 WinSpice 搭配使用。

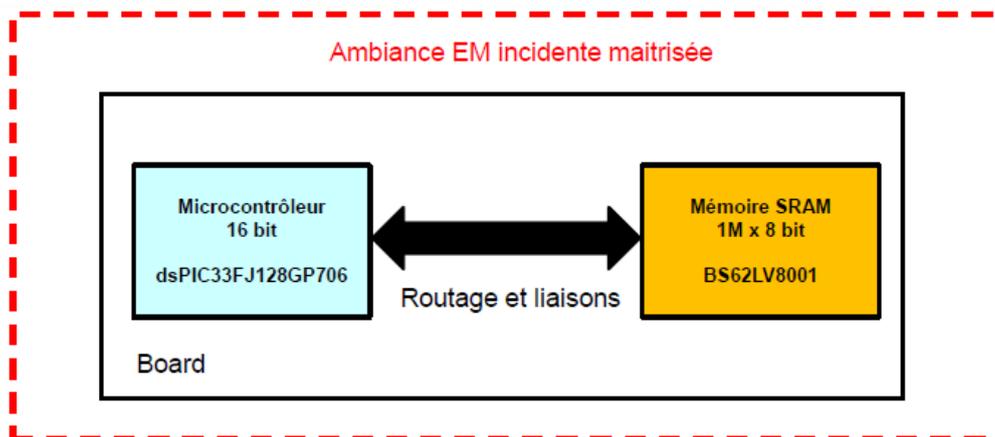


圖 2、電路板內含微控制器/DSPIC 及記憶體的架構圖

在 IC-EMC 軟體中對晶片封裝模型的典型描述如下：

[Package]

|

```

R_pkg          19.05m   21.2m    16.9m
L_pkg          3.025nH   2.61nH   3.44nH
C_pkg          0.269pF   0.268pF  0.270pF
[Package model] qfp
|pack_width=12.0e-3
|pack_height=12.0e-3
|ic_width= 2.0e-3
|ic_height= 2.0e-3
|ic_xstart= 5.0e-3
|ic_ystart= 5.0e-3
|pack_pitch= 0.5e-3
|pack_cavity= 4.0e-3
|ic_altitude= 0.4e-3
|

```

R\_pkg 為封裝某 pin 腳的典型電阻值，19.05mΩ 為典型值，最小值為 16.9mΩ，最大值為 21.2mΩ，L\_pkg、C\_pkg 為封裝某 pin 腳的典型電感及電容值。行首為| 代表該行為註解。如果要對 3D IC 進行模擬的話，必須有 IC 大小等相關資訊如下，圖 3 為目前 IC-EMC 軟體中 IC 的基本資訊。

```

|ic_width= 2.0e-3
|ic_height= 2.0e-3

```

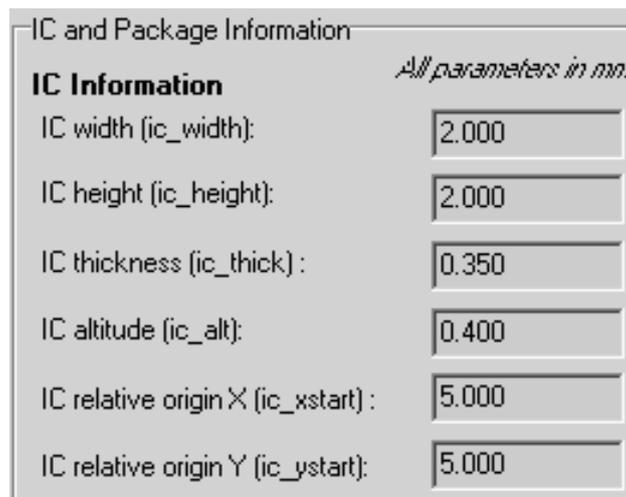


圖 3、IC-EMC 軟體中有關 IC 的基本資訊

一般在 3D IC 堆疊，裸晶的厚度不是 350 μm，可能僅有薄到 50μm，

目前暫時只考慮 350 $\mu$ m 的情況。

IC 的 IBIS 模型基本架構圖如圖 4，IBIS 模型於模擬 IC 向外推動負載，是否能提供負載足夠的電壓電流，也就是訊號完整性，是非常重要的模擬工具。圖中 MOS 電晶體 P，一般稱為 Pull Up，因為其提供 Sig 電壓上升時的電流，MOS 電晶體 N 則稱為 Pull Down，因其提供 Sig 電壓下降時的抽離電流，Power Clamp 二極體為限制 Sig 的電壓過高，GND Clamp 二極體則限制 Sig 的電壓過低。

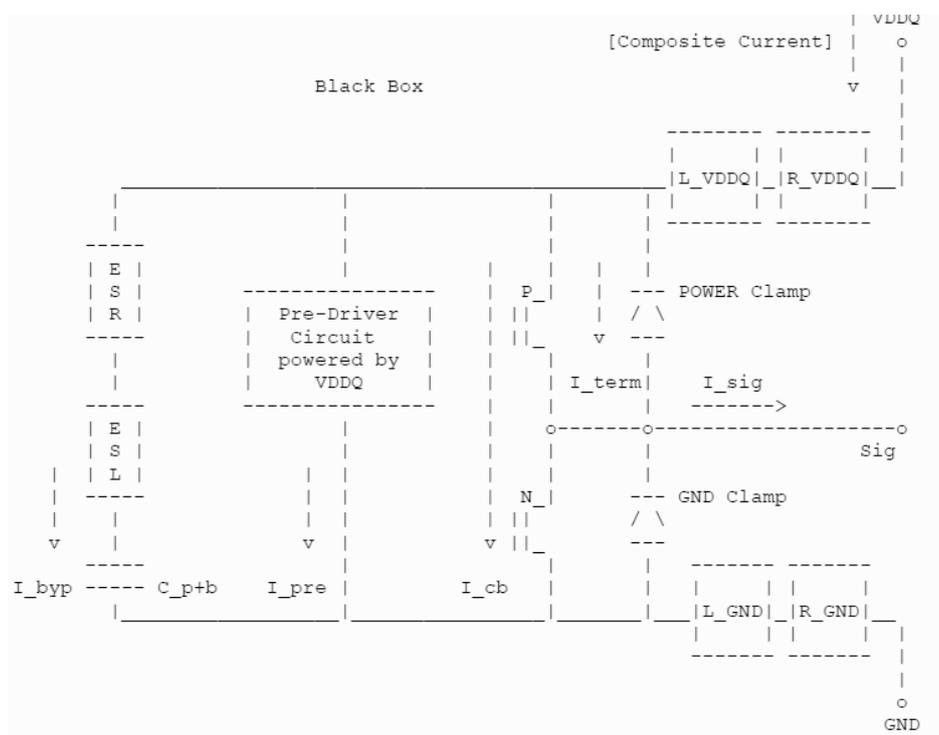


圖 4、IBIS 模型的基本架構

圖 5 為微控制器/DSPIC 的 IBIS 模型中 Pull Down MOS 電晶體的電流-電壓圖，圖 6 則為微控制器/DSPIC 的 IBIS 模型中 Pull Up MOS 電晶體的電流-電壓圖，圖 6 中看起來電流較小，只是圖中電流每格為 100mA，比圖 5

中每格 10mA 大得多。圖 7 及圖 8 則分別為微控制器/DSPIC 的 IBIS 模型中 GND Clamp 及 Power Clamp 二極體的電流-電壓圖。圖 5~8，均由 IC-EMC 軟體中即可查詢。Pull Up 及 Pull Down 電晶體於數位訊號切換時產生雜訊，並由 IC 封裝引腳、金線、電路板上傳輸線等地方輻射出去，以電磁相容的角度而言，是重要輻射源。

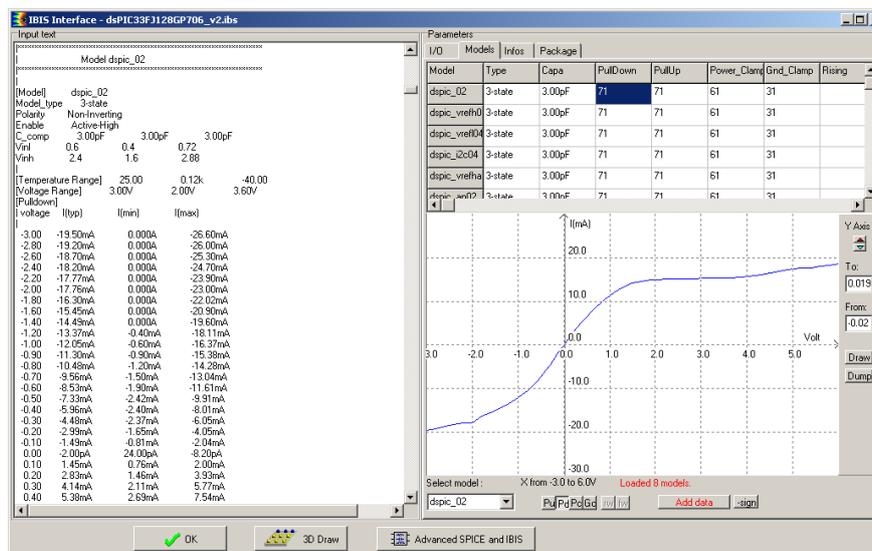


圖 5、DSPIC IBIS 模型的 Pull Down MOS 電晶體電流-電壓圖

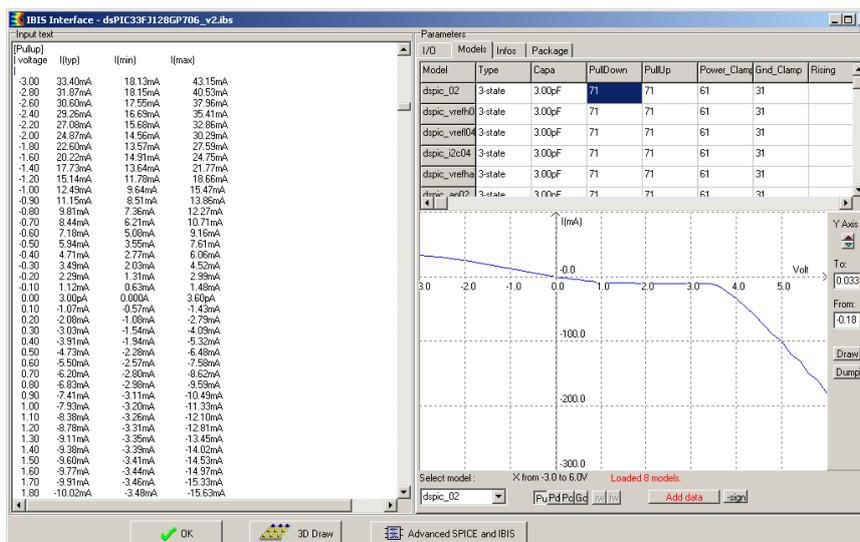


圖 6、DSPIC IBIS 模型的 Pull Up MOS 電晶體電流-電壓圖

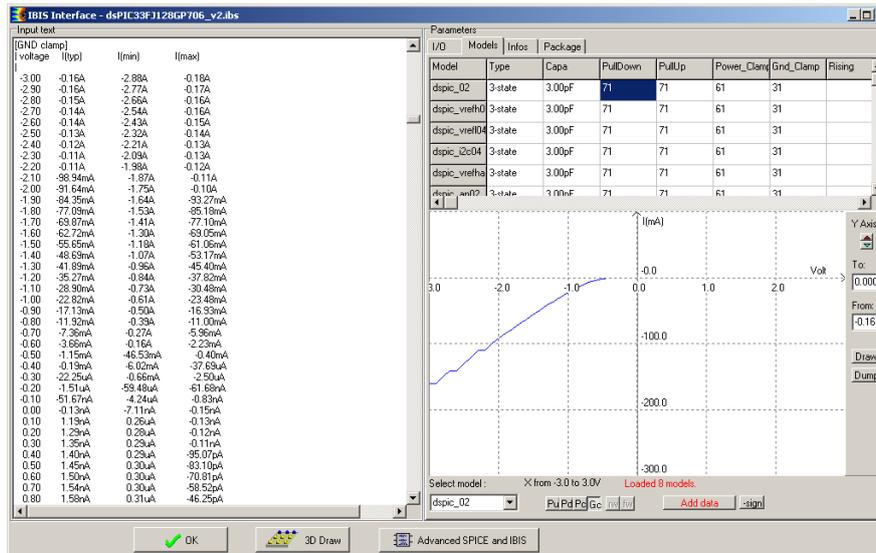


圖 7、DSPIC IBIS 模型的 GND Clamp 二極體電流-電壓圖

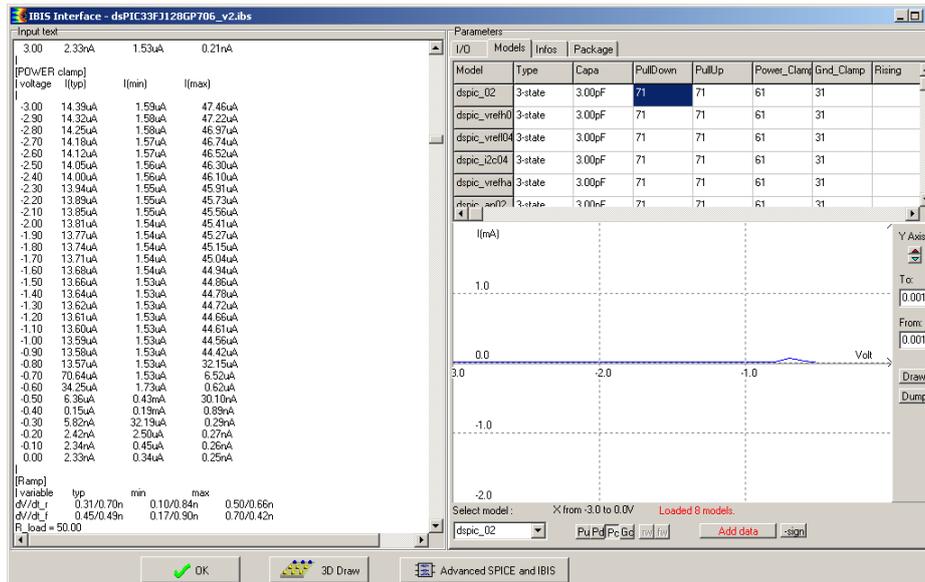


圖 8、DSPIC IBIS 模型的 Power Clamp 二極體電流-電壓圖

IBIS 模型可以被用來建立 R, L, C 電路模型，如圖 9 所示，晶片的 IBIS 模型與封裝的電路模型相連接，R\_pkg, L\_pkg, C\_pkg 為封裝上某支 pin 腳的電路模型。圖 9 中 C\_comp 為晶片上 input/output port 的寄生電容。圖 10 為 DSPIC 上第 6 腳位的封裝 RLC 電路模型及 C\_comp。

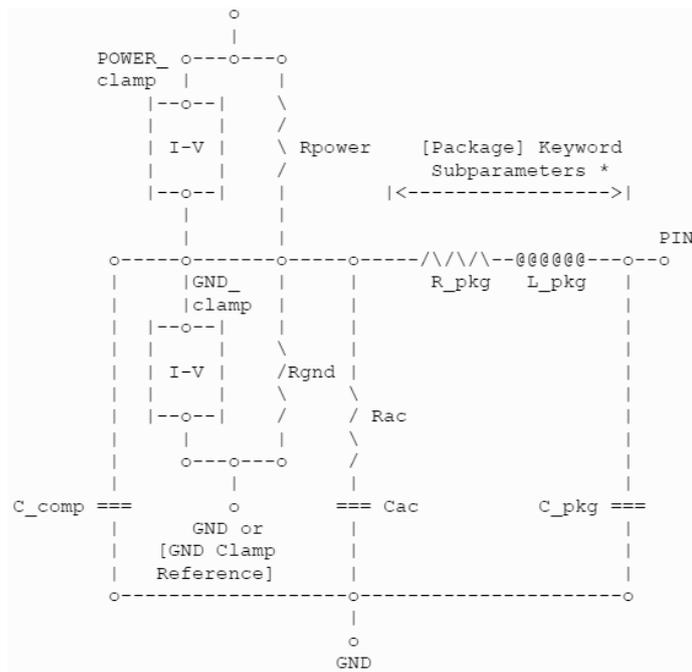


圖 9、IBIS 模型與封裝電路模型的連接

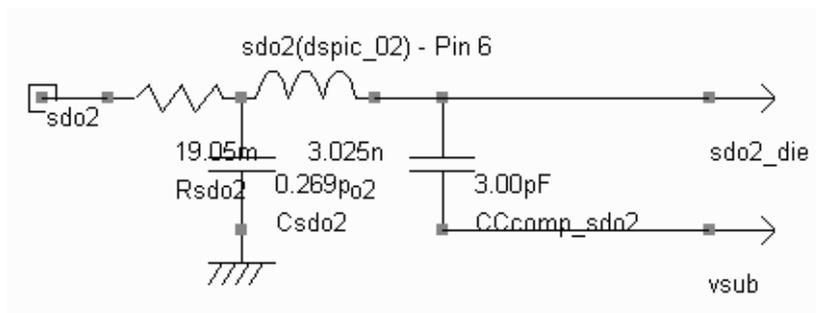


圖 10、DSPIC 上第 6 腳位的封裝 RLC 電路模型及 C\_comp

圖 11 為 PMOS 及 NMOS 電晶體 layout 簡單示意圖，圖中  $L=0.25\mu\text{m}$  就是我們一般所說晶片製程是  $.18\mu\text{m}$  製程或  $90\text{nm}$  製程，也就是 MOS 電晶體的 drain 到 source 之間的距離，此範例為  $.25\mu\text{m}$  製程，寬度  $W=20\mu\text{m}$ 。一般 MOS 電晶體導通時電流大小與 MOS 的寬度  $W$  成正比，與  $L$  成反比， $L$  因製程而固定，可藉由調整寬度  $W$  來達成設計的目的。

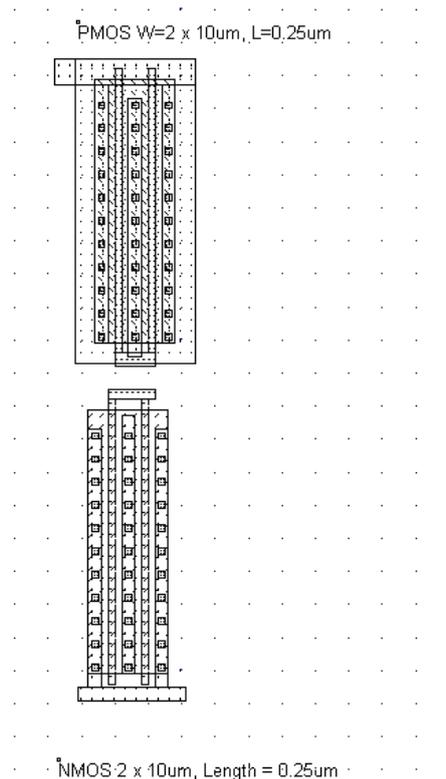


圖 11、PMOS 及 NMOS 的 layout 簡單示意圖

圖 12 為 MOS 電晶體電流-電壓曲線圖，電流與電壓均為 drain(D)與 source(S)之間，不同條曲線為根據不同的 gate(G)與 source(S)之間的電壓。

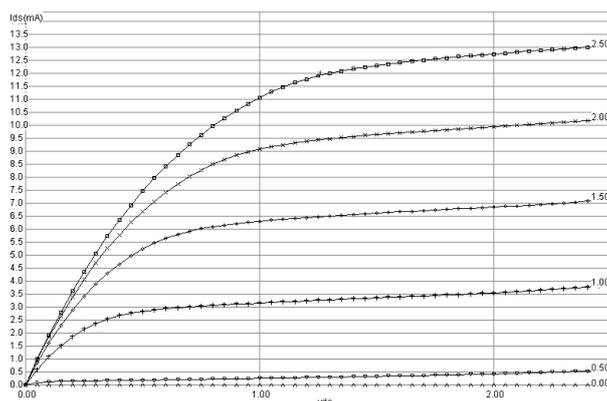


圖 12、MOS 電晶體電流-電壓曲線圖

IBIS 模型的資訊一般包含 V<sub>ds</sub>(drain 與 source 之間的電壓)由 -V<sub>DD</sub> 到 2V<sub>DD</sub>，當進行耐受性模擬時，這項資訊很重要，V<sub>DD</sub> 為供應 MOS 電晶體

的直流偏壓，較早之前為 5 Volts，隨著製程的演進目前 VDD 已來到 1 Volt 附近。

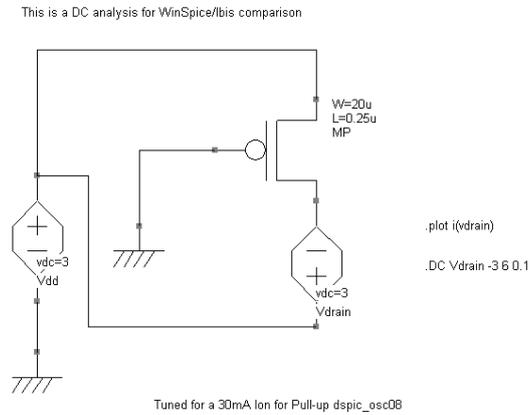


圖 13、Pull Up MOS 電晶體 DC 分析

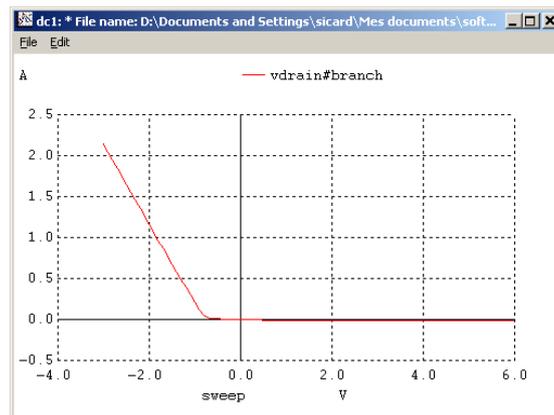


圖 14、電流-電壓曲線圖，Vd 由 -VDD 到 2VDD

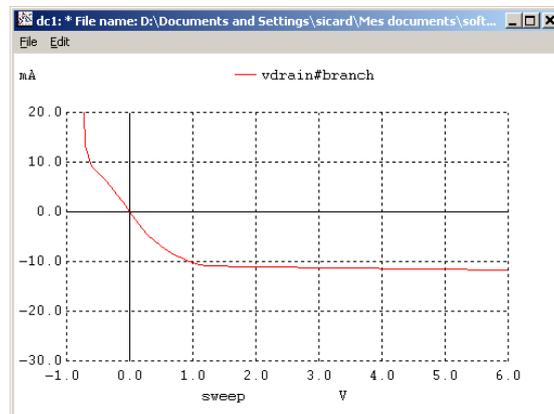


圖 15、電流-電壓曲線圖，為圖 14 的局部放大圖

當調整 IBIS 模型參數時，可以利用圖 13 的電路圖，模擬後可以得到圖 14 的 Pull Up MOS 電晶體電流-電壓曲線圖，可以看到當  $V_d < 0$  時可以看到有 diode 的效應，而當電晶體正常操作時  $V_d = 0 \sim V_{DD}$  時的電流大小可由圖 15 取得。

## 二、七月十一日課程

### (一) 3D 技術

第二天的課程主要就 2D 與 3D IC 技術的比較，說明 3D IC 技術的優點及 Through Silicon Via(TSV)的電路模型簡介。圖 16、17 截取自投影片 ”3D-IC Integration”, CMP, cmp.imag.fr，圖 16 中可以很明顯的看到晶粒及晶粒之間的電連接，是透過矽基板上的穿孔內金屬來連接，此即為 TSV 結構，2D 堆疊 IC 一般還是利用傳統打線的方式來連接。圖 16、17 為就 3D 積體電路及 2D 積體電路堆疊式封裝，各項優缺點比較，3D IC 有較低的功率消耗，晶片與晶片之間電訊號連接透過 TSV 所以有較短的連接，3D IC 的裸晶厚度比 2D IC 薄很多，所以堆疊後密度較高，3D IC 有更好的散熱能力，RC delay 會影響到訊號傳輸的速度，3D IC 有比較低的 RC delay，所以可以傳輸比較快的訊號，其阻抗值也比 2D IC 低，面積也比較小，Interposer 比 2D IC 簡單，Interposer 為裸晶堆疊時，有時會在二顆裸晶的中間，加上一層矽的緩衝晶粒，稱為 Interposer。在 2D IC 堆疊封裝時因為上方晶粒不可以遮蔽住下方晶粒供打金線用的焊墊，且焊墊的位置必須配合封裝上的引腳，才能打到線，以免打線失敗，所以晶粒上的 Input/Output 的間距會有一些限制，3D IC 改用 TSV 的結構來做 I/O 傳輸，所以限制較少。

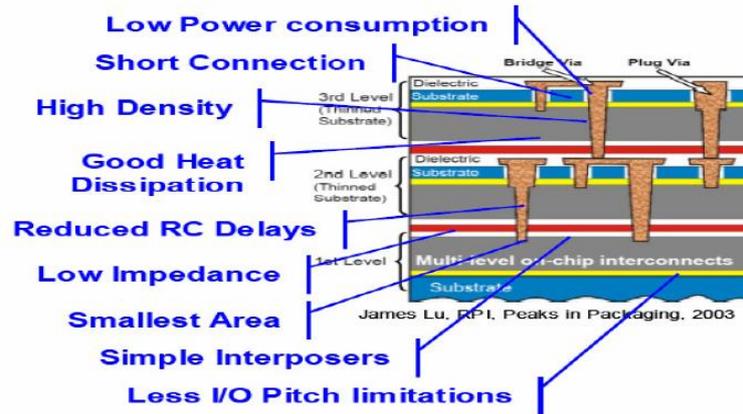


圖 16、3D 積體電路裸晶堆疊剖面圖及各項優點

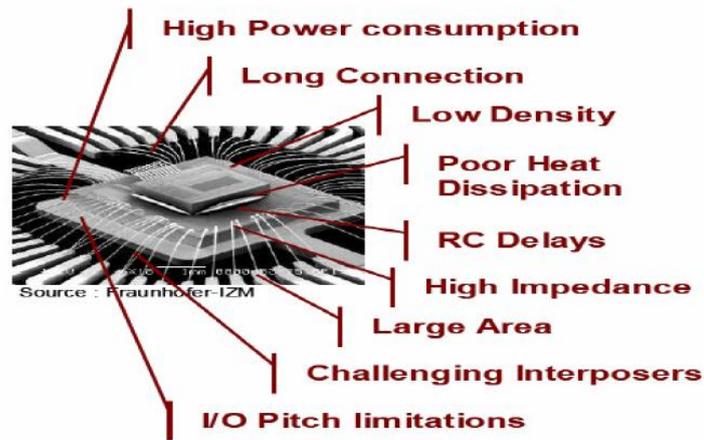


圖 17、2D 積體電路裸晶堆疊立體圖及各項缺點

表 1 截取自 "Implementing a 2-Gbs 1024-bit  $\frac{1}{2}$ -rate Low-Density Parity-Check Code Decoder in Three-Dimensional Integrated Circuits" Lili Zhou, Cherry Wakayama, Robin Panda, Nuttorn Jangkrajarn, Bo Hu, and C.-J. Richard Shi, 由表 1 中明顯晶片總面積縮小，時脈的速度可以加快，因 skew 減小，clock skew 為時脈到達依序相鄰的 2 個暫存器的時間差，該 2 暫存器若要完全同步，skew 必須為 0，另外功率消耗大幅減小，如果將這些因素改善效益比值相乘， $290.35/119.56 \times 2.33/1 \times 646.2/260.2 \doteq 14$ ，可以得到總效益達 14 倍。

表 1、3D IC 及 2D IC 設計的比較

Comparison between 3D and 2D designs

	2D design	3D design
Area (mm*mm)	18.238*15.92 =290.35	(6.4*6.227)*3 = 119.56
Total wire length (m)	182.42	22.39+22.57+22.46 =67.42
Max WL before buffer insertion (mm)	13.82	8.68
Max WL after buffer insertion (mm)	4	4
Buffer used	32900	24636
Clock skew (ns)	2.33	1
Power dissipation (mw)	646.2	260.2

**Performance Factor (Area \* Timing \* Power) = 14**

除了效益大幅提昇外，3D IC 相較於 2D IC 在電磁相容方面有下列的效應：1. Buffer 數減少，特別是 I/O 的簡化，大約下降 30%，2. 以 TSV 連接的晶片，沒有與封裝 Pin 腳相接，不需使用 ESD(靜電放電)保護元件及打線用大焊墊，減少 I/O 電容，3. 增加操作速度，效益因子約 2.5 倍，甚至在”3D-IC Integration”，CMP 提到在 RISC CPU 速度效益可達 5 倍，4. 降低電感效應，PCB 電路板上的線路電感值概估為 30nH，堆疊晶片上的金線電感概估為 3nH，TSV 上的線路電感值則估為 0.3nH，5. 功率消耗減少 3 倍至 10 倍，6. 假如功率切換雜訊下降 3 至 10 倍，寄生輻射將會降低 6 至 20dB。

表 2、電路板、傳統裸晶堆疊及利用 TSV 的裸晶堆疊與電磁相容相關效益比較

	PCB	Stacked dies	Dies with TSV
Ltrack (nH)	30	3	0.3

Ctrack (pF)	10	1-5	1-10
Ccomp (pF)	5	5	0.5
Speed	x 1	x 2-5	x 3-10
Power consumption	/ 1	/ 2-5	/ 3-15
Antenna effects	Huge at low freq	Maybe increased by sup bondings	Low, equal to single die
Conducted emission	High	Reduced by 6-20 dB	Reduced by 6-20 dB
Radiated emission	Very high	Low, except in bonding areas	Very low
Susceptibility	High	Low, except in bonding areas	Very low

表 2 是有關電磁相容的各項效益比較於電路板、傳統式裸晶堆疊及利用 TSV 的裸晶堆疊之間，首先必須強調的是此表中的數值不是一個絕對的數值，而是大約如此的數量級的大小，著重的是三者關係的比較，譬如表 2 中 PCB 電路板上一條傳輸線的電感值大約為 30nH，一般是用 1mm 長的電路板上傳輸線為電感值 1nH，所以 30nH 為 30mm 長，以此為代表，裸晶堆疊為 3nH，因為裸晶堆疊上的打線長度很短，TSV 中的傳輸線電感值約為 0.3nH，此非絕對，代表只是數量級上的變化，愈長的傳輸線其電感值會愈大。電路板傳輸線上的電容值約為 10pF 這樣的數量級，傳統式堆疊裸晶上的 bonding 線電容值則約為 1~5pF，此 2 數值可由一般電路板及封裝上的電路模型來取得大約的數值，TSV 傳輸線上的電容則約與 PCB 板上的傳輸線電容值相當。Ccomp 則與裸晶上的 I/O 焊墊大小有關，明顯地 3D IC 裸晶上的 I/O 焊墊比傳統裸晶上的 I/O 焊墊要小很多。Clock 速度及功率消耗之

前已有述敘。天線效應來說在 PCB 上低頻的部分相對是很大的，傳統裸晶堆疊輻射的頻率會較高，強度會因裸晶上方的 bonding 線而增強，利用 TSV 的裸晶堆疊 IC 的天線效應相對來講是三者中最低的，大體上約等於單一個裸晶的輻射量。Conducted emission(傳導發射)方面，PCB 電路板的 conducted emission 的量是高的，傳統裸晶堆疊及 3D IC 的 conducted emission 比 PCB 都下降大約 6~20dB，此方面效益主要與晶片消耗的功率下降有關。Radiated emission(輻射發射)方面，PCB 的量相較而言是非常高的，因為其不論電偶極或磁偶極天線的大小比其他二者，都大得多，輻射量自然也較大，傳統裸晶堆疊的 radiated emission 較低，除了 bonding area，利用 TSV 的裸晶堆疊之 radiated emission 很低，因為連 bonding 線都沒有，輻射量是最低。在 Susceptibility(易感受性)方面，與 radiated emission 情況相同，因為有較大天線，就容易將電磁波的能量導入，進而影響到標的物，PCB 有最大的天線，Susceptibility 較高，利用 TSV 的裸晶堆疊之 Susceptibility 最低。

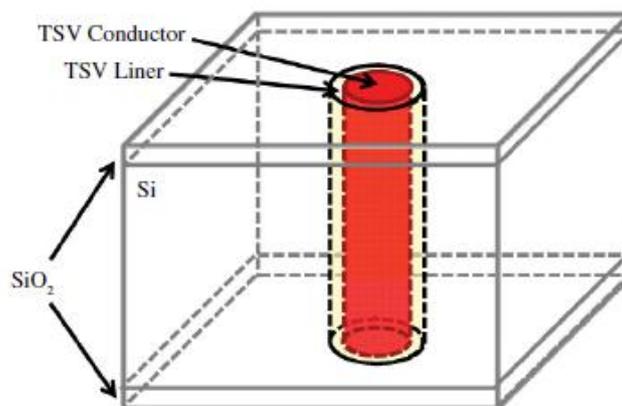


圖 18、TSV 的結構

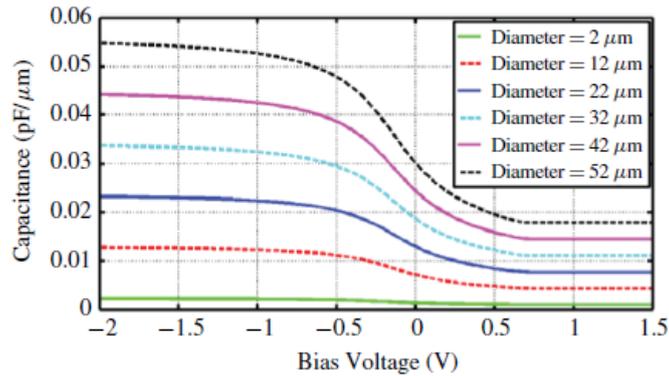


圖 19、依不同的 TSV 直徑，單位長度的 TSV 電容對偏壓作圖

圖 18、19 均由”Rigorous Electrical Modeling of Through Silicon Vias (TSVs) with MOS Capacitance Effects”, Tapobrata Bandyopadhyay, 2011 論文中截取出來。有關於較大的 TSV 產生的效應如下：1. 由圖 19 知 TSV 的直徑  $>50 \mu\text{m}$ ，矽基板的厚度大於  $300 \mu\text{m}$  時，單個 TSV 的電容值約  $10\text{pF}$ 。2. 較高的電容值致使充放電時需要較大的 I/O Buffer。3. 較大的 I/O Buffer 也就代表了較高的 Simultaneous Switching Noise(SSN)，較高的 SSN 代表了較高的傳導雜訊。4. 因為 TSV 比較大的電容值而降低訊號切換速度及較低的電感值，在 TSV 附近的 Radiated emission 應該會較低。5. 在封裝附近的 Radiated emission 應該會較高，因為較高的 SSN。6. 較大的 TSV 而引起之較大的電容，可致使 Immunity 改善，因為大電容扮演濾波的角色，對 Immunity 而言，任何晶片上的電容對 Immunity 多多少少都是有好處的。

## (二) 由 CMP/MOSIS 提出之 TSV 結構

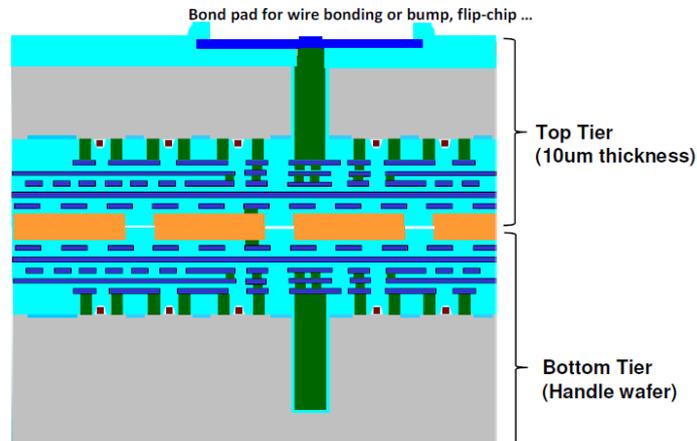


圖 20、TSV 結構

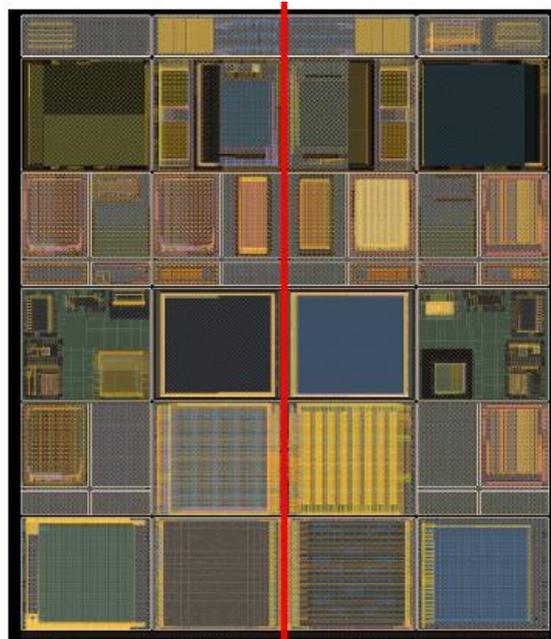


圖 21、為圖 20 所示上下裸晶分割前之上視圖

圖 20 為由 CMP(Circuits Multi Project)/MOSIS (Metal Oxide Semiconductor Implementation Service)所提出的 TSV 結構，圖 21 為圖 20 所示上下裸晶分割前之上視圖，可以看出左右完全對稱。圖 20 中下方裸晶為一般晶片厚度(350 $\mu\text{m}$ )，上方裸晶為覆晶結構，且透過機械研磨讓厚度薄至



上 5 cm 的傳輸線後接上記憶體的封裝線路模型( $R\_Pack\_M^*$ ,  $L\_Pack\_M^*$ ,  $C\_Pack\_M^*$ )，之後接上記憶體位址單元的等效電容( $C_{comp\_IO}^*$ )。可以將 16 條線路合併簡化為 1 條，如圖 24 所示，不過有些參數要做調整，在 I/O Buffer 的 pull up 及 pull down 電晶體的  $W$  要乘 16 倍，或者將所將各個 I/O Buffer pull up 及 pull down 的  $W$  各別相加，成為簡化後的 pull up 及 pull down 的  $W$  值，電晶體的  $L$  則維持不變，pull up 及 pull down 電晶體的  $W$  及  $L$  請見圖 11 的簡介內容。16 條線路上的  $L$  及  $R$  要除 16 得到簡化後的 1 條線路上的  $L$  及  $R$  值，16 條線路上的  $C$  則要乘 16 得到簡化後的 1 條線路上的  $C$  值，如圖 24 中所示， $L$  是電感、 $R$  是電阻、 $C$  是電容。Sicard 教授有對簡化前後的電路做模擬結果比較，在 IC EMC 領域中的模擬結果相差在可容許的範圍內。

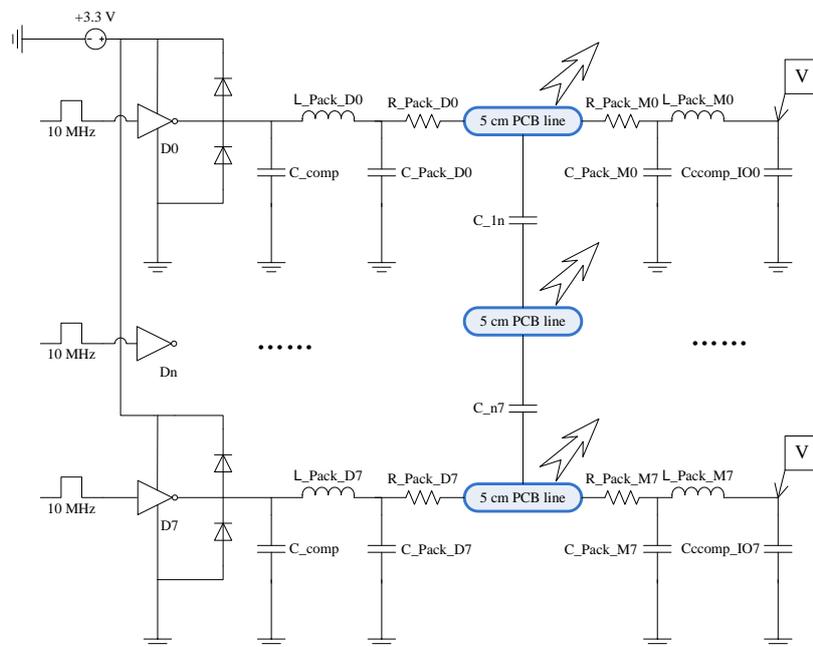


圖 23、DSPIC 測試板電路模型

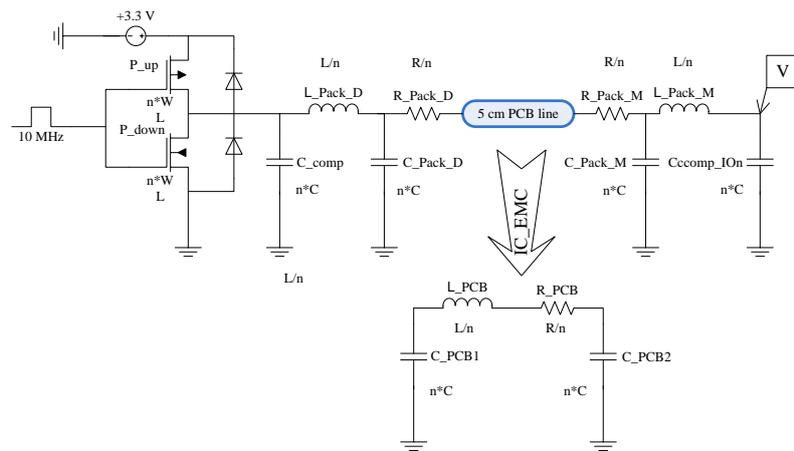


圖 24、DSP 測試板簡化後電路模型

### 三、七月十二日課程

#### (一) IEC 61967-4 conducted emission 量測— $1\Omega$ 直接耦合法實驗量測

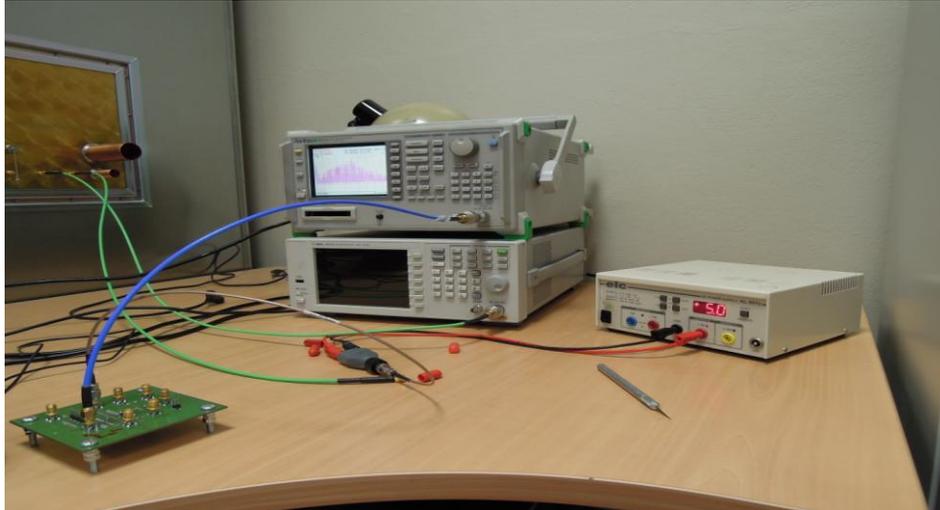


圖 25、IEC 61967-4  $1\Omega$  直接耦合法量測設備架設

$1\Omega$  法的量測設備非常簡單，如圖 25 所示，主要為一台 DC Power Supply 提供直流電源供應予測試電路板，另外為一台頻譜儀將量測訊號經由 SMA 接頭及 cable 線連接到頻譜儀的訊號接入埠，一般頻譜儀的訊號接入埠均為 N 接頭，所以需要一個 SMA 轉 N 接頭的 adaptor。測試板的設計也並不困難，如圖 26 所示，主要在待測的 IC 的全部 ground pin 腳連接為 IC ground，在 IC ground 及電路板總 ground 之間，加上  $1\Omega$  電阻，名為 RF current probe，用以量測經過此  $1\Omega$  電阻的電流大小，一般量測 IC ground 及  $1\Omega$  電阻相接點的電壓，即為流經  $1\Omega$  電阻的電流大小，此電壓隨頻率的響應，可由頻譜儀量出。於法國 INSA 做此法量測訓練時，待測 IC 為 DSP 晶片。

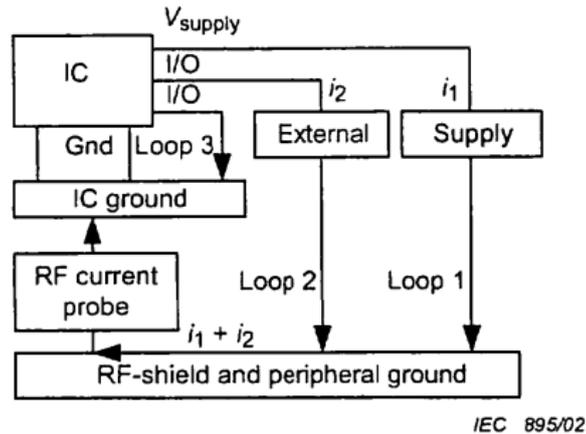


圖 26、有 2 個 ground pin 腳、小的 I/O 迴圈及 2 個 I/O 發散迴圈的 IC

## (二) IEC 61967-4 $1\Omega$ 直接耦合法模擬—電路板連接、傳統裸晶堆疊及 3D IC 比較

### 1. 電路板連接 DSPIC 及記憶體

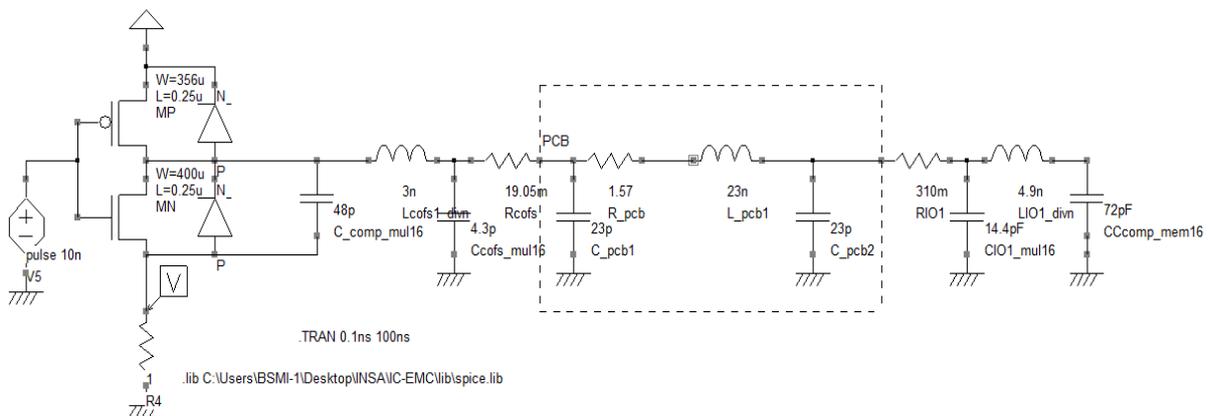


圖 27、電路板連接 DSPIC 及記憶體之電路模型

圖 27 所示電路模型包含 DSPIC 定址線的 ibis model，封裝線路 R, L, C 電路模型，電路板上傳輸線電路模型，記憶體封裝線路 R, L, C 電路模型，及記憶體上之等效電容，此電路模型為原 16 條定址線電路模型簡化為 1 條線路，簡化法則如前章節所述。圖 27 中 pull down 電晶體

MN 下方有加上電壓量測單元 V 及  $1\Omega$  電阻，此為 IEC 61967-4  $1\Omega$  法的量測配置。圖 28 為電壓量測單元 V 的時域模擬結果，模擬軟體為 IC-EMC。由圖中基本上可以看出穩態輸出時，20 ns 的時間間隔中約有 2 個波，1 個波的週期約 10 ns，與圖 27 中 10 ns 週期的方波輸入相符合。於 IC-EMC 軟體中可將時域的訊號轉為頻域訊號，演算法為快速傅利葉轉換(FFT)，圖 29 為將圖 28 轉為頻譜時所得之結果，由結果可看到在 100 MHz 的整數倍可看到 peak，且以 100 MHz 的量最大，週期 10 ns 的弦波其頻率為 100 MHz，結果大致符合預期。

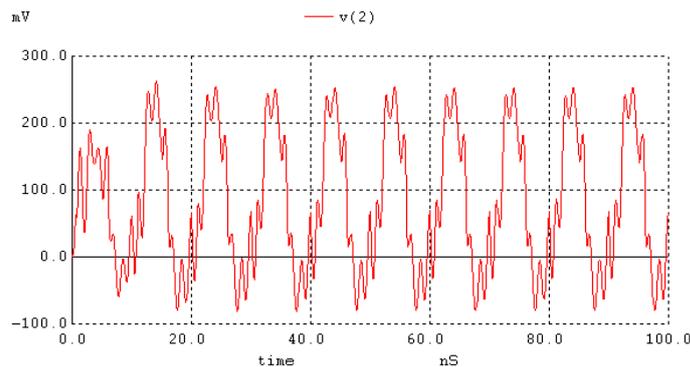


圖 28、以電路板連接 DSPIC 與記憶體時， $1\Omega$  法的時域模擬結果

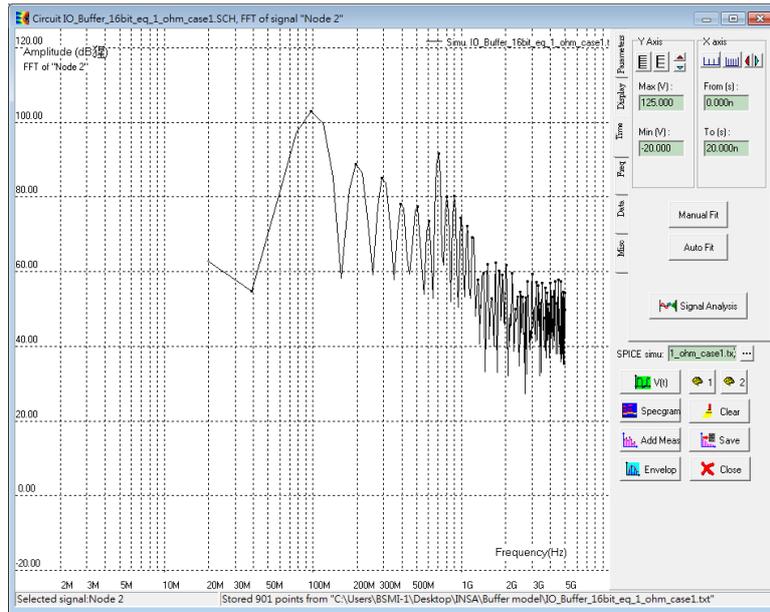


圖 29、以電路板連接 DSPIC 與記憶體時， $1\ \Omega$  法的頻域模擬結果

## 2. 傳統裸晶堆疊連接 DSPIC 及記憶體

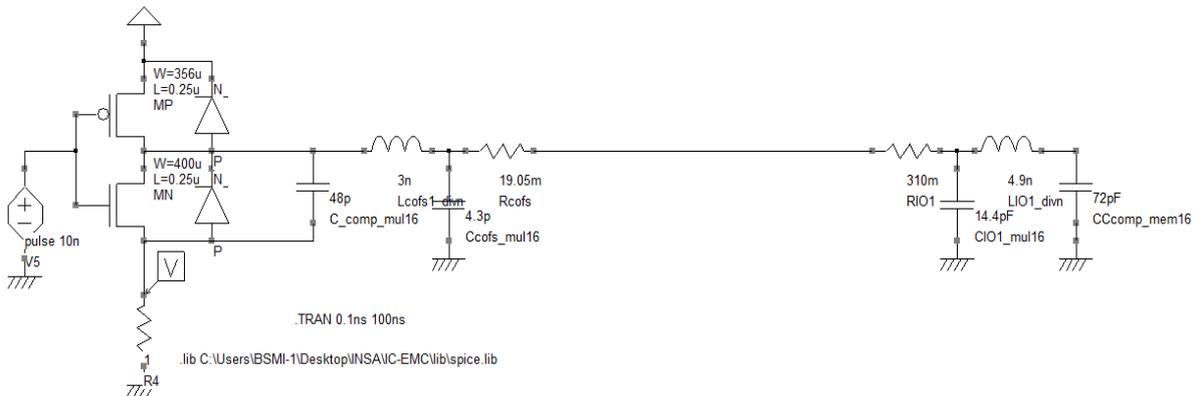


圖 30、以封裝 bonding 線連接 DSPIC 及記憶體之電路模型

由圖 27 與圖 30 的比較得知在 DSPIC 的 ibis model 及記憶體的等效電路模型的部分並沒有變化，DSPIC 及記憶體的 bonding wire 電路模型的部分也沒有變化，電路板部分的傳輸線電路模型則完全移除，因為裸晶堆疊的 DSPIC 及記憶體均在 IC 內部連接，沒有電路板的部分。

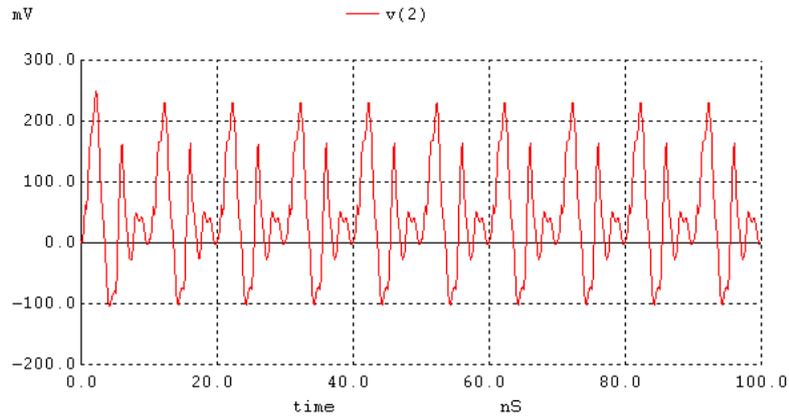


圖 31、裸晶堆疊以金線連接 DSPIC 與記憶體時， $1\Omega$  法的時域模擬結果

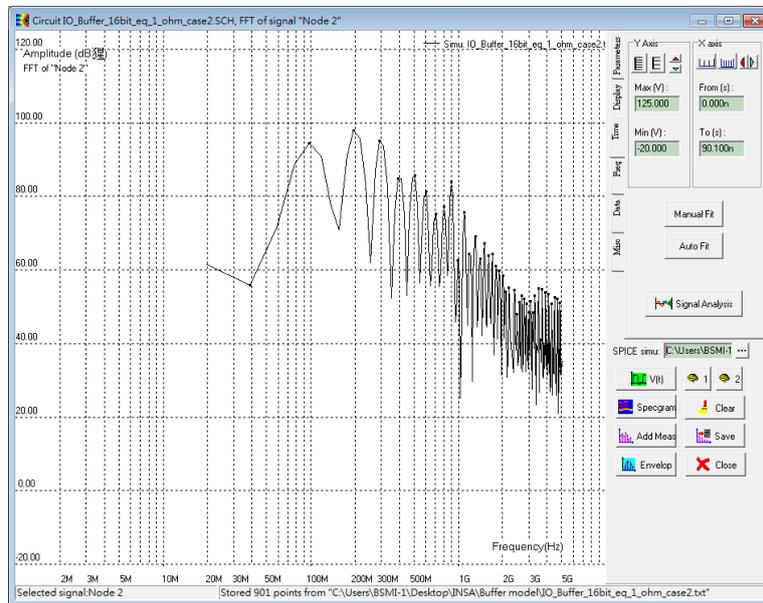


圖 32、裸晶堆疊以金線連接 DSPIC 與記憶體時， $1\Omega$  法的頻譜模擬結果

由圖 31 與圖 28 相同，在  $1\Omega$  法的時域模擬結果中，基本上均在 20 nS 中可以包含 2 個穩態週期波，此為合理的結果。在  $1\Omega$  法的頻譜模擬結果中，比較圖 32 與圖 29 後發覺原本最大的訊號出現在 100 MHz，在裸晶堆疊的案例中，明顯此訊號受到抑制，以電磁相容的觀點而言，有比較低的 conduction emission，此為一合理結果。

### 3a. 有 90 $\mu\text{m}$ 高、30 $\mu\text{m}$ 直徑 TSV 的 3D IC

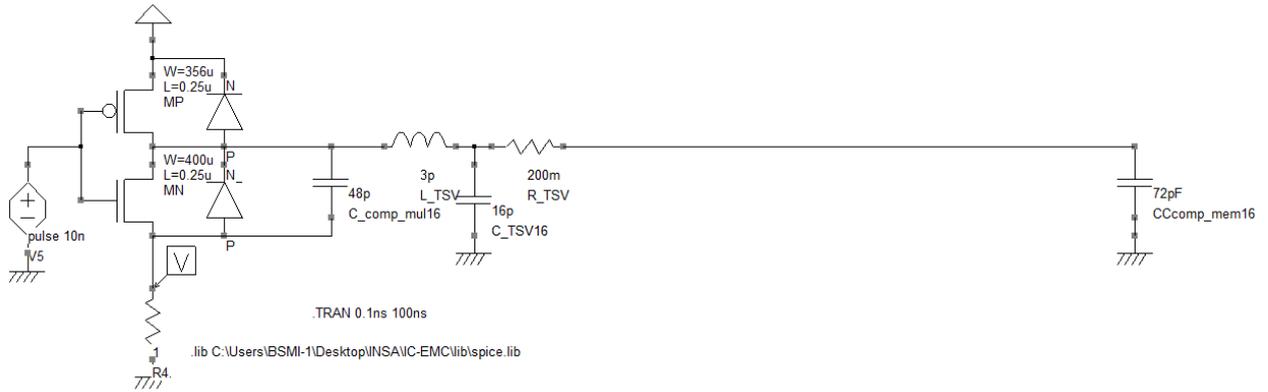


圖 33、以 TSV 連接 DSPIC 及記憶體之 3D IC 電路模型

由圖 30 及 33 的比較我們發現圖 30 中的 DSPIC 及記憶體 IC 的封裝 bonding 金線電路模型已經移除，取代的是 TSV 的 R, L, C 電路模型，因為 DSPIC 與記憶體 IC 僅以 TSV 相連，TSV 的電路模型取材已發表的文獻，譬如電容的部分，由圖 19 知 30 $\mu\text{m}$  直徑的 TSV 之單位長度電容約為 0.016 pF， $0.016\text{pF}/\mu\text{m} \times 90\mu\text{m} = 1.44\text{pF}$ ，取 1pF，因有 16 條位址線，最後的等效電路總電容要乘 16 倍，所以約 16pF。

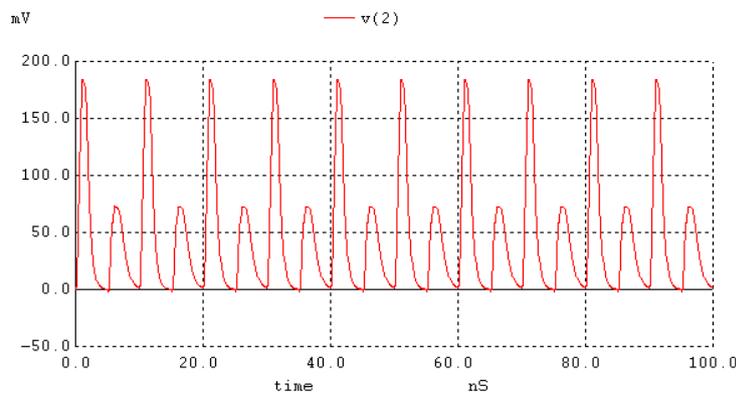


圖 34、3D IC 以 TSV 連接 DSPIC 與記憶體時，1 $\Omega$  法的時域模擬結果

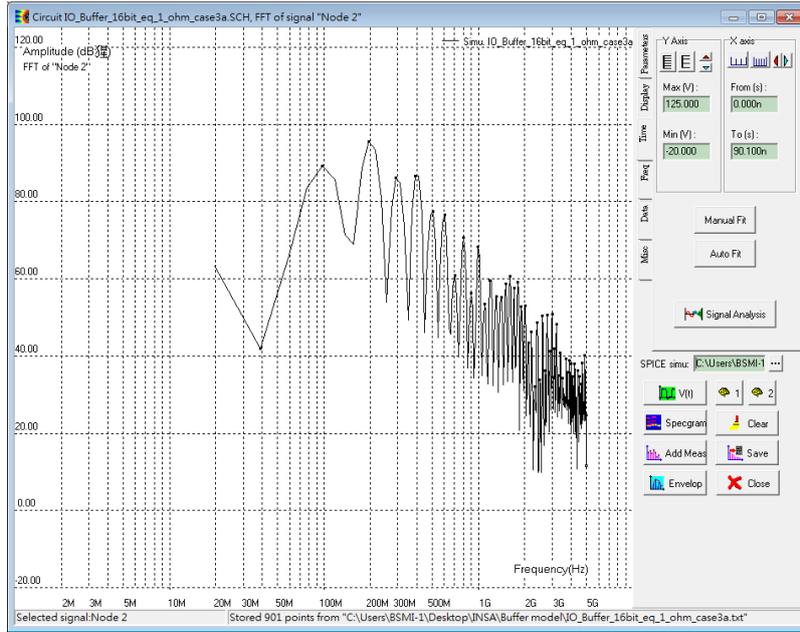


圖 35、3D IC 以 TSV 連接 DSPIC 與記憶體時，1Ω 法的頻譜模擬結果

圖 34、35 為 3D IC 製作方法以 TSV 連接 DSPIC 與記憶體時，依據 IEC 61967-4 1Ω 法量測 conduction emission 的模擬，分別為時域及頻域的結果。圖 35 與圖 32 比較後，我們發覺 3D IC 的 conduction emission 比起傳統裸晶堆疊的結果更低，傳導干擾更少，結果更佳。

### 3b. 有 20μm 高、2μm 直徑 TSV 的 3D IC

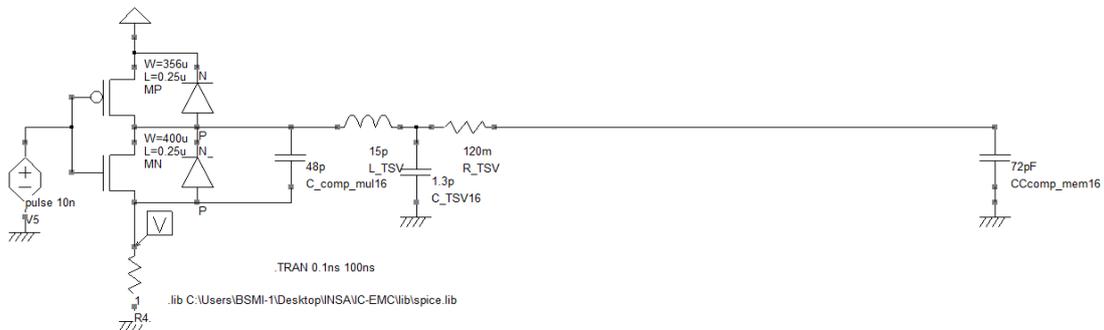


圖 36、以 TSV 連接 DSPIC 及記憶體之 3D IC 電路模型

比較圖 33 及圖 36，我們發覺只有 TSV 的等效電路模型有差異，尤其是電容的部分，由 16 pF 降至 1.3 pF，主要是 90 $\mu\text{m}$  長度降至 20 $\mu\text{m}$ ，而直徑 30 $\mu\text{m}$  降至 2 $\mu\text{m}$ ，一般電容與介電層兩邊的面積有關，直徑及長度減少，介電層 SiO<sub>2</sub> 兩邊的等效面積會降低。TSV 的等效電路 R, L, C 數值大小均有參考文獻。

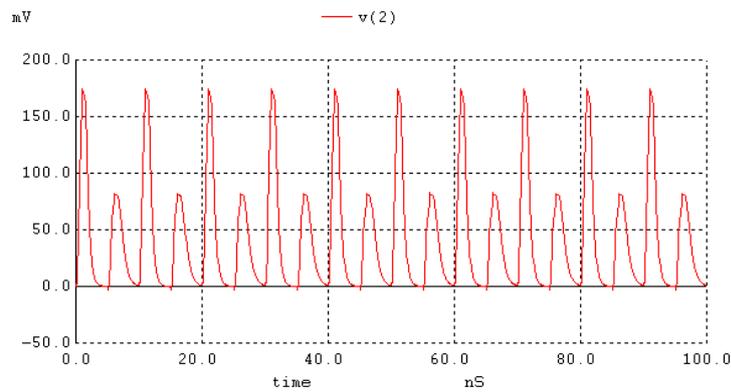


圖 37、3D IC 以 TSV 連接 DSPIC 與記憶體時，1 $\Omega$  法的時域模擬結果

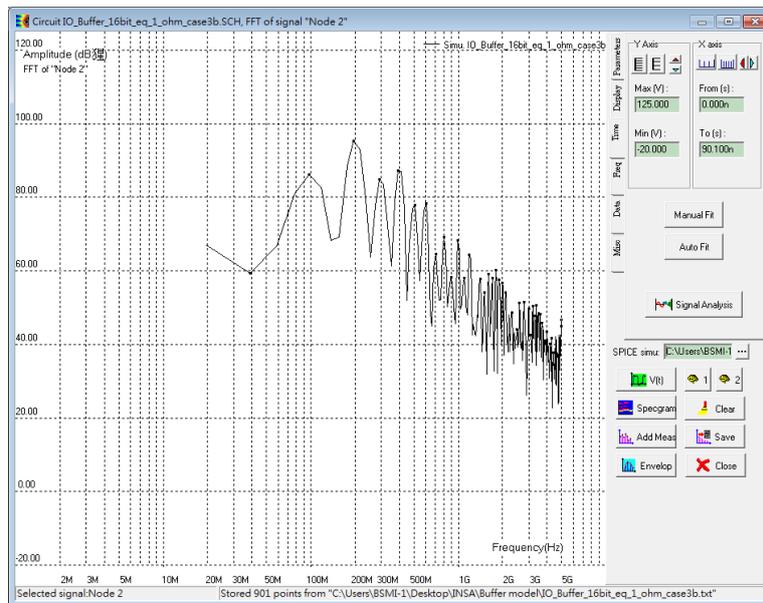


圖 38、3D IC 以 TSV 連接 DSPIC 與記憶體時，1 $\Omega$  法的頻譜模擬結果

比較圖 35 及圖 38 後發覺，在 100 MHz 的頻譜反應 3b 比 3a 還低，但在 200 MHz 的頻譜反應的差異並不大，整體而言，兩者差異不大，但均優於前述傳統裸晶封裝及 PCB 連接的案例。圖 39 為案例 1、2 及 3a 於 1Ω 法的頻譜模擬結果比較圖，可以看出案例 1(黑色線)以 PCB 來連接 DSPIC 及記憶體時有最大的 conduction emission 於 100 MHz，案例 2(藍色線)，最大傳導干擾出現在 200 MHz，小於案例 1 的最大傳導干擾，而案例 3a(綠色線)最大傳導干擾出現在 200 MHz，仍低於藍色線，所以以 TSV 來連接 DSPIC 及記憶體可以達到最低傳導干擾。

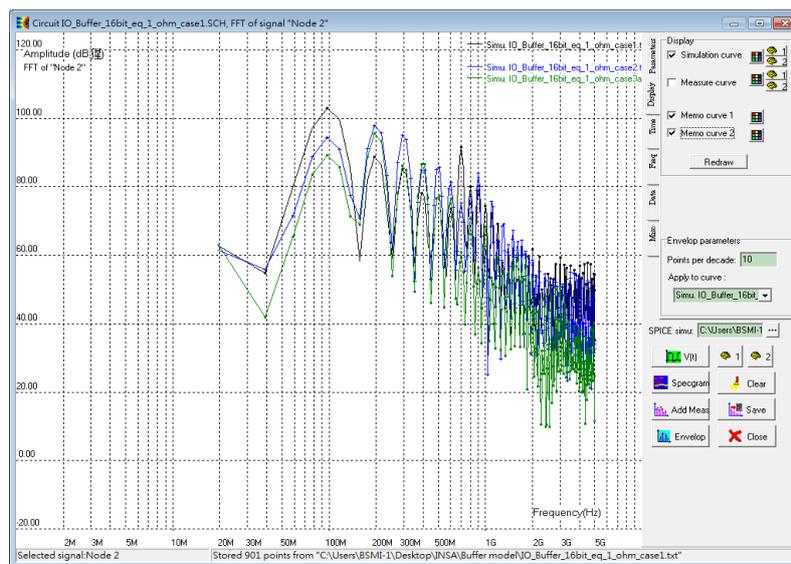


圖 39、以 PCB、封裝金線及 TSV 連接 DSPIC 與記憶體時，1Ω 法的頻譜模擬結果比較圖

#### 四、七月十三日課程

內容主要於實驗室中依據 IEC 62132-4 DPI(Direct Power Injection)法量測內含電壓調制器(voltage regulator)之電路板電磁傳導耐受性，首先感謝中國大陸交換學生吳劍飛的協助，圖 40 為此次研習於 INSA 實驗室的 DPI 法實驗架構圖，首先訊號由圖右上角的訊號產生器產生弦波訊號，經圖右最大台儀器功率放大器放大，此功率放大器為固定的放大倍數，但是此固定之放大倍數會隨頻率而有改變，訊號經放大器後進入方向耦合器(directional coupler)，方向耦合器主要為量取入射波及反射波的功率，經方向耦合器後訊號經過 1 個電容，而後進入欲量測的 IC pin 腳，若欲量測的 IC pin 腳是 Power 腳位，因為 IC Power pin 會連接 Power Supply，不可讓放大後的弦波進入 Power Supply，而將 Power Supply 燒毀，所以在 Power Supply 與 IC Power pin 之間一般會加上電感阻隔交流訊號，如圖 41 中 Decoupling Network，而前述的電容則會阻止 Power Supply 的直流電壓進入方向耦合器及訊號放大器，如圖 41 中的 DC Block，此設計如一般市售的 BiasTee 內部電路。一般要耐受性量測都必須決定何狀況下，受測樣品為功能 Fail，所以都會使用示波器來監視 IC 的電壓值是否正常？判定 Fail 的準則由測試者自行決定。因為此次量測的是電壓調制器的輸出電壓，我們以輸出電壓超出 5% 的誤差，即判定 IC 功能 Fail。圖 40 中央黑色面板的儀器即為示波器。本次實驗以電腦完全自動化測試，因為耐受性測試，必須測試的點很多，

首先是頻率，再來是打多大的功率，功率會由電腦控制慢慢上升，直到 IC Fail 或者功率到達預定的最大值，此時 IC 若沒有 Fail，也不會再打更大的功率。此次實驗是否 Fail？是由示波器來決定，再將結果傳回控制電腦，此前筆者使用示波器，均未用過此功能。另外值得一提的是，探測電路板上某點的電壓，此次實驗使用有尖端的探針來量取，探針另有 2 個支腳，以 3 點構成一個平面的方式來穩定，如圖 40 中央電路板右方的小器件，筆者以前也未見過此工具。

當量測時某一個頻率點測完，到下一個頻率點量測時，起始的功率要打多大？此次實驗是完全從最小的功率打起，最大功率及最小功率是在實驗前就要決定，最大功率的決定是怕會將晶片燒毀或永遠性功能損毀，最小功率的決定在晶片功能沒有受到電磁干擾影響的可能。有些測試在決定下一個頻率點量測時，起始功率會比上一個頻率點發生晶片功能 Fail 的功率值再小特定百分比，這樣才不必由最小的功率打起，測試的功率值比較少，節省實驗時間。

最後，我們會將量測結果的入射波的功率值對頻率作圖，圖 42 為圖例。



圖 40、DPI 法量測儀器架構圖

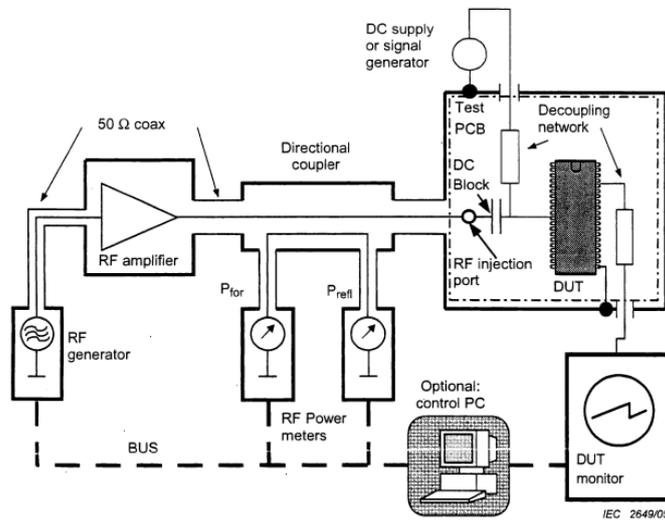


圖 41、DPI 法的測試架構配置圖

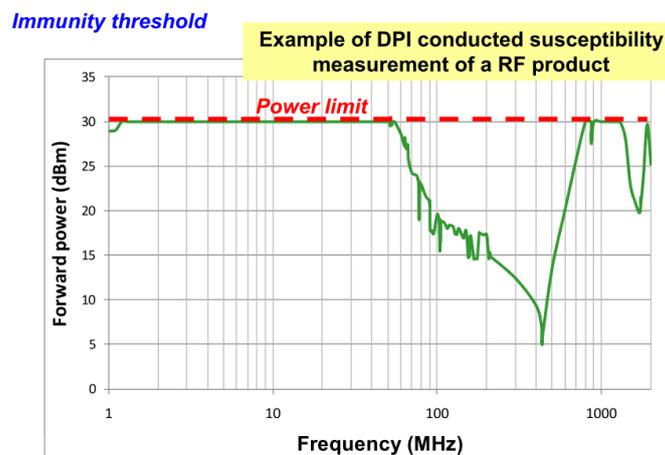


圖 42、DPI 法的入射波功率對頻率作圖

## 五、七月十六日課程

### (一) 3D IC 的優勢

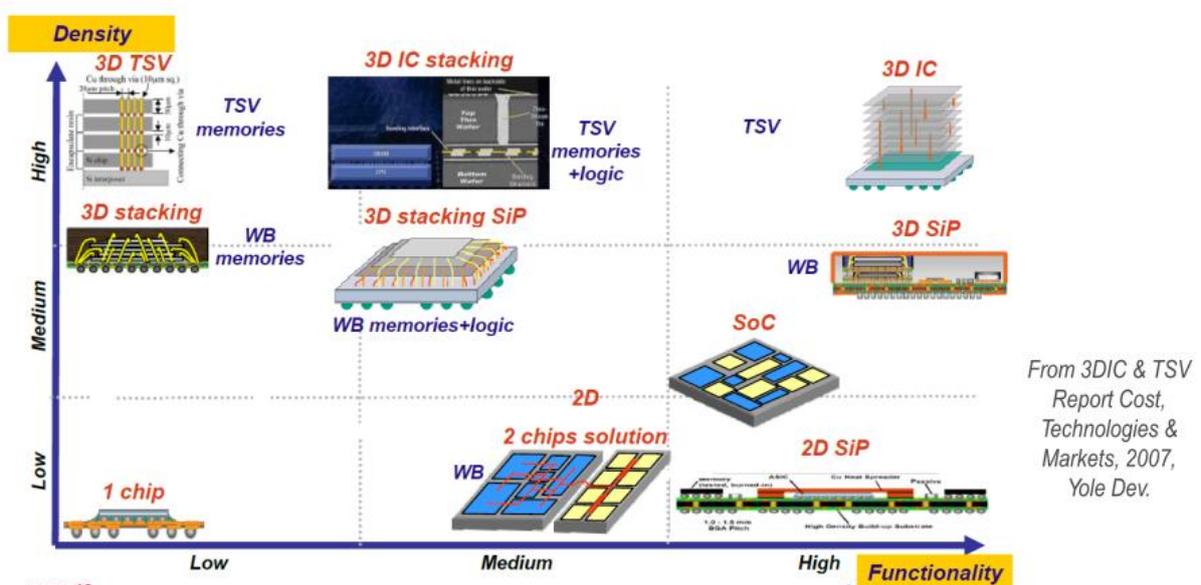
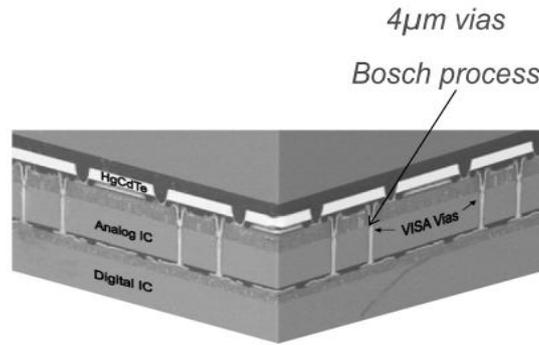


圖 43、隨晶片功能及密度的要求，封裝的發展趨勢

圖 43 揭示了隨晶片密度愈來愈高以及功能愈來愈強，封裝技術的發展趨勢，密度愈來愈高，原本 2 維平面的晶片，勢必走向 3 維的方向發展，猶如人類世界中大都市中，高樓大廈林立，於是走向裸晶堆疊的作法，如果裸晶需打封裝金線，上方的裸晶勢必小於下方的裸晶，以露出裸晶上方的焊墊，以供打線之用，如圖中的 3D Stacking，但當密度要求更高時就必需引進 3D IC TSV 的技術。若是不要求高密度，只是要求功能複雜，就不會走堆疊的作法，而是以 2 維的技術，但是同一顆晶片中包含多顆裸的作法，譬如圖中的 2 chip solution、2D SiP 及 SOC 等作法，若想要高密度且要功能複雜的晶片，勢必得使用 3D IC 技術。



C. Bower, et. al., "High Density Vertical Interconnects for 3D Integration of Silicon ICs," 56th ECTC, San Diego, 2006.

圖 44、數位晶片與類比晶片的異質連接

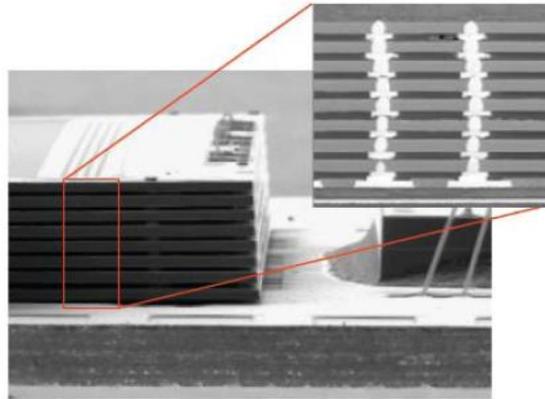
3D IC 技術允許透過不同技術製造的裸晶可以堆疊在一起，譬如：CMOS、CCD、SOI 及 Sensor 等，如圖 44 中所示。

3D IC 可以降低連接線的寄生效應，降低封裝的 pin 腳數，比起傳統的堆疊式封裝，裸晶的尺寸更加均一，操作速度可以更快。表 3 揭示 2D IC 技術與 3D IC 技術於 Buffer 的不同，焊墊的負載由 3~5 pF 低至 1 pF，連接線電容由 5~20 pF 降至 0.1~1 pF，連接線電感由 5~30 nH 降至 0.1~1 nH，驅動電流由 10~100 mA 降至 1~10 mA，3D IC Buffer 操作頻寬可以加大，操作速度拉高。

表 3、2D 與 3D IC Buffer 的比較

	2D	3D
Buffer	3-stage	1-stage
Pad Load	3-5 pF	1 pF
Interconnect capa	5-20 pF	0.1-1 pF
Interconnect inductance	5-30 nH	0.1-1 nH
Current drive	10-100 mA	1-10 mA

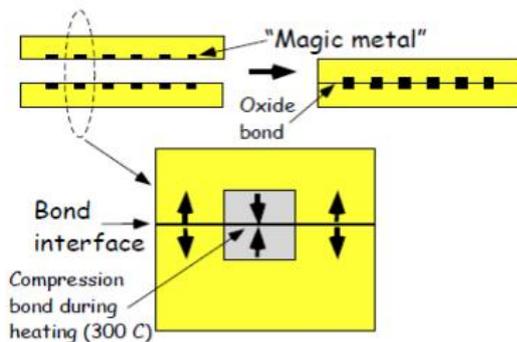
## (二) 3D IC 的技術



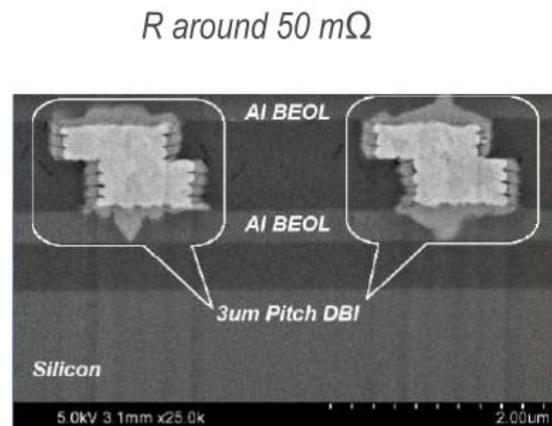
Source : Samsung Electronics

圖 45、三星電子生產的 3D IC 記憶體

圖 45 揭示了韓國三星電子所生產的 3D IC 記憶體，共有 8 顆裸晶，厚度為  $560\ \mu\text{m}$ ，所以每片裸晶厚度均小於  $70\ \mu\text{m}$ ，該公司展現其製作工藝的能力，記憶體晶片非常適合以 3D IC 技術來製作，記憶體的容量要只會愈來愈高，單顆晶片若能容納更多顆裸晶，就能提高晶片記憶體的容量，以 3D IC 來堆疊裸晶，裸晶的尺寸單一，非常適合。



Review of 3D Related Technologies for HEP R.  
Yarema, 2007



Ziptronix, 3D Conference, Oct, 2007

圖 46、Direct bond interconnect (DBI)技術

圖 46 揭示了 Direct bond interconnect (DBI) 技術，上層裸晶採覆晶的型式直接與下層裸晶做電性連接，這樣的技術有 2 個問題，第 1 個是電性連接金屬用何金屬？圖 46 中註明為 magic metal，可見係屬商業機密，另一個問題是，上下裸晶的對準問題，否則會有錯位的問題。

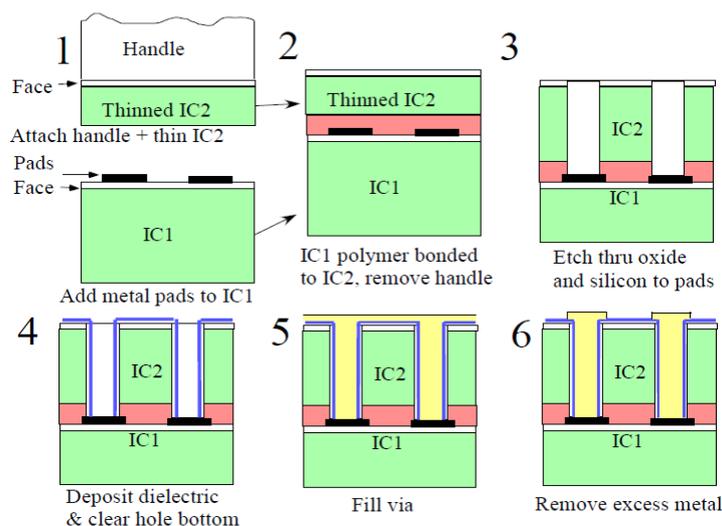


圖 47、TSV 的製作程序

圖 47 取自由 HEP, R. Yarema 所發表的 Development of 3D Integrated Circuits，步驟 1 時下方裸晶厚度較大，此時已長成金屬焊墊，上方裸晶由支柱黏附，其厚度較薄，步驟 2 為將透過聚合物黏合上下裸晶，並將支柱移除，步驟 3 為蝕刻上方裸晶  $\text{SiO}_2$  層及 Si 層至金屬焊墊，形成穿孔，步驟 4 為沈積介電層及清除穿孔下方雜物，步驟 5 為填充金屬至穿孔中，步驟 6 為將多餘的金屬移除。

## 六、七月十七日課程

### (一) 3D IC 電磁相容面臨的挑戰

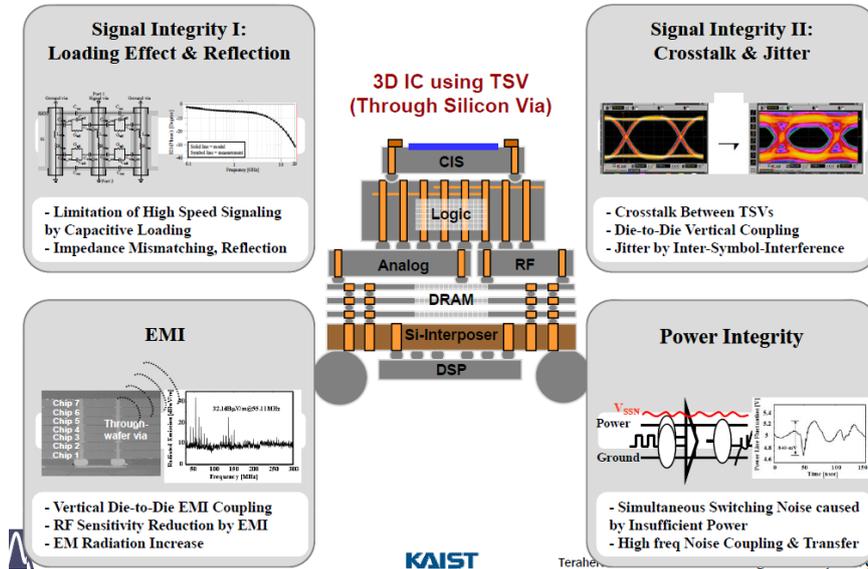


圖 48、J. Kim 所提出的 3D IC EMC 相關議題

圖 48 為由 J. Kim 於 IEEE EMC Society Distinguished Lecturer Seminar 所揭示 3D IC EMC 相關議題，J. Kim 來自韓國 KAIST 研究所，圖中左上角提到訊號完整性的問題，由於電容性的負載導致高速訊號傳輸的限制，阻抗不匹配所致的訊號反射的問題，右上角同樣提到訊號完整性的問題，TSV 之間的 cross talk(串音干擾)問題，裸晶與裸晶之間訊號垂直耦合的問題，時間上前後訊號相互干擾引發 Jitter(抖音)的問題，左下角方塊提到有關 3D IC EMI 的問題，裸晶與裸晶之間電磁干擾垂直耦合問題，因電磁干擾導致 RF 感度下降問題及因裸晶之間距離太近導致電磁輻射增強問題。圖中右下角方塊提到 3D IC 電源完整性的問題，因電源的功率不夠導致的 Simultaneous Switching Noise(SSN)，高頻雜訊

耦合至電源網路的問題。

沒有成熟的標準可以應用至 3D IC，3D IC 不同的晶圓廠使用不同的製程及不同的 TSV 尺寸，SEMI(Semiconductor Equipment and Materials International)協會 Inspection and Metrology Task Force，認為為了達到更省錢、大量的製做 3D IC，製作標準能被發展出來，該工作小組已著手為 3D IC 在下列幾個領域製作新的標準，TSV 的深度、BWP(Bonded Wafer Pair)的厚度、Microbump(微凸塊)的共平面問題、缺陷及重疊的問題等，但是沒有 EMC 方面的標準。

3D IC 晶粒與晶粒之間，I/O 傳輸介面的標準化，也是一項挑戰，3D IC 整合記憶體及 logic IC 是一個大趨勢，CPU、GPU、DSP、FPGA、ASIC 及基頻 IC 均可構成 3D 堆疊，應用於手機、超級電腦、網路/儲存系統、筆電、車輛及醫療處理單元等，IBIS 模型在標準介面上可以扮演一個重要角色。

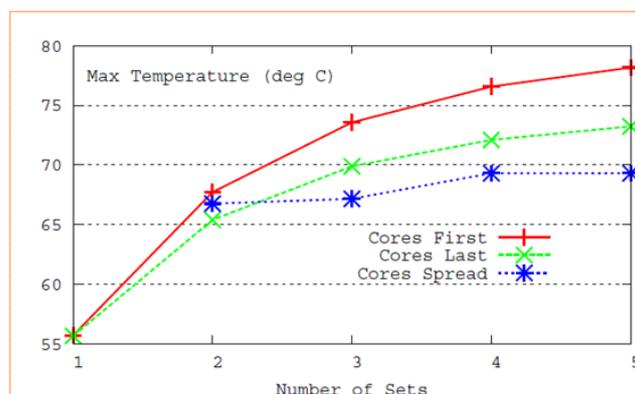


圖 49、異質裸晶 3D IC 堆疊的最高溫度

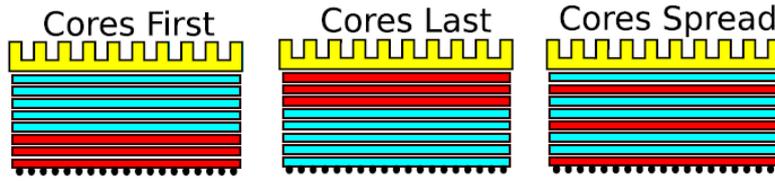


圖 50、異質裸晶 3D IC 不同堆疊策略

圖 49、50 揭示了異質裸晶堆疊，裸晶含核心及記憶體，因不同的堆疊策略而引起的溫度變化。Cores First 為先堆核心裸晶，而後堆記憶體裸晶，Cores Last 則先堆記憶體裸晶而後堆核心裸晶，Cores Spread 則是將 Cores 及記憶體裸晶分散堆疊，由圖 49 可以看出裸晶的數量愈多則溫度愈高，而 Cores Spread 則會讓溫度降低。

## (二) 3D IC 訊號完整性

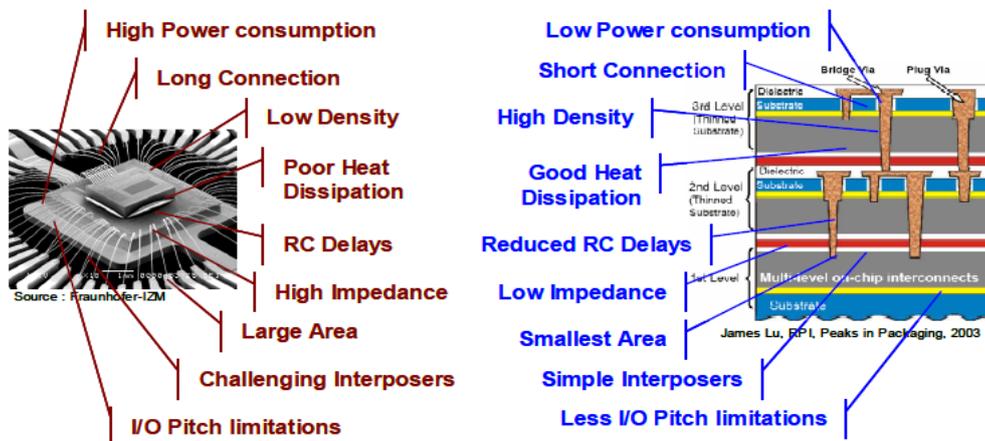


圖 51、IC 堆疊及 3D IC 的比較

3D IC 的線路都比 2D IC 的線路短很多，線路短降低線路負載的電容值，如此會降低 Simultaneous Switching Noise，線路短另一個好處是會降低線與線之間的電容值，使得訊號線之間的雜訊耦合量降低。有較低 repeater 數量的向外連接的線路，有較低的雜訊及 jitter(抖動)，使得

訊號完整性更佳。

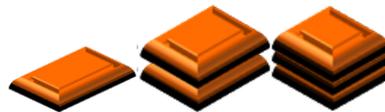
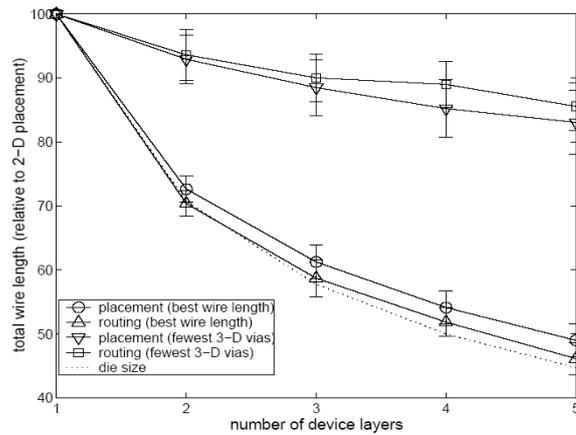


圖 52、3D IC 對比 2D IC 的總線長百分比隨堆疊層數的變化

圖 52 揭示了 3D IC 比 2D IC 總線長的百分比，降低線長可以大量的降低 RC delay，增強 IC 的功能表現，圖 52 中可以看 2 層的堆疊可以降低線長達 30%，3 層堆疊則可降低線長達 60%。

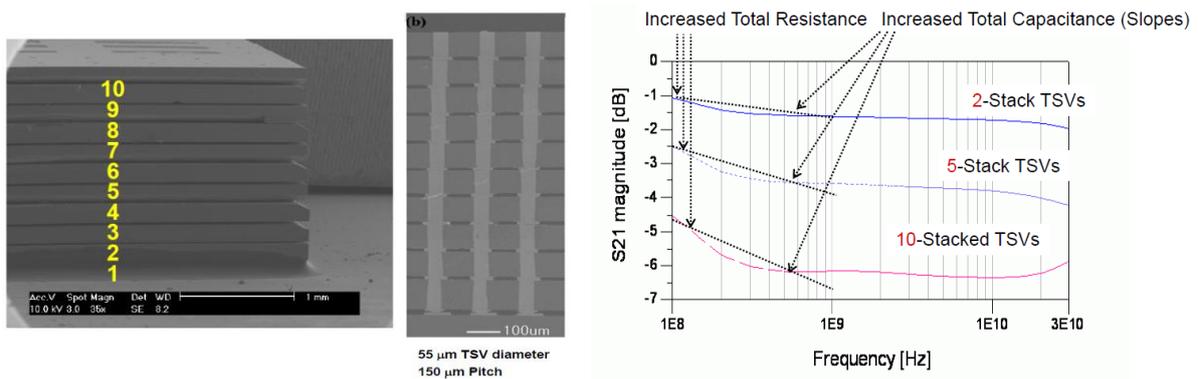


圖 53、3D IC TSV S21 量測結果

圖 53 為韓國 KAIST 研究所 J. Kim 對 3D IC TSV 的量測結果，可以看到隨著堆疊層數增加 S21 的大小降低，此為正常表現，堆疊層數增加則電阻增大，TSV 內為銅柱，S21 的大小就會降低，另外由圖中可以看到

看到曲線的切線斜率也會隨堆疊的層數增加而變大，切線斜率愈大，代表 TSV 的等效電路中電容值愈大。圖中左半部揭示 TSV 的直徑為 55 $\mu\text{m}$ ，間距為 150 $\mu\text{m}$ ，另外圖中未顯示的 SiO<sub>2</sub> 的厚度為 0.5 $\mu\text{m}$ 。

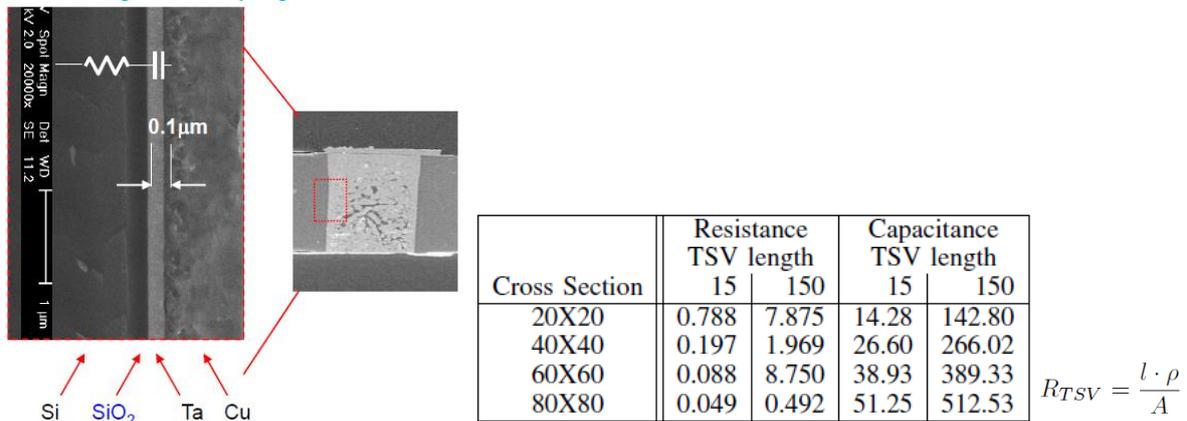


圖 54、TSV 的等效電路中電阻及電容

圖 54 揭示 TSV 的組成材質、等效電路中的電阻及電容，組成材質的部分 TSV 內部為銅柱，銅之外 Ta(鉭)防止銅擴散，再之外為二氧化矽，此為介電層，再之外為一般的矽基材，圖中有畫出二氧化矽有如電容中的介電層，因而有電容的效果，圖 54 的附表中有不同的 TSV 截面積，譬如 80 $\times$ 80 微米，TSV 長度為 15 微米、150 微米的電阻值為 0.049m $\Omega$ 、0.492m $\Omega$  及電容值為 51.25 fF、512.53 fF，圖中最右下角為 TSV 的電阻值公式與線長成正比，與截面積成反比，與 TSV 內導體之電阻率( $\rho$ )正相關，電阻率為導電率( $\sigma$ )的倒數。圖 55 揭示了 TSV 的等效電路在不同的截面積下之電感值隨 TSV 高度的變化，圖中右下角為電感值的公式，很明顯地長度愈長，電感值愈大。

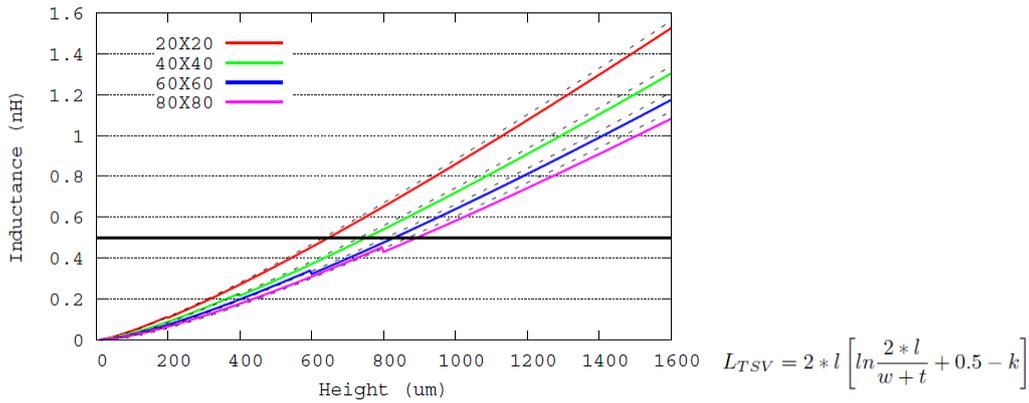


圖 55、TSV 的等效電感隨高度的變化

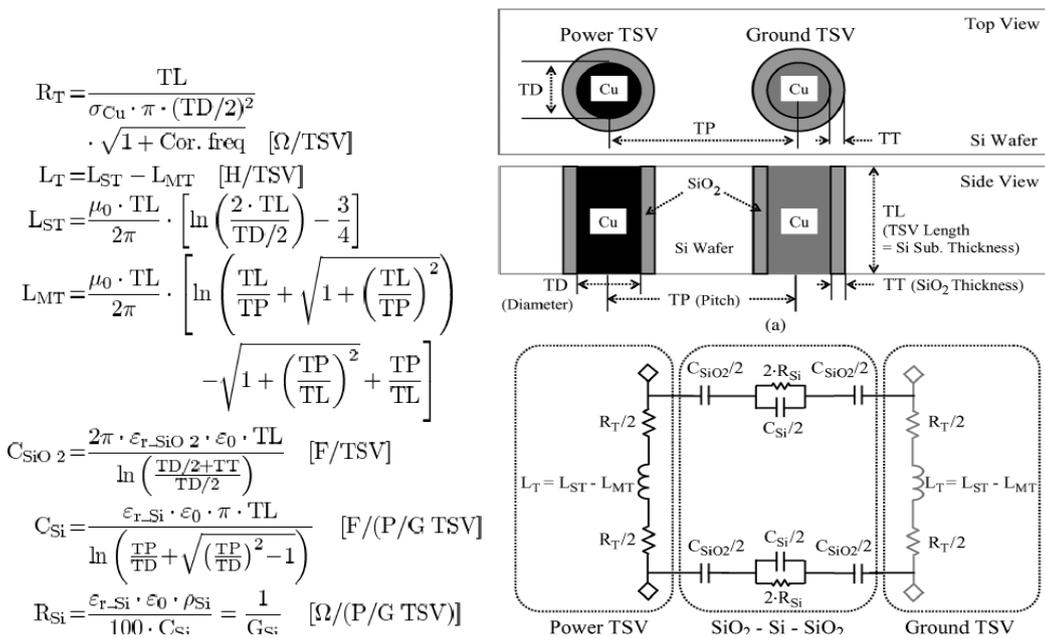


圖 56、一對匹配 TSV 之等效電路及電路元件公式

圖 56 揭示了一對匹配 TSV 線路的等效電路模型及電路構成元件的公式，TSV 內隨銅柱的高度方向，串連了電阻  $R_T$  及電感  $L_T$ ，在 2 個 TSV 之間，因  $\text{SiO}_2$  為介電層，所以跨過  $\text{SiO}_2$  有一電容效應  $C_{\text{SiO}_2}$ ，而 2 個 TSV 之間的 Si 基材，因其為半導體，可視為一個電阻  $R_{\text{Si}}$ ，而與  $R_{\text{Si}}$  並聯的有一電容  $C_{\text{Si}}$ 。圖左半部公式中有一係數 Cor. 與 TD 有關，當 TD 為  $30\mu\text{m}$  時，Cor. 為  $2.5e-8$ ，當 TD 下降到  $10\mu\text{m}$  時 Cor. 為  $1.5e-8$ 。表 4

為將公式中帶入 TSV 直徑 30 $\mu\text{m}$ 、高度 100 $\mu\text{m}$ 、SiO<sub>2</sub> 厚度 0.5 $\mu\text{m}$ 、2 個 TSV 間距 100 $\mu\text{m}$  或 150 $\mu\text{m}$  後將等效電路各個元件數值算出。

表 4、TSV 等效電路模型元件參數範例

Separated P/G TSV Model Parameters		$R_T$ (m $\Omega$ ) @ 1 GHz	$L_{ST}$ (pH)	$L_{MT}$ (pH)	$C_{SiO_2}$ (pF)	$C_{Si}$ (fF)	$R_{Si}$ ( $\Omega$ ) = 1/ $G_{Si}$
TD/TL/TT ( $\mu\text{m}$ )	TP ( $\mu\text{m}$ )						
30/100/0.5	100	12.44	32	9.4	0.65	19.1	552
	150			6.5		15	701

## 七、七月十八日課程

### (一) 3D IC 電源分佈網路及電源完整性

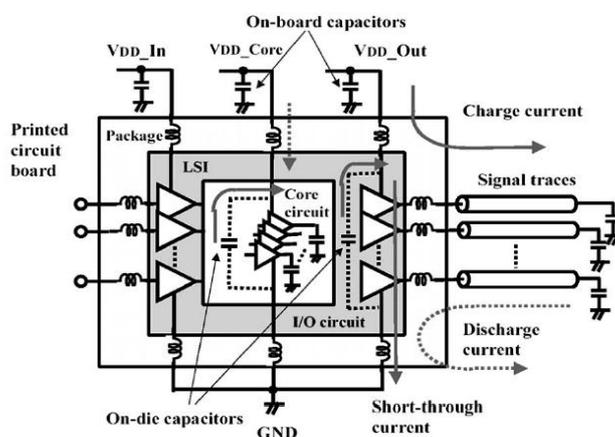


圖 57、電源分佈網路

圖 57 揭示一典型電源分佈網路，VDD\_In、VDD\_Core、VDD\_Out 分別供應 IC 的輸入 Buffer、核心電路、輸出 Buffer 的電源，電源網路在電路板的部分有 On-board capacitors，電源網路由電路板到晶片之前有先經過 bonding 線的等效電感，在晶片內部有 On-die capacitors 與電源網路相連，Buffer 會有 Short-through current，也就是 Simultaneous Switching Noise，Output buffer 透過封裝線及電路板上的 trace，對外部電容進行充放電的動作，此為典型電源分佈網路。圖 58 揭示電源及接地 TSV，其尺寸長寬高均為  $40\mu\text{m}$ ，由圖中可知其截面積比一般訊號 TSV 大非常多，一般電源及接地 TSV 最好能呈均勻分佈，且電源 TSV 的數量與接地 TSV 的數量要相當，不可數量相差太大。

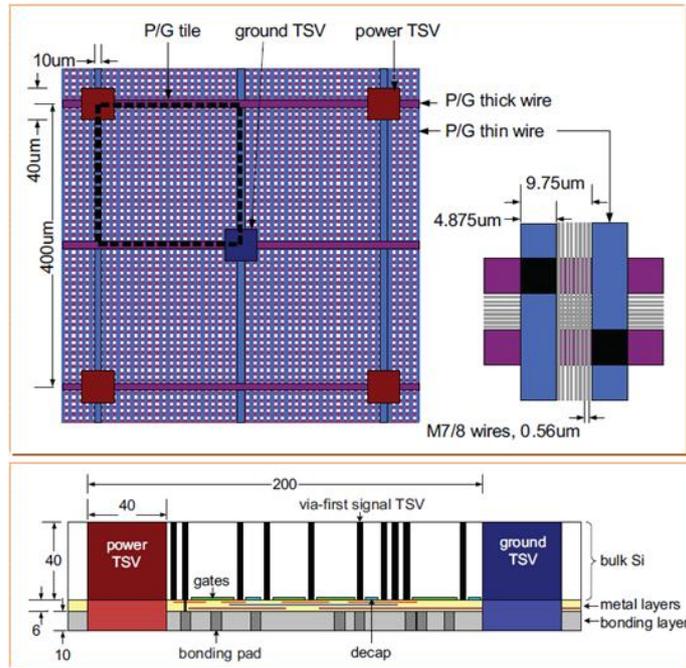


圖 58、Power 及 Ground TSV

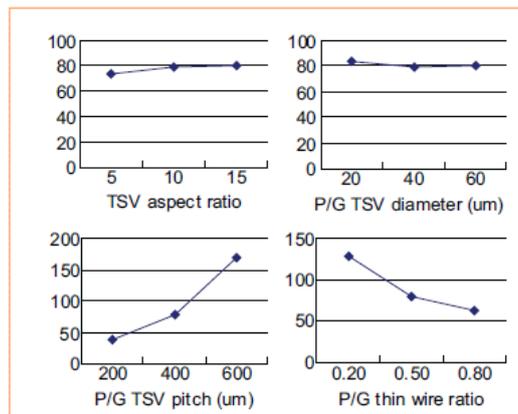


圖 59、不同設定下的最大的電源雜訊(mV)

圖 59 揭示不同設定下最大的電源雜訊，單位為 mV，TSV 的 aspect ratio，即高度與長度或寬度或直徑的比值，aspect ratio 由 5 到 15，最大的電源雜訊均為 80 mV 附近，變化並不大，Power/Ground TSV 的直徑由 20 到 60 $\mu$ m，最大電源雜訊也在 80mV 附近，Power/Ground TSV 的間距由 200 到 600 $\mu$ m 時，最大電源雜訊由小於 50mV 大幅上昇到 170mV

附近。

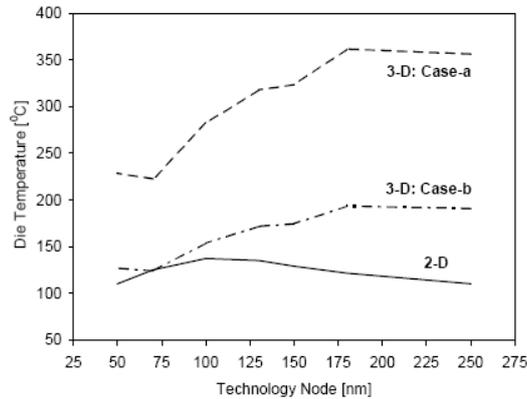


圖 60、半導體製程技術節點與裸晶溫度變化圖

圖 60 揭示由於半導體製程技術的進步，技術節點由 .35、.18 製程、90 奈米到先進的 40 奈米，裸晶的溫度變化圖，圖中可以看 3D IC 一般均比 2D IC 溫度高很多，溫度效應會影響到 MOS 及 Diode 的特性，電磁相容的雜訊的容許值也會受到溫度變化差異的影響。

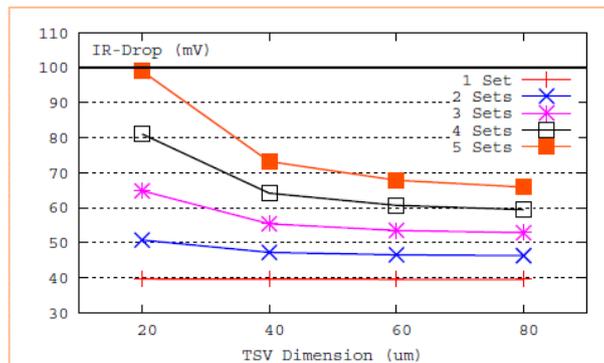


圖 61、IR-Drop 隨 TSV 截面大小變化圖

圖 61 揭示 TSV 的截面積愈大則電阻值會下降，Power Ground TSV 組數愈多，IR-Drop 比較大，電阻值比較大。圖 62 揭示 IR-Drop 深受 TSV 與 TSV 間距的影響。

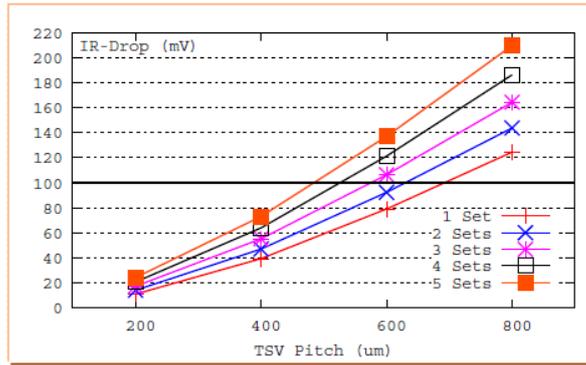


圖 62、IR-Drop 隨 TSV Pitch 的變化圖

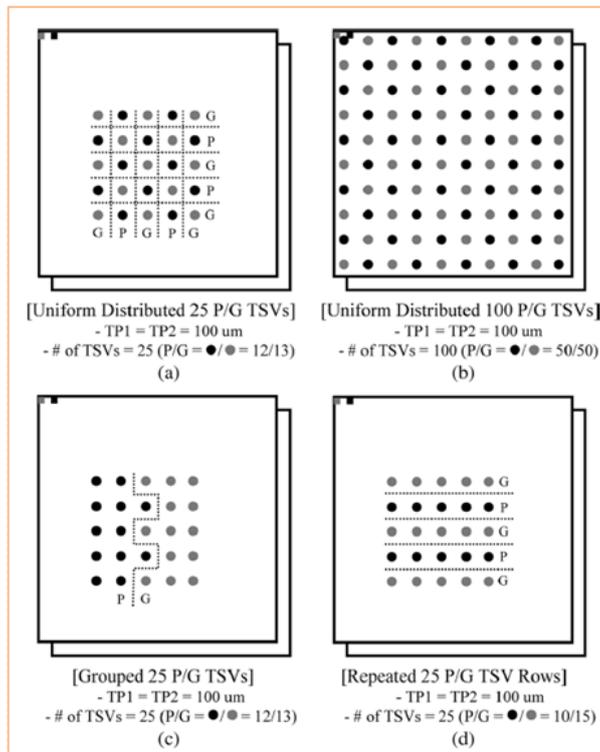


圖 63、Power Ground TSV 不同分佈策略

圖 63 揭示電源及接地 TSV 的不同分佈策略，(a)及(b)均採均勻分佈，差異在 Power/Ground 數的不同，分別為 25 及 100 個，(c)則採群組的策略，一邊 Power 另一邊 Ground，Power/Ground 數也是 25，Power TSV 數量 12，Ground TSV 數量 13，(d)採整排重覆交替模式，一排 Power，一排 Ground，一排 Power，重覆出現，Power TSV 數量 10 個，Ground TSV

數量 15 個。採群組分佈策略的方法不是一個好的策略，容易讓整個電流迴路拉長，迴路截面積變大，容易電磁輻射。採均勻分佈則會讓電流流經 Power 後很快找到 Ground 形成迴路，迴路截面積小，不容易輻射。

## (二) 3D IC 的量測方法

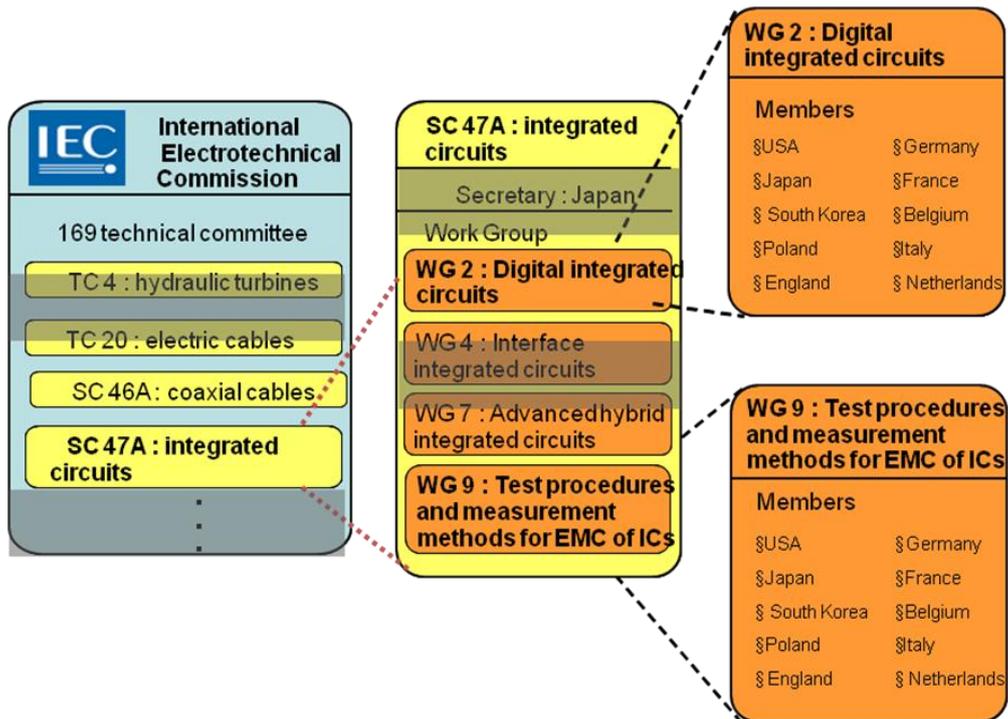


圖 64、IEC 國際標準組織有關數位 IC 及 IC EMC 工作小組

圖 64 揭示 IEC 國際標準組織有關 IC EMC 的工作小組，IEC 全名為 International Electrotechnical Commission(國際電工協會)，內包含 169 個技術委員會，其中 SC 47A 技術委員會主管有關 IC 技術，SC 47A technical committee 下 WG 2(Working Group 2)主管數位 IC，WG 9 主管 IC EMC 的測試程序及量測方法，其成員來自美、日、德、法等國。

IEC 61967-1 總則中有規定，IC EMC 標準測試板的製作依循準

則，3D IC EMC 標準測試板與目前 IC EMC 標準測試板製作並無差別。

圖 65 揭示 IEC 61967 標準 IC 輻射量測方法。

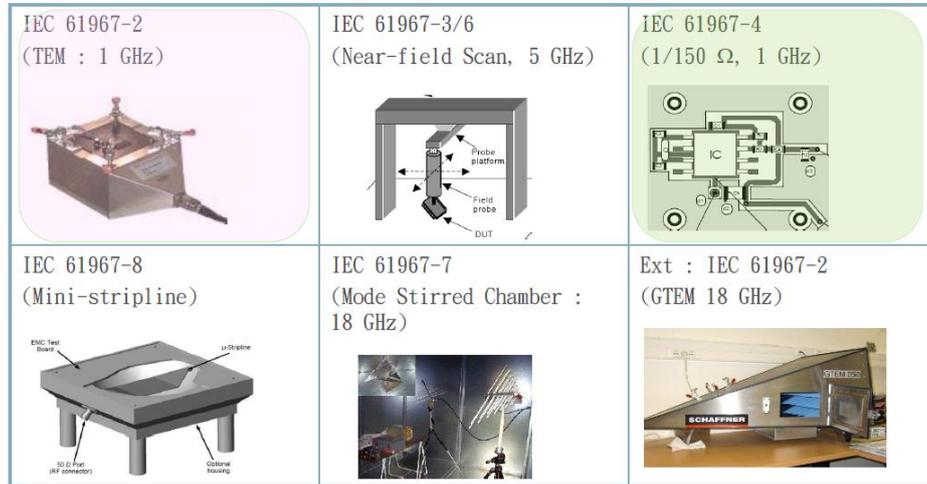


圖 65、IEC 61967 標準 IC 輻射量測方法

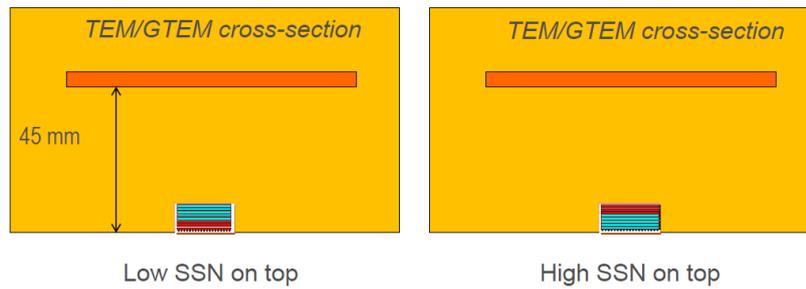


圖 66、IEC 61967-2 TEM/GTEM 法

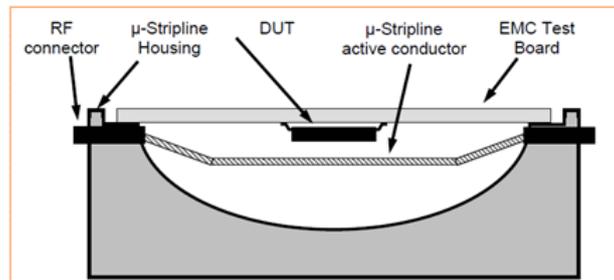


圖 67、IEC 61967-8 IC Stripline 法

圖 66 揭示 3D IC 於 TEM/GTEM 或者 IC Stripline 法的應用，圖中左半圖主要雜訊源在 3D IC 裸晶堆疊的下半部，右半圖則在裸晶堆疊的

上半部，3D IC 裸晶堆疊的上半部可起到遮蔽的效果，上半部裸晶相對來說比下半部裸晶更接近 Septum，即 TEM/GTEM 中央導體片，所以可以將更多的電磁波導出 TEM/GTEM，TEM/GTEM 中央導體片與外壁導體相隔 45 mm，而於  $\mu$ -Stripline 法，測試板與  $\mu$ -Stripline 金屬導體的間隔則為 6.7 mm，因為  $\mu$ -Stripline 法 IC 與金屬導體距離更近，比起 TEM/GTEM 能導出更多的 IC 輻射電磁能量。圖 67 為  $\mu$ -Stripline 法示意圖。

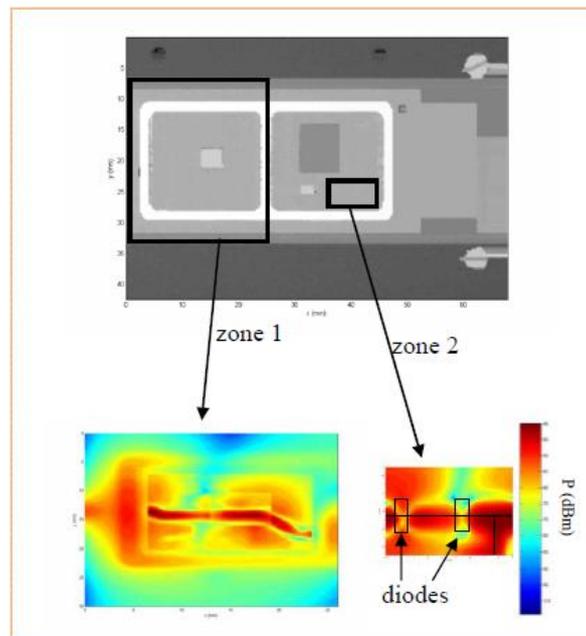


圖 68、IEC 61967-3/-6 "Near Field Scan"掃描結果

圖 68 揭示 IEC 61967-3/-6 近場掃描結果示意圖，組合雷射定位及高解析度近場掃描可以用來探測 3D IC，但是堆疊下部的晶片會被堆疊上半部晶片遮蔽。

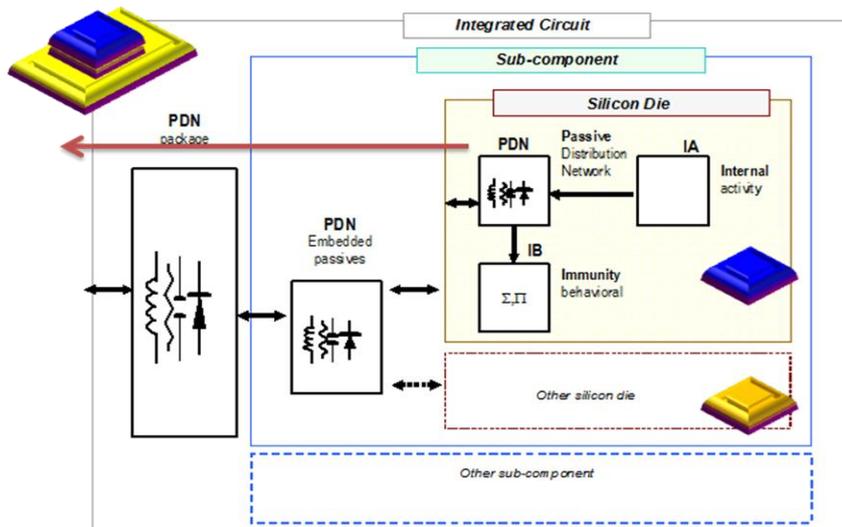


圖 70、IEC 61967-4 1/150Ω法

圖 70 揭示 IEC 61967-4 1Ω及 150 法於 3D IC 的應用，為量測 IC 電磁干擾的特性，每一個 die 都應該加上 1Ω的測試電阻，如此可以知道某顆裸晶對傳導干擾的貢獻。

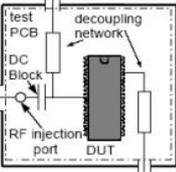
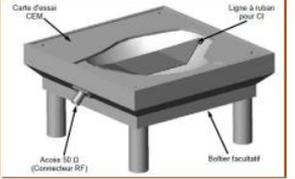
<p>IEC 62132-3 (Bulk Current Injection : 1 GHz)</p> 	<p>IEC 62132-4 (Direct Power Inj 1GHz)</p> 	<p>IEC 62132-2 (TEM/GTEM)</p> 
<p>IEC 62132-5 (WBFC 1 GHz)</p> 	<p>IEC 62132-6 (LIHA : 10 GHz)</p> 	<p>IEC 62132-8 Mini Stripline</p> 

圖 71、IEC 62132 標準 IC 電磁輻射耐受性量測方法

圖 71 揭示 IEC 62132 標準 IC 電磁輻射耐受性量測方法，內容包含 BCI 法(大電流注入法)、DPI 法(直接功率注入法)、TEM/GTEM 法、

Faraday cage 法(法拉第箱體法)、Local Horn Injection Antenna(LIHA)法  
(小區域號角注入天線法)、Mini Stripline 法(迷你帶線法)。

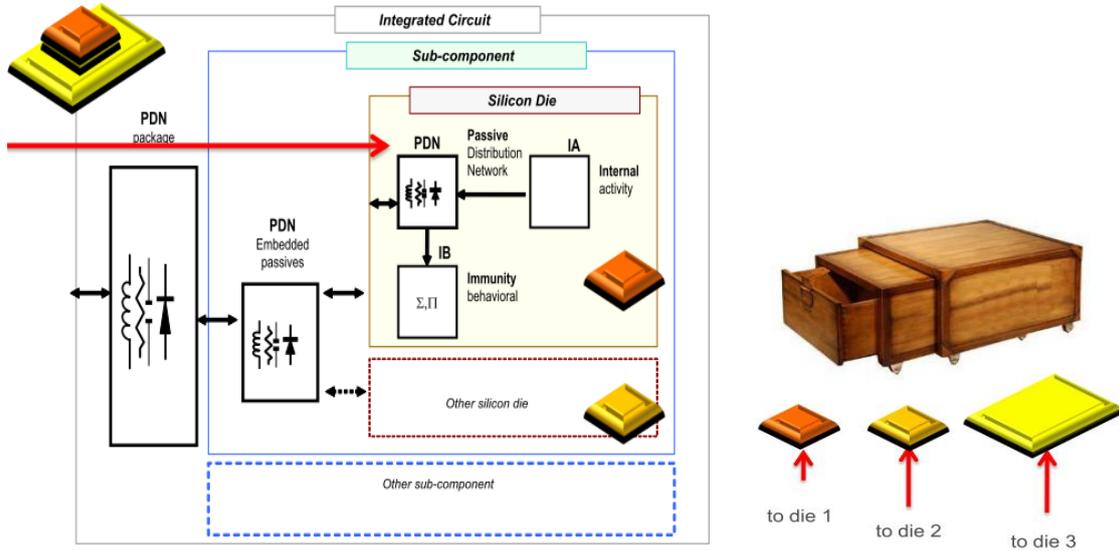


圖 72、DPI 法於 3D IC 之應用

圖 72 揭示 IEC 62132-4 DPI 法(直接功率注入法)於 3D IC 之應用，  
當 RF 功率由 IC 的某 Pin 腳注入時，可以在每一顆裸晶內建注入探針，  
以確認每顆裸晶功能均受 RF 傳導電流影響。

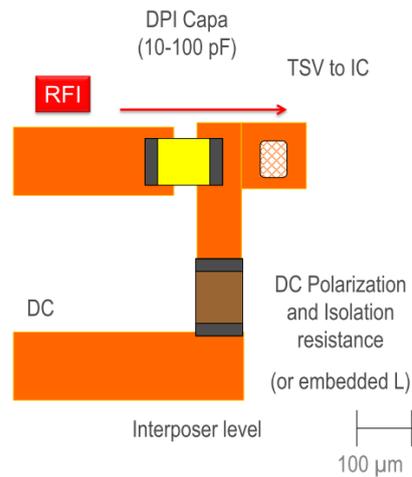


圖 73、X-DFI 法之耦合電路

圖 73 揭示 IEC 62132-4 DPI 法的延伸發展，X-DPI 法之耦合電路設

計，X-DPI 法目標為將 DPI 法測試最高 RF 頻率由 1GHz 提昇到 18GHz，圖中 RF 功率經電容 10-100 pF 而進入 IC pin 腳，並由 TSV 進入 IC，DC 直流經電感或交流隔離電阻而到該 IC pin 腳，DC 直流無法流經電容而進入 RF 干擾訊號電路，而 RF 干擾訊號無法流過交流隔離電阻或電感而進入 DC 直流供電儀器，進而破壞該供電儀器。

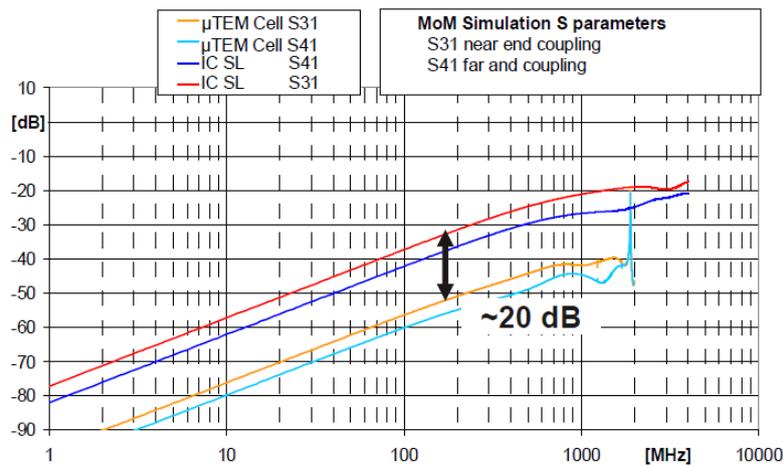


圖 74、Mini Stripline 及 TEM Cell 法電磁耐受性量測插入損耗比較

圖 74 揭示 Mini Stripline 及 TEM Cell 法於電磁耐受性量測時，插入損耗比較，損耗較少表示能有更大的電磁場場強去干擾晶片，圖中可以看出 Stripline 比 TEM Cell 提供更大的電磁場場強來干擾晶片，主要因為 Mini Stripline 中 Stripline 到測試的電路板距離為 6.7mm，而 TEM Cell 中間導體(Septum)與外壁的距離為 45mm，距離愈遠，場強愈低。

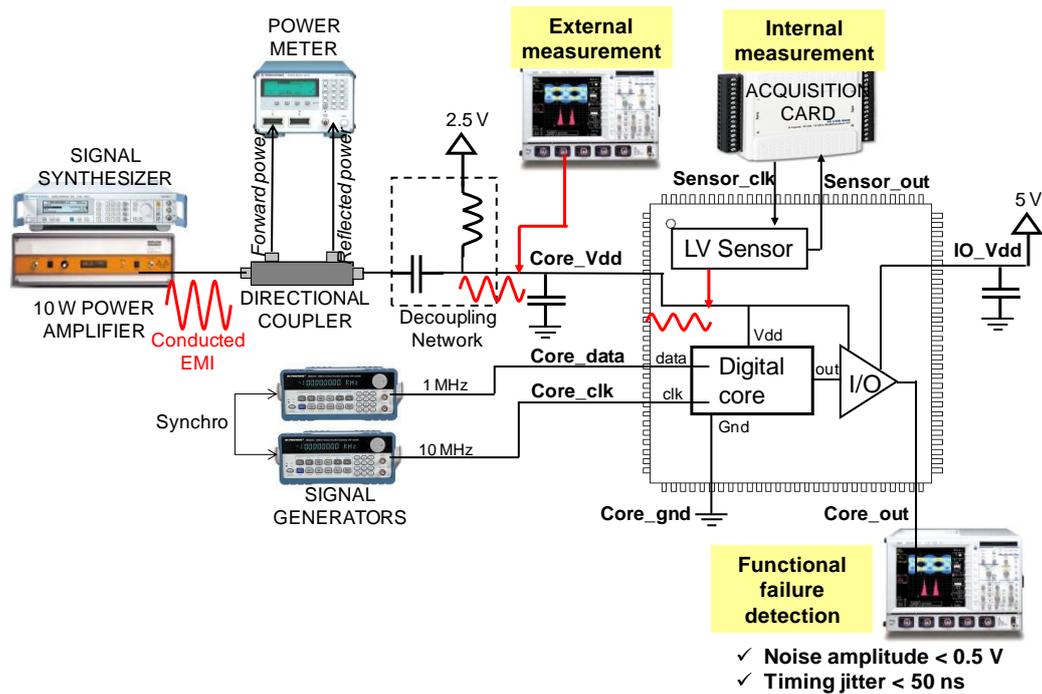


圖 75、DPI 法量測，晶片內置感測器

圖 75 揭示 DPI 法量測時晶片內置感測器，圖中晶片左上方為標準 DPI 法量測的儀器配置圖，左下方為提供數位訊號供晶片數位核心時脈及數位資料，以激發晶片數位核心，晶片下方為一儀器判別晶片是否因打入的 RF 干擾而功能錯誤，其 2 判斷準如圖中所列為雜訊振幅小於 0.5V，時域上的抖動(jitter)要小於 50ns，最重要的是晶片內部建置感測器(Sensor)，感測打入晶片中的 RF 雜訊大小，並由 Acquisition Card 收集資訊。

## 八、七月十九日課程

本日課程主要提供案例研習，案例為由數位訊號處理晶片(DSPIC)加上記憶體晶片，其中 DSPIC 的 IC 基本資料及封裝資訊如圖 76 所示，DSPIC 為一 16 位元微控制器，記憶體容量為 4Mb。

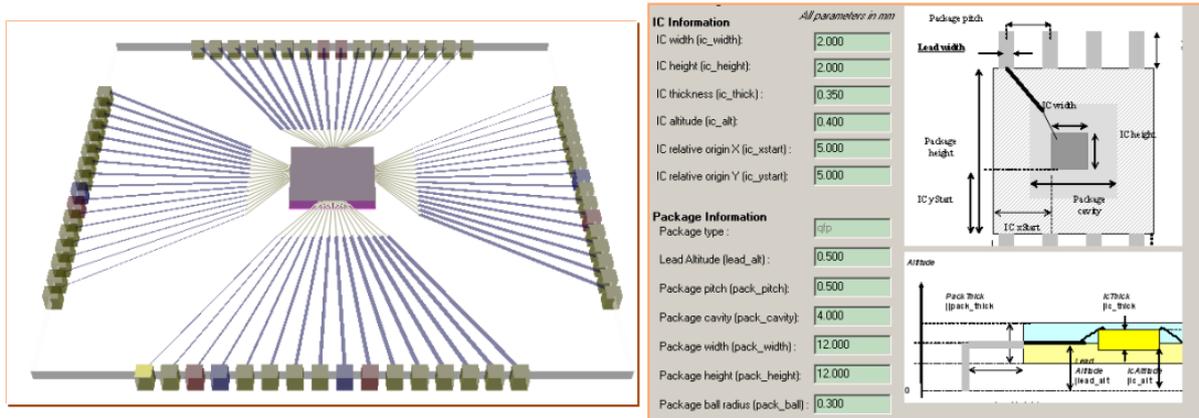


圖 76、DSPIC 的 IC 及封裝資訊

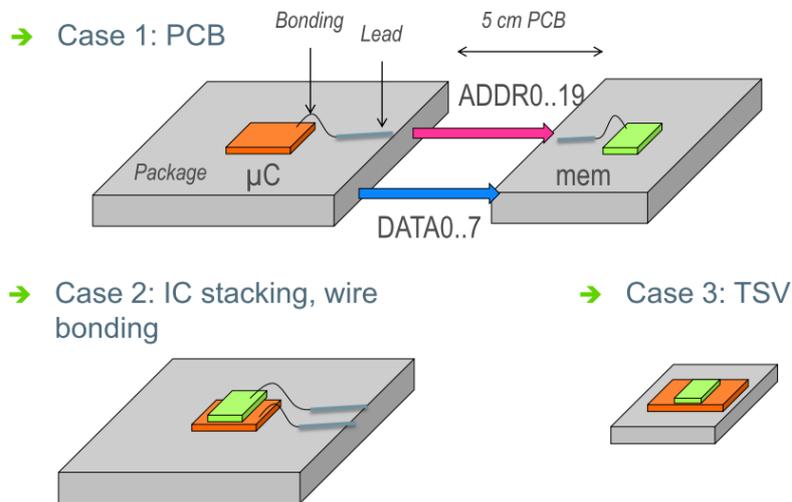


圖 77、案例研習之 3 種情境

圖 77 揭示案例研習之 3 種情境，情境 1 微控制器晶片訊號經 bonding 線及引腳經過電路板上的微帶線到記憶體晶片，記憶體上也有 bonding 線及引腳，情境 2 微控制器晶片及記憶體晶片以裸晶堆疊方式來封裝，

情境 3 微控制器與記憶體以 TSV 來相互連接。為了驗證訊號傳輸的品質，我們將上列 3 種情境做眼圖模擬。

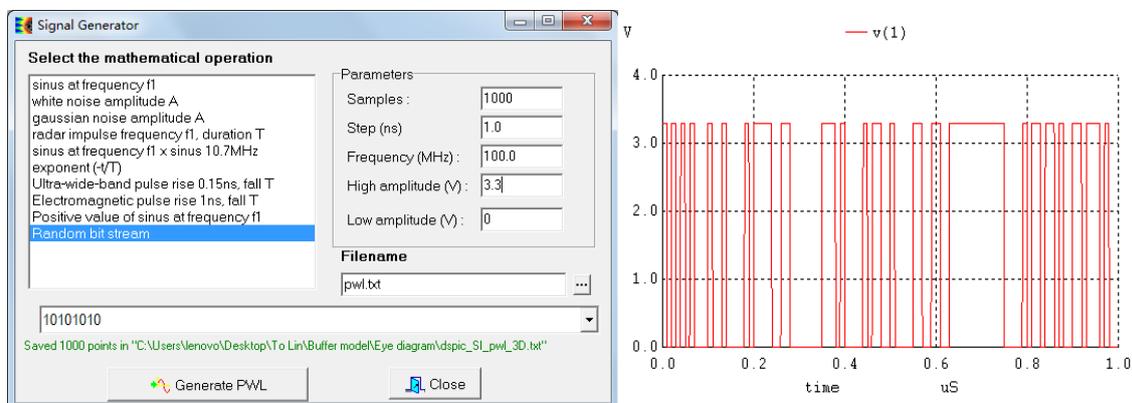


圖 78、眼圖模擬所使用的數位訊號

圖 78 揭示將上列 3 種情境做眼圖模擬時所使用之數位訊號，總共送 1000 個 0 或 1，由 0 到 1 或者 1 到 0 的轉換需時 1 ns，數位訊號頻率為 100MHz，所以週期為 10 ns，0 為 0 V，1 為 3.3 V，01 序列中是 0 還是 1 經亂數決定產生，如圖中所示。

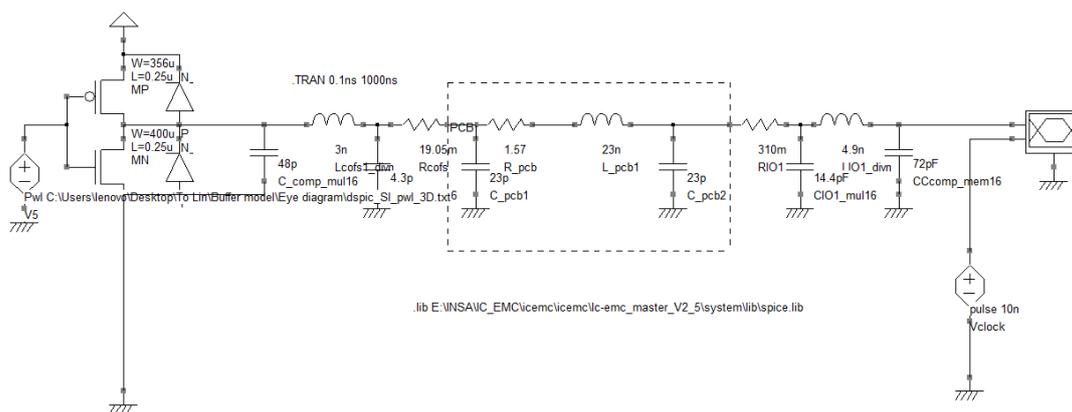


圖 79、情境 1 眼圖模擬所使用的模擬電路

圖 79 揭示情境 1 眼圖模擬時所用的電路，此電路由原本的 16 條位址線簡化為 1 條電路線，簡化的法則如圖 23 及 24 中所示，在此不再贅

敘，圖 79 中最左訊號源打入的 01 序列訊號，訊該經微控制器的 IBIS 模型之後進入封裝線電路模型，而後進入電路板 RLC 電路模型，而後進入記憶體封裝線電路模型，記憶體以 1 個電容表示，最右邊為量測眼圖所加的元件，及 1 個 10 ns 的脈衝同步訊號產生器。

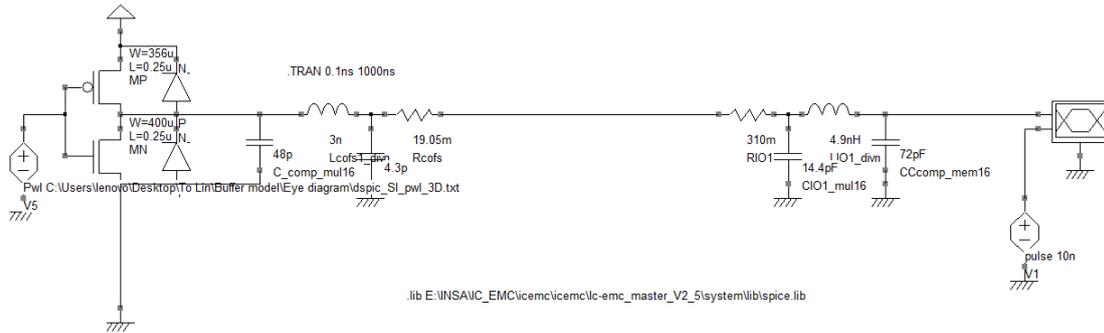


圖 80、情境 2 眼圖模擬所用電路圖

圖 80 為情境 2 眼圖模擬所用電路圖，與圖 79 的差別僅在將 PCB 電路上的微帶線電路模型移除，因為此時微控制器及記憶體是由封裝 bonding 線直接相連。圖 81 為情境 3a 眼圖模擬所用電路圖，情境 3a 為所用 TSV 尺寸為直徑 30  $\mu\text{m}$ ，長度 90  $\mu\text{m}$ ，其等效電阻為 200  $\text{m}\Omega$ 、等效電感為 3  $\text{pH}$ 、等效電容為 1  $\text{pF}$ ，圖 81 中 TSV 等效電路 16  $\text{pF}$  為單一 TSV 等效電容的 16 倍，因為由 16 條位址線簡化為 1 條時的運算結果。圖 81 與圖 80 的比較知封裝線路電效模型已經移除，加上 TSV 的等效電路，該等效電路的 RLC 數值為將相關文獻內容中萃取而得。

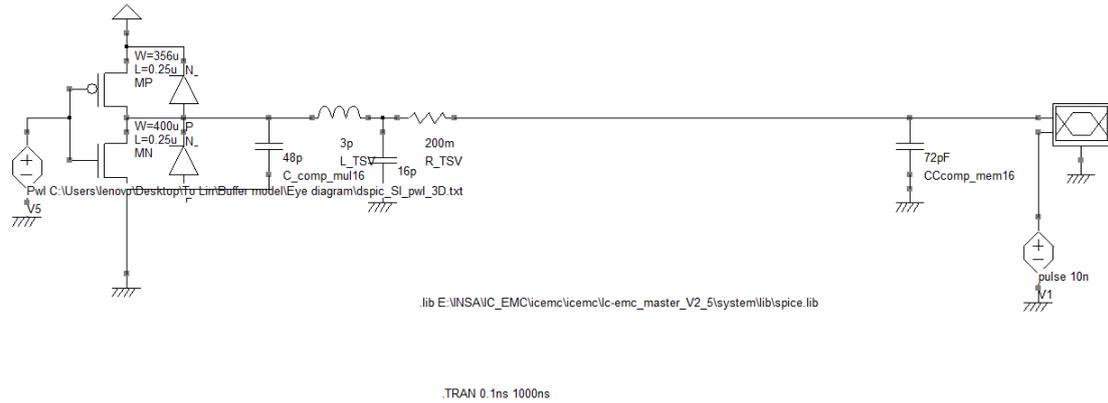


圖 81、情境 3a 眼圖模擬所用電路圖

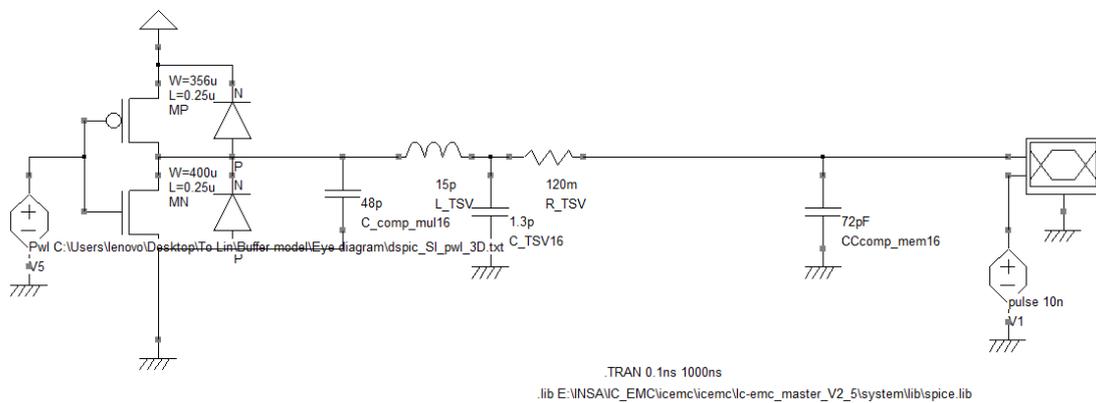


圖 82、情境 3b 眼圖模擬所用電路圖

圖 82 揭示情境 3b 眼圖模擬所用電路，與圖 81 的差異僅在 TSV 電路模型中的數值大小不同，情境 3b 所用 TSV 尺寸直徑為  $2\ \mu\text{m}$ ，長度  $20\ \mu\text{m}$ ，等效電阻為  $120\ \text{m}\Omega$ 、等效電感為  $15\ \text{pH}$ 、等效電容為  $80\ \text{fH}$ 。  
 $80\ \text{fH} \times 16 \sim 1.3\ \text{pH}$ 。

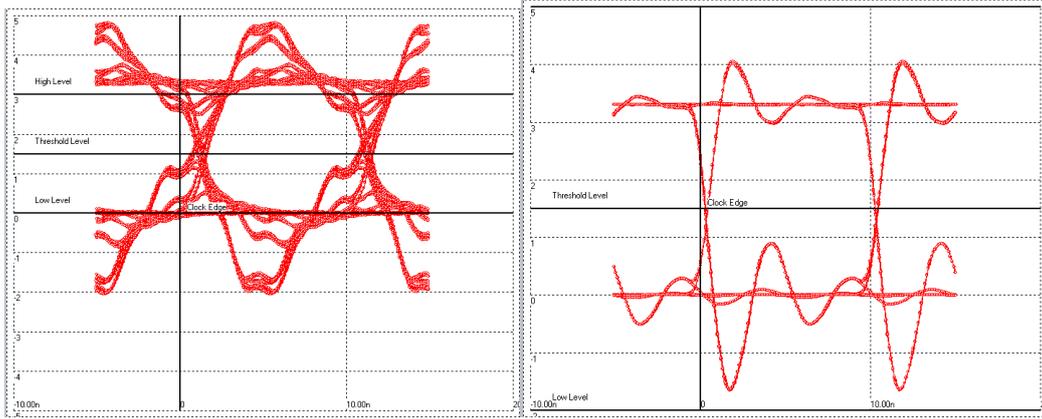


圖 83、情境 1 眼圖模擬結果

圖 84、情境 2 眼圖模擬結果

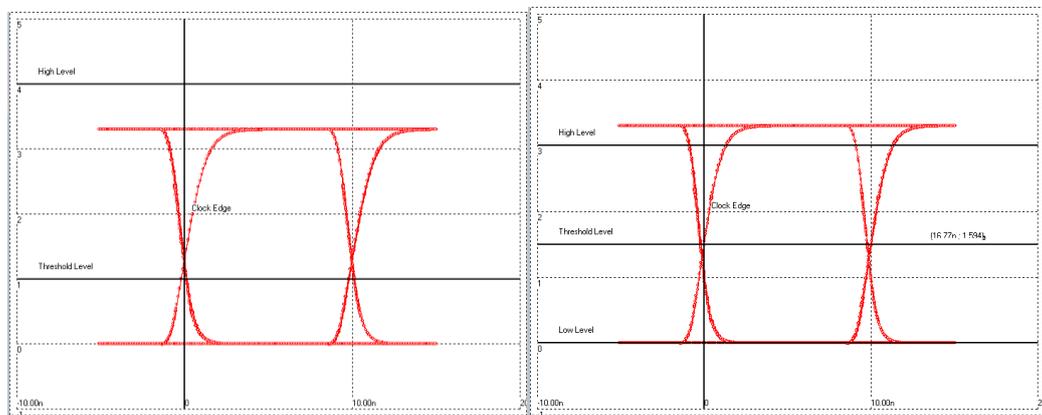


圖 85、情境 3a 眼圖模擬結果

圖 86、情境 3b 眼圖模擬結果

圖 83~86 分別為情境 1 至 3b 的眼圖模擬結果，可以很明顯的看出 2 種以 TSV 連結微控制器及記憶體的模式模擬結果最佳，且結果相近，其次為情境 2 以封裝 bonding 線連結的模式模擬結果次佳，最後為以 PCB 連結的模式 1。

另外我們分別將對映到上述情境 1~3b 的電路圖 27、30、33 及 34 中  $1\Omega$  電阻的電壓  $V(t)$ ，經再運算，因晶片的 IBIS 模型的電路能量消耗與  $V(t) \times V(t)$  有關，我們取得下列圖示 87~90， $|V(t)|^2$  隨時間變化圖，

這些圖中 Y 軸單位應該是  $\text{mV}^2$  而不是  $\text{mV}$ ，由這些圖示我們發覺晶片的 I/O 功率消耗，最小排到最大分別為情境 3b、3a、2、1，TSV 連接晶片之微控制器 I/O 功率消耗最低，其次為封裝 bonding 線連接之微控制器 I/O 功率消耗，最後為 PCB 電路板連接之微控制器 I/O 功率消耗。

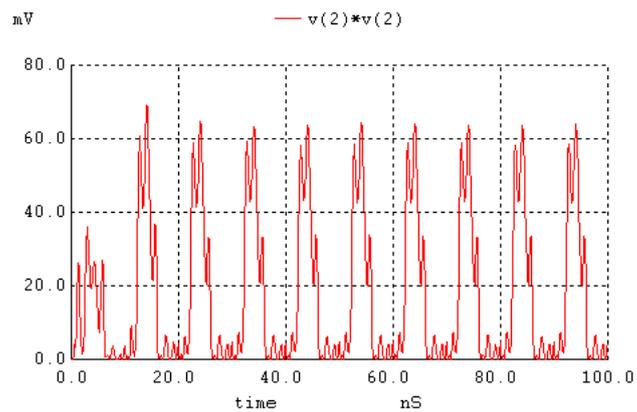


圖 87、情境 1 晶片 IBIS 電路模型功率消耗估算

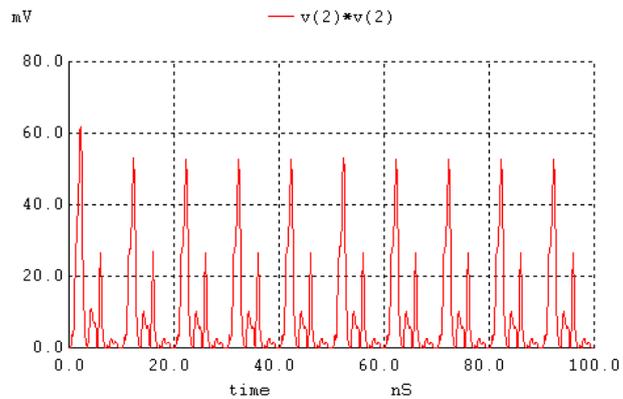


圖 88、情境 2 晶片 IBIS 電路模型功率消耗估算

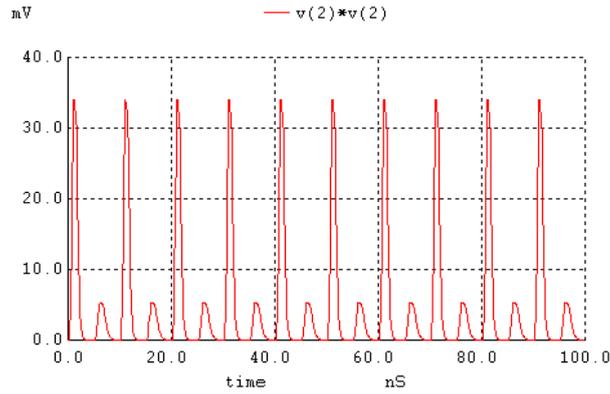


圖 89、情境 3a 晶片 IBIS 電路模型功率消耗估算

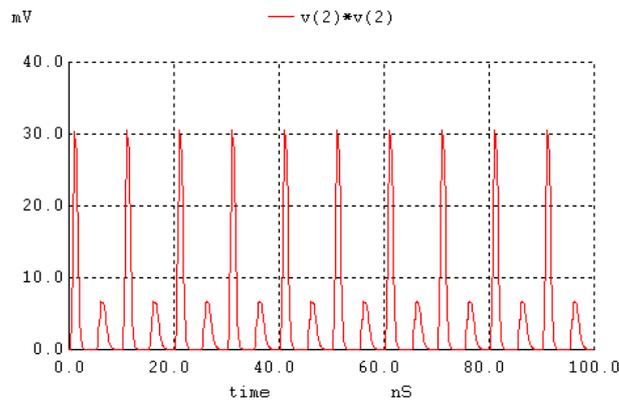
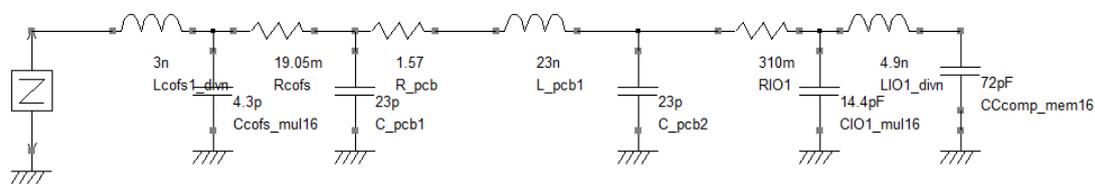


圖 90、與情境 3b 晶片 IBIS 電路模型功率消耗估算

另外我們也將情境 1 及 3a 的 IBIS 模型出來後所連接的電路的阻抗對頻率作圖，電路圖如圖 91、92，情境 1 晶片 IBIS 模型出來後連接到封裝線路模型、電路板電路模型、記憶體封裝線路模型及記憶體模型，情境 3a 則有 TSV 電路模型及記憶體模型，結果如圖 93 所示，近乎直線的結果為情境 3a，呈高低上下變化的曲線為情境 1 模擬結果，情境 1 模擬結果中在第 1 個低點之前，該阻抗由一電容主宰，第 1 個低點為 1 諧振點，其表現為一電阻，在第 1 個低點至第 1 個高點之間，該阻抗由一電感主宰，在第 1 個高點至最低點之間由一電容主宰，在最低點之後

又由一電感主宰，在每一個高點與低點均表現為一諧振點，情境 3a 頻率在 5 GHz 之前該阻抗均由一電容主宰。



.lib E:\NSA\IC\_EMC\icemc\icemc\lc-emc\_master\_V2\_5\system\lib\spice.lib

圖 91、情境 1 微控制器 I/O 埠外掛負載阻抗模擬



.lib E:\NSA\IC\_EMC\icemc\icemc\lc-emc\_master\_V2\_5\system\lib\spice.lib

圖 92、情境 3a 微控制器 I/O 埠外掛負載阻抗模擬

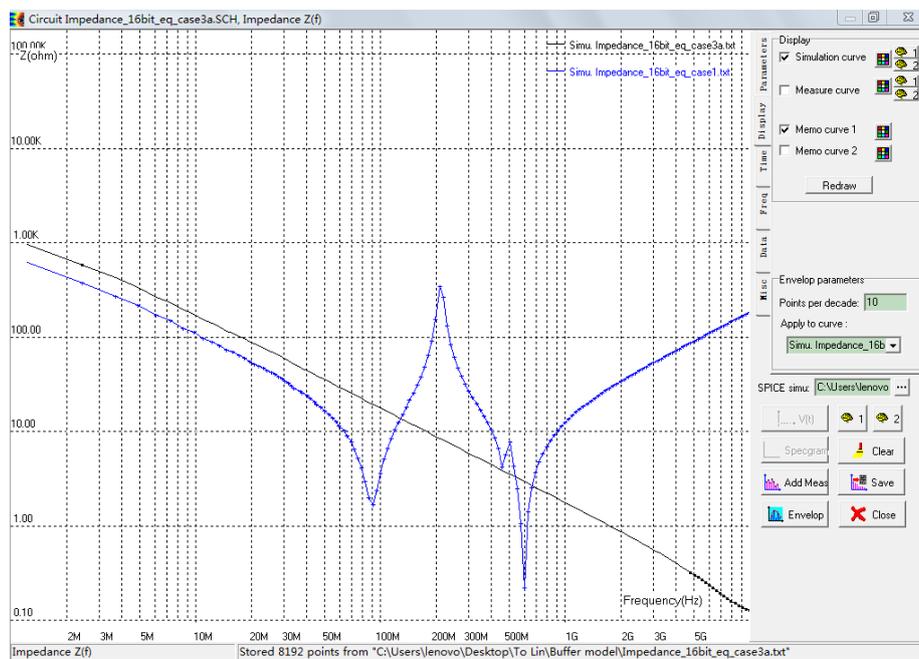


圖 93、情境 1 及 3a 晶片 I/O 埠外掛負載阻抗模擬比較

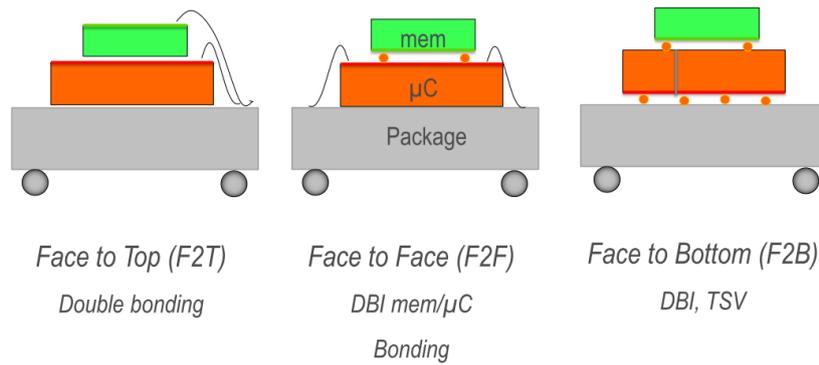


圖 94、裸晶堆疊策略

圖 94 揭示 3 種裸晶堆疊策略，第 1 種策略為 Face to Top (F2T)，即裸晶放置電路的面均朝上，且均以 bonding 線對外連接，第 2 種策略為 Face to Face (F2F)，上方裸晶以覆晶的方式與下方裸晶直接連接，下方裸晶則以 bonding 線對外連接，第 3 種策略則 Face to Bottom (F2B)，即裸晶放置電路的面均朝下，2 裸晶均以覆晶的方式並以 TSV 相互連接。3 種裸晶堆疊策略於電磁輻射性能比較，F2T 的模式下，長的 bonding 線表現就如一個天線，若長度以 1/4 波長來算，輻射的頻率約為 5~15 GHz，會產生重要的傳導及輻射的干擾雜訊，F2F 的模式下，記憶體表現有如一個屏壁，可以阻擋電磁輻射的發出，微控制器及記憶體之間可以做非常快速的資料交換，仍然有重要天線效應，因為 bonding 線還存在的關係，在傳導與輻射上可以產生中等級的干擾雜訊，F2B 的模式下，微控制器及記憶體裸晶，對電磁輻射均有屏蔽效應，因無 bonding 線，故無天線效應，TSV 表現有如一個負載，將微控制器及記憶體的資料交換速度拉慢，干擾輻射於 3 種模型中最低。

## 肆、心得與建議

首先感謝經濟部駐法代表處經濟組朱一萍小姐與其他組員的細心安排及法國在台協會經濟組 Max Chang 及科技與高等教育合作專員 Gerard CHALANT(夏良)教授代為尋找赴法短期訓練的機構，並感謝法國 INSA Etienne Sicard 教授在這麼短的時間內，整理出相當豐富的訓練課程內容。本次赴法短期訓練有下列幾點心得：

1. 2D IC 因為連接線路的延遲、功率損耗、功能產出以及可靠度的問題而限制了未來的發展。
2. 3D IC 加速訊號的傳遞、消耗更低的功率、能提供更強的功能，可以在未來 Tera-Hz 等級的運算扮演角色。
3. 許多的 3D IC 技術並存，並沒有標準存在，目前有工作小組在做整合的工作。
4. 3D IC 中因裸晶非常鄰近，保護減少，故有新的電磁相容挑戰須面對。
5. 訊號完整性的問題與 TSV 的技術有很大的關聯。
6. 電源分佈網路及電源完整性與所選用的 3D 技術有關。
7. IEC 61967 及 62132 等標準及新的電磁相容量測方法目前已有發展出來。
8. TSV 及裸晶的位置、設計、排除及組合等選項會帶來不同的電磁相容衝擊。

9. 目前大部分的研究都集中在訊號完整性及電源完整性。

10. 3D IC EMC 目前仍在起步階段，仍有相當大的研究發展創新空間。

台灣因國際因素的影響，以致無法直接參與國際標準組織之相關標準製定工作小組，藉由與國外友人共同推動最新量測標準的建立，也是一條途徑，Etienne Sicard 教授於電磁相容領域是非常資深的專家，且與法國當地工業界及電磁相容學術界關係深厚，透過其關係可與法國友人建立合作關係，找尋並加入推動新量測標準建立的管道。